KAMMER DER TECHNIK

Fachverband Elektrotechnik

ФеНТО

KURZREFERATE

6. Fachtagung

MIKROELEKTRONIK '88

mit internationaler Beteiligung
aus den RGW-Ländern

Dresden, 7. - 9. Dezember 1988

Kammer der Technik
Präsidium
Fachverband Elektrotechnik

K u r z r e f e r a t e

6. Fachtagung

Mikroelektronik '88

Anfragen richten Sie bitte an:

Kammer der Technik
Präsidium
Fachverband Elektrotechnik

PSF 1315
Berlin - DDR
1 0 8 6

Tel.: 22 65 285

Als Manuskript gedruckt.
Es konnten nur die Beiträge aufgenommen werden, die von den Autoren zur Verfügung gestellt wurden.

Programmablauf

Eröffnungsvortrag

Von der Mikroelektronik zur Nanoelektronik - der Schlüssel zu den Hochtechnologien erschließt neue Möglichkeiten in der Informationstechnik
Köhler, E., Ilmenau/DDR

Plenarvorträge

P 1 Halbleitermikrostrukturen-Supergitter-Multi-Quantum-Wells
Enderlein, R., Berlin/DDR

P 2 Technologie und Applikation von amorphen Halbleiter-Supergittern und -Vielfachschichten
Nowick, W., Leonhardt, G., Karl-Marx-Stadt/DDR

P 3 Programme in Silizium - moderne Mikroprozessor-Architekturen
Roth, M., Ilmenau/DDR

P 4 Entwicklungstendenzen von Multi-Prozessor-Systemen
Bernstein, K., Leipzig/DDR

P 5 Stand und Entwicklungstendenzen superschneller hochintegrierter Schaltungen in Bipolartechnik
Auer, M., Dresden/DDR

P 6 Stand und Entwicklungstendenzen des unipolaren Schaltkreissortimentes aus dem VEB Kombinat Mikroelektronik
Prischmann, W., Erfurt/DDR

Übersichtsvorträge

A 1 Universelle EPROM-Programmiereinrichtung für unterschiedliche Rechner- und Betriebssysteme:
Programmiermodul EPROM 1
Wrenzitzki, G., Erfurt/DDR

A 2 NANOS-Gerätesystem und Verknüpfungsproblem zu 16-bit-Rechnern
N.N., VEB Datenverarbeitungszentrum, Rostock/DDR

A 3 Disketteneingabe für ESER
Klötzer, Hradetcky, Dresden/DDR

A 4 Technische Aspekte der Generation der Mikrodiskettenspeicher
Junghanns, G., Karl-Marx-Stadt/DDR

A 5 Mittel für die Ausbildung an Rechnern und ihre Anwendung bei der Erarbeitung von Lehrprogrammen für die Ingenieurausbildung
Reklaitis, W., Kawaljunas, R., Kaunas/UdSSR

A 6 Einsatz des Kleincomputersystems KC 85 in der CAD-Ausbildung
Domschke, W., Mühlhausen/DDR

A 7 Der Kleincomputer KC 85/4 und seine Zusatzbaugruppen
Dennstedt, W., Mühlhausen/DDR

A 8 Das Entwicklungskonzept eines neuen Heimcomputers vom VEB Kombinat Robotron
Kleinmichel, G., Dresden/DDR

A 9 Entwicklung der Erzeugnislinie "Rechentechnik" im VEB Elektronik Gera
v. Zitzewitz, H., Gera/DDR

A 10 Der Industrie-Computer Automatisierung (ICA) aus dem VEB Kombinat Automatisierungsanlagenbau
Hellmuth, G., Berlin/DDR

A 11 Der 16-bit-ESER-Personalcomputer EC 1834
Sporbert, K.-D., Sömmerda/DDR

A 12 Das Programmier- und Entwicklungssystem P 8000
Wiesner, U., Berlin/DDR

B 1 Ein Programmsystem zum automatischen VLSI-Layoutentwurf auf der Basis großer Blöcke
Eberius, H., Schade, W., Dresden/DDR

B 2 Relative und absolute Plazierung
Hannemann, M., Stube, B., Dresden/DDR

B 3 Verdrahtungsflächenstrukturierung und globales Routing
Binnyus, B., Schade, W., Berlin/DDR

B 4 Programmsystem zur Spannungs- und Masseverdrahtung
Schade, W., Berlin/DDR

B 5 Kanalverdrahtung und Hindernisse
Liske, J., Stube, B., Berlin/DDR

B 6 Kanalentflechtung in regulären Layoutstrukturen
Götze, B., Berlin/DDR

B 7 Switchbox - Router mit Wissensbasis
Streitenberger, D., Dresden/DDR

B 8 Besonderheiten beim Entwurf von Impulsverstärkern in dynamischen MOS-Speicherschaltkreisen
Tonkow, A., Sofia/VRB

B 9 Effekte heißer Ladungsträger in N- und P-Kanal-MOS-Transistoren mit Mikro- und Submikrometer-Strukturen
Nedev, I., Nencheva, G., u.a., Sofia/VRB

B 10 Parameter und Leistungsfähigkeit von MOS-Transistoren mit Kanallängen im Submikrometer-Bereich
Nedev, I., Nencheva, G., u.a., Sofia/VRB

B 11 Zweidimensionale thermische Modellierung von Halbleiterbauelementen
Gajkiewicz, J., Gdansk/VRP

B 12 Eine Meß- und Identifikationsmethode zur Feinstruktur des Wärmeflusses in Halbleiter-Bauelementen
Székely, V., Budapest/UVR

C 1 Mikroprozessoren des DDR-Sortiments und ihre Einsatzgebiete
Reimer, H., Erfurt/DDR

C 2 Mikroprozessoren für professionelle Computer aus der VRB
Ratschew, D., Milew, M., u.a., Sofia/VRB

C 3 Bulgarische maskenprogrammierbare Einchip-Mikrorechner der Familie CM 650
Petrow, R., Kristew, K., u.a., Sofia/VRB

C 4 Einchip-Mikrorechner für die Entwicklung des CM 651
Petrow, R., Kristew, K., u.a., Sofia/VRB

C 5 Simulator für Einchiprechner 8051
Frelek, M., Warschau/VRP

C 6 Controller-Familie MSA 88
Choński, M., Myzik, I., Warschau/VRP

C 7 Der 256-K-DRAM-Speicherschaltkreis und seine Anwendung
Stefan, G., Dresden/DDR

C 8 16-K-SRAM-Speicherschaltkreis in CMOS-Technologie
Kuzarow, I., Wolkow, P., u.a., Sofia/VRB

C 9 Assoziativspeicher mit Zugriff zu den Speicherzellen
Wolkow, P., Sofia/VRB

C 10 Elektrisch umprogrammierbarer Taimer-Schaltkreis
Drakowa, M., Bogojew, T., Sofia/VRB

C 11 Zum Einfluß parasitärer Signale in MOS-DRAM's
Tonkow, A., Sofia/VRB

C 12 Schnelle 12-bit-AD- und DA-Wandler: CM 757 und CM 758
Neitschew, S., Christow, R., u.a.. Sofia/VRB

C 13 Wandler-Schaltkreise und ihr Einsatz (A/D und D/A)
Kahl, B., Frankfurt/Oder/DDR

C 14 Dynamischer LDMOS-JFET-Treiber-Schaltkreis
Podmiotko, W., Warschau/VRP

C 15 Interaktive Prüfung von Schaltungen mit Mikroprozessoren
Scheinauskas, R., Kaunas/UdSSR

C 16 Schaltungstechnik mit modernen Schaltregler - IS
Jungnickel, H., Karl-Marx-Stadt/DDR

C 17 Einsatz mikroelektronischer Bauelemente und Probleme zur Gewährleistung der elektromagnetischen Verträglichkeit
John, H.-J., Berlin/DDR

C 18 SMD-Bauelemente in der industriellen Elektronik
Hesse, H., Dresden/DDR

C 19 Zur Verwendung der Chip-Carriere in SMT
Szendiuch, I., Lorencová, H., Brno/CSSR

C 20 Sortimentsschwerpunkte und ökonomische Effekte beim Einsatz von ASIC's
Benning, C., Dresden/DDR

C 21 Kundenwunschschaltkreise des ISA-Systems
Neugebauer, G., Frankfurt/Oder/DDR

C 22 Erfahrungen beim Einsatz von CMOS-Kundenschaltkreisen in der Nachrichtentechnik
Tüngler, V., Berlin/DDR

C 23 Die Bedeutung der kundenspezifischen Schaltkreise für den Automatisierungsanlagenbau
Schönitz, B., Berlin/DDR

C 24 CM 820 - ein Kundenwunschschaltkreis in Standardzellen-Technik
Kokalitschew, N., Nikolowa, N., Sofia/VRB

C 25 Dekoder für Magnetbandspeicher als CMOS-Gate-Array-Schaltkreis
Borschukow, D., Christowa, I., u.a., Sofia/VRB

C 26 Codec-CMOS-Schaltkreisfamilie
Dimitroff, P., Semowa, N., u.a., Sofia/VRB

C 27 Adressendekoder CM 942 in CMOS für Codec
Lultschewa, S., Dimitroff, P., u.a., Sofia/VRB

C 28 CMOS-Decoder CM 940 für Codec
Semowa, N., Dimitroff, P., u.a., Sofia/VRB

C 29 Siliziumfotodioden aus dem VEB Werk für Fernsehelektronik
Hermann, S., Berlin/DDR

C 30 Stand bei LED und LEA
Klaus, G., Berlin/DDR

C 31 Stand und Entwicklungsrichtung der mikroelektronischen Sensortechnik
Ahlers, H., Waldmann, J., Jena/DDR

C 32 Entwicklungstendenzen bei CCD-Sensoren
Trompter, H., Berlin/DDR

C 33 Einsatz von CCD-Zeilen- und -Matrixsensoren in der Glasindustrie
Kießling, B., Ilmenau/DDR

C 34 Photo-Sensor
Sanjawitschus, D., Juodwalskis, W., u.a., Vilnius/UdSSR

C 35 Kapazitiver Drucksensor mit ultradünner Silicon-Nitrid-Membrane (Entwurf und Technologie)
Lysko, G., Stolarski, E., u.a., Warschau/VRP

D 1 Leistungen der Ingenieurbetriebe für die Anwendung der Mikroelektronik für die territoriale Rationalisierung
Krybus, G., Berlin/DDR

D 2 Recherche-Möglichkeiten in der zentralen Informationsbank Software (ZIBS)
Kretzschmer, J., Dresden/DDR

D 3 Automatisiertes Rationalisierungsmittel - Stand, Tendenzen, Probleme

D 4 Planung und praktische Lösung von bedienarmen Fertigungsabschnitten und ganzen Betrieben (CIM)
Hesse, R., Sömmerda/DDR

D 5 Konzeption für die Organisation flexibler Produktionssysteme
Mischin, G.T., Dawydow, N.P., Moskau/UdSSR

D 6 Dispatcher-Informationssystem für die Produktionssteuerung (INDIS)
Trenkow, J., Kantarew, E., u.a., Sofia/VRB

D 7 Anwendung der Imitationsmodellierung in CAD/CAM-Systemen für kontinuierliche und Einzelteilfertigung
Wlasow, S.A., Moskau/UdSSR

D 8 CAM-Steuerungsprobleme
N.N., VEB Kombinat Mikroelektronik, Erfurt/DDR

D 9 Die Vorbereitung und Steuerung der Produktion mittels 16-bit-Rechner (SM 4/20) und 32-bit-Rechner (SM 52/12)
Koutny, Blanská Bystrica/CSSR

D 10 Projektierung typisierter automatisierter Steuerungssysteme für Hochregallager
Engelsmann, J., Brno/CSSR

D 11 Prozeßautomatisierung mit dem Steuer- und Regelungssystem EAW electronic S 2000
Korner, E., Berlin/DDR

D 12 Die Anwendung der Industrieroboter des VEB Kombinat Robotron bei der Rationalisierung der elektrischen Montage
Fugmann, G., Weimar/DDR

D 13 Automatische Einrichtung zur visuellen Positionserkennung und zur Objekt-Positionierung
Dyner, K., Cieplinski, P., u.a., Czestochowa/VRP

D 14 Universelle Einrichtung zur Funktionsprüfung von Leiterkarten
Kubiak, Z., Lukasik, E., u.a., Poznan/VRP

D 15 Mikroprozessorkontrollierter RLC-Messer mit IEC-625-Interface für "in-circuit-Testung" von Leiterkarten
Hoja, J., Tlaga,W., Gdańsk/VRP

D 16 Einbindung von Selbsttestfähigkeiten in Erzeugnisse des elektrischen Gerätebaus zur Effektivierung der Inbetriebnahme, der Wartung und des Service prozeßgesteuerter Systeme
Parthier, R., Mittweida/DDR

D 17 EC 1834 - Nutzung für CAD-Arbeiten
Köhler, D., Karl-Marx-Stadt/DDR

D 18 Entwicklung integrierbarer graphischer Editoren für 16-bit-Mikrorechner der DDR und ihr Einsatz in der Elektrotechnik für CAD und Prozeßleittechnik
Herden, D., Leipzig/DDR

D 19 Ökonomische Begründung des Einsatzes von Mikrorechnern und Mikroprozessoren in elektronischen Konsumgütern
Panaguschin, W.P., Moskau/UdSSR

D 20 Erfahrungen mit dem Magdeburger Modell des CAD-Software-Entwicklungsprozesses
Rugenstein, J., Horeschi, H., Magdeburg/DDR

D 21 Der Kleincomputereinsatz in der konstruktiven Grundausbildung der TU "Otto von Guericke" Magdeburg (für den CAD-Einsatz)
Rugenstein, J., Magdeburg/DDR

E 1 Das ppm-Konzept - ein kooperatives Qualitätsüberwachungsprogramm zwischen Bauelemente-Hersteller und -Anwender
Kleimon, T., Berlin/DDR

E 2 "Burn-in" elektronischer Schaltkreise - ein Weg zu hoher Zuverlässigkeit elektronischer Erzeugnisse
Georgiew, J., Gergow, R., u.a., Sofia/VRB

E 3 Statistische Methoden in der Qualitätskontrolle der Technologie von CMOS-Schaltkreisen
Janakijew, J., Matewa, I., u.a., Sofia/VRB

E 4 Spezielle Wege bei der Prüfung moderner CMOS-Schaltkreise
Saradchow, O., Kurtewa, A., Sofia/VRB

E 5 Mikrorechnergestütztes System zur Messung der dynamischen Parameter von digitalen CMOS-Schaltkreisen
Szewczyk, B., Szerwentke, M., Warschau/VRP

E 6 Strahlungsmessungen an MOS-RAM's
Wietowski, J., Warschau/VRP

E 7 Integrierte Schaltung für Frequenzsynthesizer
Grzegorczyk, A., Kuncewicz, W., Warschau/VRP

E 8 Prüfung von Schaltkreisen für die Automobil-Elektronik - neue Probleme und Methoden
Kurtewa, A., Saradschow, O., u.a., Sofia/VRB

E 9 Testierung und Prüfung der IS bei den Kunden
Roudny, J., Prag/CSSR

E 10 Personalcomputer in Schaltkreis-Testsystemen
Adamkiewicz, H., Jackiewicz, B., u.a., Warschau/VRP

E 11 Diagnostische Simulationsmethoden für algorithmische Patterngeneratoren zur Speicher-Testung
Glinski, K., Zajac, J., Warschau/VRP

E 12 Software- und Hardware-Entwicklungsprobleme für Monitorsysteme für automatische LSI- und VLSI-Schaltkreis-Montagelinien
Czyzkowska, B., Motyl, D., Warschau/VRP

E 13 Automatisiertes System zur Charakterisierung der technologischen Hauptprozesse bei der Produktion bipolarer Schaltkreise
Kischewa-Witanowa, P., Mandow, T., u.a., Botewgrad/VRB

E 14 DIASTEMOS: Ein rechnergestütztes Diagnostik- und Kontrollsystem für die MOS-LSI-Produktion
Gutt, T., Cerwinski, A.A., u.a., Warschau/VRP

E 15 DIASTEMOS: Implementation des IC-Produktions-Kontrollmoduls
Tabaczynski, Wl., Calka, W., Warschau/VRP

E 16 Anforderungen an die Zuverlässigkeit und Genauigkeit von SMD-Bestückungsausrüstungen
Reuße, D., Dresden/DDR

E 17 Automatische Testeinrichtung TOA 1 für IS, die gemischte Signale verarbeiten
Slipka, J., Prag/CSSR

E 18 Programmiermittel für die automatische Testeinrichtung TOA 1
Stella, J., Prag/CSSR

E 19 Mathematische Methoden bei prozeßanalytischen Untersuchungen zur Ausbeutesteigerung bei Chipwiderständen
Redetzky, R.-R., Teltow/DDR

E 20 Perspektiven und Probleme der Schaffung dreidimensionaler mikroelektronischer Bauelemente für den Rechnereinsatz
Syptschuk, P.P., Trubotschkina, N.K., Moskau/UdSSR

F 1 Werkstoffprobleme bei Sensoren in Schichttechnik
Klose, J., Storch, W., Berlin/DDR

F 2 Hybridintegrierte Sensoren
Storch, W., Klose, J., Berlin/DDR

F 3 Strömungswächter in Hybridtechnik
Steinhauer, I., Hermsdorf/DDR

F 4 Anzeigenmodule in Hybridtechnik
Möller, D., Hermsdorf

F 5 Die Hybridtechnik des Kombinates VEB Keramische Werke Hermsdorf
Oeser, F., Racurow, B., Hermsdorf/DDR

F 6 Erfahrungen beim Entwurf integrierter Hybrid-Schaltkreise für die Rechentechnik
Babajan, R., Moskau/UdSSR

F 7 Einwirkung von Wärmestößen auf dünne Schichten von Werkstoffen
Babajan, R., Askerow, Sch., u.a., Moskau/UdSSR

F 8 Ein universelles CCD-Hybrid-Modul
Athanassov, A., Berov, N., u.a., Sofia/VRB

F 9 Niederrohmige Cu-Schichten für die Anwendung in HF-Hybrid-Schaltkreisen
Stoilow, S., Aroyo, u.a., Sofia/VRB

F 10 Miniaturisierte Thermistoren für Hybrid-Schaltkreise
Jakimow, T.N., Simeonowa, S.W., Sofia/VRB

F 11 RC-Filter in Dickschichttechnik mit verteilten Parametern
Batew, K., Wenkowa, E., u.a., Sofia/VRB

T 1 Gate-Array-Schaltkreis für CCD-Zeilen-Meßsysteme
Maaß, R., Krieger, J., Magdeburg/DDR

T 2 Weiterentwicklung des U 884 / U 882 - Entwicklungssysteme
Reichl, P., Ilmenau/DDR

T 3 Applikation des BODLEAN-Macromodelle zur Simulation von MOS-LSI-Schaltkreisen
Rosiński, A., Warschau/VRP

T 4 Sensoren für Lichtleiter
Slaby, M.J., Radojewski, J., u.a., Wrocław/VRP

T 5 Stabilität polyamidpassivierter Dünnschicht-Bauelemente
Wenkowa, E., Gerasimowa, K., u.a., Sofia/VRB

T 6 Untersuchung ausgewählter Kontaktsysteme für Dünnschicht-widerstände auf Basis von Tantalitrid und Cemet ($TaSiO_2$)
Gerasimowa, K., Dontschew, S., u.a., Sofia/VRB

T 7 Software zur rechnergestützten Qualitätssicherung bei Forschung, Entwicklung und Produktion von Chipwiderständen (EQUATEF)
Burdanowitz, G., Herbst, S., u.a., Teltow/DDR

T 8 Programmierung von algorithmischen Patterngeneratoren zur Speicher-Testung mit symbolischen Signalen
Kern, J., Mańkowska, M., Warschau/VRP

T 9 Prüfmethoden und Tester zur Messung von Leistungs-Schalttransistoren
Bruszewski, J., Tarecki, Z., u.a., Warschau/VRP

T 10 DIASTEMOS: Implementation des Systems
Cańka, W., Bonczak, M., u.a., Warschau/VRP

T 11 Das DIASTEMOS-Subsystem "Technologie"
Czerwiński, A.A., Skotnicka, E., Warschau/VRP

T 12 Die DIASTEMOS-Basis-Mechanismen des "WORK-IN-PROGRESS CONTROL-Subsysteme"
Olenski, J., Kollesinska, G., Warschau/VRP

T 13 Das DIASTEMOS-Subsystem "LINE STATUS"
Zukowski, A., Zarachowicz, K., u.a., Warschau/VRP

T 14 Vorteilhaftes anisotropes Si-Ätzen für 3-D-Strukturen
Słaby, M.I., Oleksiński, P., Worław/VRP

T 15 SiO_2-Herstellung mittels Fluor für die Produktion von Halbleiter-Bauelementen und integrierten Schaltkreisen
Nedew, N., Datschewa, E., u.a., Botewgrad/VRB

T 16 Wirkung von Sauerstoff-Plasma auf Si-Oberflächen
Velchev, N., Beshkov, G., u.a., Sofia/VRB

T 17 Erhöhung der Gleichmäßigkeit beim Ätzen von Metallmasken für MOS-Schaltkreise
Dotschewa, W., Dschudschew, M., Sofia/VRB

T 18 Leistungsfähige ZRE-Baugruppen für das OEM-Kartensystem K 1520 - ZRE-Karte: ZRE 64
Janke, E., Erfurt/DDR

T 19 Tastatur- und Anzeigebaugruppe für die Einkartenrechner EKR 3 und EKR 4
Leichsenring, A., Jena/DDR

T 20 Einkartenrechner EKR 4-1
Leichsenring, A., Jena/DDR

T 21 Regenerierung von Magnetplattenstapeln EC 5267.01 (100 MByte) für Wechselplattenspeicher EC 5067 / EC 5067.02/CM
N.N., VEB Datenverarbeitungszentrum, Neubrandenburg/DDR

T 22 Das Programmsystem zur CAD-Ausbildung mit dem KC 85
Domschke, W., Mühlhausen/DDR

T 23 Analogwerterfassung mit dem A/D-Wandler K 1107 PW 2
Braasch, B., Berlin/DDR

T 24 Rechnergestütztes System zur Messung von Radon-Folgeproduktion in einer definierten Testatmosphäre
Pohl, K.-P., Berlin/DDR

T 25 Aufzeichnung und Überwachung der Prozeßparameter eines Kühlbetriebes
Haberlandt, K.-H., Frankfurt/O./DDR

T 26 Software-Programm für Handwerksbetriebe
Brustmann, J., Mühlenbeck/DDR

T 27 Software-Entwicklungssystem
N.N., VEB Datenverarbeitungszentrum Karl-Marx-Stadt/DDR

T 28 Mikrorechnersteuerungen für Trocknungsprozesse unter Mischgaseeinsatz (Stadtgas / Gichtgas)
Zinke, H.-J., Ohndorf, R., Eisleben/DDR

T 29 Mikrorechnersteuerungen der Elektrohängebahnen für Rohhüttenprozesse unter den Bedingungen der ausfallfreien Rekonstruktion
Wagner, H., Hilpert, G., Eisleben/DDR

T 30 Einsatzstrategie für Mikrorechnerregler S 2000 R für komplexe Glühprozesse in der Metallurgie
Kaschig, R., Bartlitz, R., Eisleben/DDR

T 31 Höher Nutzen mit DMOS-Verstärkern
Kovyciński, J., Patyra, M., Warschau/VRP

T 32 Ein Simulator systolischer Strukturen - Anwendungsbeispiele
Chmielowski, B., Warschau/VRP

T 33- Rationalisierungs- und Softwarelösungen der Ingenieurbe-
T 40 triebe für die Anwendung der Mikroelektronik (IfAM)

HALBLEITERMIKROSTRUKTUREN - SUPERGITTER, QUANTUM WELLS

Enderlein, R., Prof.Dr.sc.nat., Berlin, DDR

Es wird eine Einführung in die Physik und Bauelementeanwendung von Halbleitermikrostrukturen gegeben. Darunter werden Schichtstrukturen verstanden, die in der Regel aus verschiedenen kristallinen Halbleitermaterialien bestehen, Schichtdicken im Bereich von Nanometern bis hin zu atomaren Monolagen besitzen und eine hohe Material- und Grenzflächenreinheit sowie strukturelle - perfektion aufweisen, wie sie mit hochentwickelten Epitaxieverfahren (Molekularstrahlepitaxie, Metallorganische Chemische Gasphasenabscheidung) erreichbar sind. Zu den Halbleitermikrostrukturen gehören Einfachheterostrukturen, Doppel- und Mehrfachheterostrukturen bis hin zu periodischen Schichtfolgen (Supergitter), sofern die Schichtdicken vergleichbar werden mit charakteristischen mikroskopischen Längen (de Broglie Wellenlänge der Elektronen und Löcher, Störstellen- oder Excitonenradius, Debye- bzw. Thomas-Fermi-Abschirmlänge) oder darunter liegen. Ist das der Fall, treten neue Effekte auf, darunter Größenquantisierungseffekte, die zu wesentlichen Veränderungen der Bandstruktur führen. Damit wird durch makroskopische Eingriffe in die atomare Struktur ein Engineering der elektronischen Struktur für Zwecke der Elektronik und Optoelektronik möglich. An Beispielen unverspannter und verspannter Supergitter der Materialsysteme (Ga, Al)As bzw. (Si, Ge) wird die Bandstruktur von Supergittern und das Confinement der Ladungsträger auf einzelne Materialschichten diskutiert. Experimentelle Ergebnisse, die die Quantisierungseffekte und Confinement-Effekte widerspiegeln, werden vorgestellt. An Beispielen (High Electron Mobility Transistor, Multi Quantum Well-Photoempfänger) werden die Möglichkeiten behandelt, die künstliche Halbleitermikrostrukturen für die Realisierung neuer Bauelemente der Elektronik und Optoelektronik bieten.

TECHNOLOGIE UND APPLIKATION VON AMORPHEN HALBLEITERSUPERGITTERN UND VIELFACHSCHICHTEN

Nowick, W., Leonhardt, G., Karl-Marx-Stadt, DDR

Innerhalb der künstlich geordneten Mikrostrukuren werden Festkörperübergitter, in welchen ein eindimensionales künstlich hergestelltes periodisches Potential mit einer Periode kleiner als die mittlere freie Weglänge von Elektronen, auf freie Ladungen wirkt, auch als Supergitter bezeichnet.
Vom Grundprinzip ihres Aufbaus her sind Halbleitersupergitter Schichtgebilde aus ultradünnen, sich abwechselden Halbleitermaterialien unterschiedlicher Zusammensetzung bzw. Dotierung. Eine heute allgemein übliche Einteilung der Halbleitersupergitter erfolgt demnach in kompositionelle Supergitter, Dotierungssupergitter und dotierte kompositionelle Supergitter.
Die besonderen Eigenschaften der Halbleitersupergitter beruhen nicht ausschließlich auf der periodischen Anordnung der Halbleiterschichten. Wesentlich werden vor allem die i.d.R. nur noch quantenmechanisch beschreibbaren Wechselwirkungen zwischen den benachbarten Teilschichten, also Quanteneffekte, welche wesentlichen Einfluß auf die optischen Eigenschaften oder solche Transporteigenschaften wie die Leitfähigkeit oder Ladungsträgerbeweglichkeit ausüben. Es zeigt sich jedoch, daß die praktische Wirksamkeit dieser Effekte in den meisten Fällen an die technologische Beherrschung der Grenzflächen zwischen den Teilschichten gekoppelt ist. Allgemein fordert man möglichst abrupte Übergänge, charakterisiert durch steile Gradienten bezüglich der Schichtzusammensetzung bzw. Dotierung, sowie eine Minimierung der Strukturdefekte und der daraus resultierenden Elektronenzustände in den Übergangsbereichen.Spätestens seit den Publikationen von ESAKI u.a. /1/ Anfang der 70iger Jahre wissen wir, daß sich speziell die kristallinen Halbleitersupergitter nicht nur theoretisch konstruieren, sondern auch mit einer ausgefeilten Beschichtungstechnik in guter Qualität produzieren lassen. Die Notwendigkeit der aufeinanderfolgenden Abscheidung kristalliner Teilschichten führt allerdings zu einer Reihe entscheidender Konsequenzen bezüglich der Materialauswahl und Technologie und engt somit den Freiraum für die praktische Umsetzung theoretischer Supergitterkonstruktionen bedeutend ein:

(1) Epitaktisches Wachstum gelingt nur bei guter Paßfähigkeit in den Gitterkonstanten der Teilschichten, so daß nur ausgewählte Materialien mit exakt einzustellender Schichtzusammensetzung übereinander stapelbar sind.

(2) Um Diffusionseffekte klein zu halten und damit steile Gradienten bezüglich der Schichtzusammensetzung oder der Dotierungskonzentration zu realisieren, sind hinreichend niedrige Abscheidetemperaturen bzw. hohe Abscheideraten erforderlich. Beide Maßnahmen stehen in Konkurrenz zu den Erfordernissen hinsichtlich der Qualität des epitaktischen Wachstums und einer defektminimierten Realstruktur.

(3) Die Aspekte (1) und (2) führen zwingend zum Einsatz komplizierter Beschichtungstechnologien wie z.B. der Molekularstrahlepitaxie, die die Verlagerung des Beschichtungsvorganges in das Ultrahochvakuum und die zusätzliche Installation von in-situ Diagnostik zur Kontrolle bzw. Steuerung der Schichtabscheidung erforderlich macht.

Mitte der 70iger Jahre wurde durch SPEAR und LeCOMBER /2/ nachgewiesen, daß durch den Einbau von Wasserstoff die elektronische Zustandsdichte in amorphen Silicium, welches in einer Silan-Glimmentladung abgeschieden wird (GD-aSi:H), bis auf Werte um $10^{16} cm^{-3} eV^{-1}$ reduziert werden kann. Dieses Material kann dann, ähnlich wie kristallines Silicium, mit üblichen drei- bzw. fünfwertigen Elementen dotiert werden. Die sich potentiell abzeichnenden Einsatzmöglichkeiten für das amorphe hydrogenierte Silicium, insbesondere auch für billige großflächige Solarzellen, führten in den Folgejahren zu einem explosionsartigen Anwachsen der grundlagen- und anwendungsorientierten Forschung auf diesem Sektor, die durch die Entwicklung immer verfeinerter Abscheidungstechnologien begleitet wurde. Anfang der 80iger Jahre war das festkörperphysikalische Verständnis einer ganzen Klasse- der tetraedrisch koordinierten amorphen Halbleiter: Ge, Si, Si_xGe_{1-x}, Si_xC_{1-x}, ... sowie die elektronische Wirkung solcher aktiven Zusätze wie H, D, O, N, F oder Halogene soweit ausgereift, daß der Gedanke, mittels amorpher Vielfachschichtstrukturen Supergittereigenschaften zu realisieren, naheliegend wurde /3,4/. Der entscheidende Durchbruch erfolgte 1983 durch ABELES und TIEDJE /5/, denen es mittels einer speziellen Reaktorkonstruktion für die plasmagestützte CVD- Ab-

scheidung (PICVD) gelang, Vielschichtstrukturen aus den Komponenten aGe:H, $aSi_{1-x}N_x$:H, $aSi_{1-x}C_x$:H mit Periodenlängen von wenigen nm zu realisieren. Bei einem Reaktorvolumen von 30l, einer Durchflußrate von $85cm^3$/min bei einem Arbeitsdruck von 30mTorr, konnten sie die mittlere Gasaufenthaltsdauer im Reaktor auf 1s begrenzen, was klein war im Vergleich zur erforderlichen Abscheidezeit für eine Monolage (3s). Die Ausbildung außerordentlich scharfer Übergänge zwischen den Teilschichten wurde durch Röntgenreflexionsbeugung, Transmissionselektronenmikroskopie, Auger- Tiefenprofilanalysen u.a. bestätigt. Durch optische Transmissionsmessungen, Messungen der elektrischen Leitfähigkeit, Fotolumineszenz und der fotostimulierten Elektronenemission konnten Hinweise auf eine echte Quantisierung der Elektronenzustände in den Potentialgräben erhalten werden. Als besonders eindrucksvoll erwies sich die enorme Zunahme der transversalen Fotoleitfähigkeit sowohl in kompositionellen /6/ als auch in Dotierungssupergittern /7/, die neue Perspektiven für den Einsatz dieser Supergitter in optoelektronischen Bauelementen und Sensoren erwarten lassen. Die derzeit stürmische Entwicklung sowohl auf theoretischem, präparativem als auch applikativem Gebiet zeigt sich deutlich auch in der Tatsache, daß über 10% der Beiträge zur 12. Internationalen Tagung über amorphe und flüssige Halbleiter (Prag, 1987) allein den amorphen Halbleitersupergittern gewidtmet waren /8/.

/1/ L.Esaki u.a., IBM J.Res.Dev.14 (1970)1,61-65
J.Vac.Sci.Technol.10(1973)1,11-16

/2/ W.E.Spear, P.G.LeComber, Solid State Comm.17(1975)1193

/3/ S.R.Ovshinsky, M.Izu, U.S.Patent 4,342,044 (1980)

/4/ M.H.Brodsky, Solid State Comm.36(1980)55

/5/ B.Abeles, T.Tiedje, Phys.Rev.Lett.51(1983)21,2003-2006

/6/ M.Hirose, S.Miyazaki, J.Non-Cryst.Sol.66(1984)327-338

/7/ M.Hundhausen, Dissertation, Universität Stuttgart (1986)

/8/ J.Non-Cryst.Sol., 97 u. 98 (1987)

PROGRAMME IN SILIZIUM - MODERNE MICROPROZESSOR-ARCHITEKTUREN -

Roth, M., Prof.Dr.sc.phil.Dr.-Ing., KDT, Ilmenau, DDR

Die Entwicklung der monolithischen Schaltkreistechnik bietet gegenwaertig und fuer die ferne Zukunft die entscheidende Basis zur Konstruktion von Informationszellen, Informationsbloecken, Informationskoerpern und Informationsimperien. Urspruengliche Funktionselemente werden dabei zu hochintegrierten komplexen Systemen mit vielschichtigen Hierarchien von Informationswechselprozessen. Sie gewaehrleisten die Funktion von Maschinenelementen, Geraeten, Aggregaten, Anlagen und Anlagensystemen sowohl in einer immer hoeher automatisierten materiellen und immateriellen Produktion als auch in zahllosen neuartigen Produkten. Die entscheidenden Merkmale kuenftiger Mikroprozessor-Architekturen entspringen dieser Komplexitaet der Anwendung, die sich durch eine stark zunehmende Differenziertheit und Integriertheit zugleich auszeichnet:

- Gewaehrleistung der Einheit von Stoff-, Energie- und Informationsprozessen in zunehmend angepassten, adaequaten Relationen zueinander.
- Spezialisierung und Anpassung neuer Mikroprozessor-Architekturen (Einbettung) an die Prozesse bei gleichzeitiger Zunahme ihrer universellen Vernetzbarkeit.
- Entstehung von Netzen in Objekten, lokal, regional und global auf nationaler und internationaler Ebene.
- Herausbildung des logischen Informationsverarbeitungsniveau - der Wissensverarbeitung - auf der Grundlage des sich weiterentwickelnden algorithmischen Niveaus programmierbarer Automaten.
- Umfassende Erweiterung algorithmischer, d. h. imperativer Computer-Programmiersprachen durch logische und funktionale, deskriptive Problem-Beschreibungssprachen.
- Hebung des syntaktischen Niveaus der Funktion von Mikroprozessoren auf das semantische Niveau als generalisierendes Merkmal der "Automat-Mensch"- und "Prozess-Mensch"-Schnittstelle.

Solche umfassenden Anforderungen an kuenftige Mikroprozessoren lassen sich nur durch eine wesentliche Zunahme entscheidender Leistungsparameter erreichen:

- Wachsende Komplexitaet der Schaltkreisintegration bis ueber eine Milliarde Transistorfunktionen je Chip (Wafer)
- Entstehung umfassender Programmbloecke innerhalb der Prozessorarchitekturen
- Zunehmender Wechsel von Soft- und Hardwarefunktionen innerhalb eines Prozessorchips
- Stark zunehmende Migration von spezialisierter funktionsgerechter Software in Hardware ("Programme in Silizium")
- Realisierung von funktionsgeteilten, heterogenen Multiprozessor-Systemen auf einem einzigen Chip
- Realisierung von funktionsgeteilten Halbleiterblock-Technologien auf einem Chip.

Eine solche generelle Steigerung der Leistungsparameter neuer Mikroprozessor-Architekturen ist in absehbarer Zeit nur durch monolithische Informationstechniken, d. h., durch Mikro-Opto-und Magnetelektronik realisierbar. Erst in viel spaeteren Zeitraeumen ist mit der Herausbildung einer monolithischen Chemo- und Bioelektronik in technologisch beherrschbaren Formen zu rechnen. Die prinzipielle Tendenz der Architekturentwicklung besteht in der Entstehung virtueller Automaten, deren Funktion durch eine gewaltige Zunahme von Programmen in Monolithen gekennzeichnet ist. In der Gegenwart bietet der Uebergang zu "Programmen in Silizium" die Hauptform bei der Herausbildung hocheffektiver virtueller Maschinen. Die monolithische Realisierung von Informationsprozessen in Festkoerpern bringt folgende entscheidenden Vorteile:

- Hoechste Produktivitaet der Massenfertigung mit effektivsten Kosten
- Optimales Verhaeltnis der Funktionsmaechtigkeit zum materiellen Aufwand
- Minimaler Energiebedarf pro elementarer Informationsmenge
- Maximale Funktionssicherheit und -zuverlaessigkeit
- Minimaler Verschleiss und Erneuerungsaufwand
- Maximale Arbeitsgeschwindigkeit

- Hoechste Maechtigkeit der Funktionskomplexitaet und Funktionseffektivitaet
- Hoechste Effektivitaet des automatischen Entwurfs, der Instrumentierung und Implementierung.

Diese bedeutenden Vorteile bewirken, dass perspektivisch immer mehr Mikroprozessorarten entstehen, deren Funktion bereits mit der Chipfertigung eine optimale Anwendungsorientierung besitzen, also weitestgehend vorbestimmt ist. Eine Auswahl von Beispielen, die dieser Tendenz gerecht werden, soll im weiteren diskutiert werden:

- Nur-Lese-Speicher (ROM)

Die Uebertragung von Programmen (Software) in Schaltungsanordnungen (Hardware) mit Hilfe maskenprogrammierbarer Speicher stellt die aelteste und am weitesten verbreitete Form dar, "Programme in Silizium" zu realisieren. Als Bestandteil von Mikroprozessor-Schaltkreisfamilien bilden sie den funktionsbestimmenden Teil der Modul- oder Geraetearchitektur.

- Coprozessoren (COP)

Mit Hilfe von Coprozessoren wird bereits eine bemerkenswert grosse Mannigfaltigkeit in der Funktionserweiterung und Funktionsspezialisierung von Mikroprozessor-Systemarchitekturen erreicht. Sie bilden bereits die konzeptionelle Grundlage fuer fest gekoppelte Multiprozessor-Systeme zur spezialisierten Leistungssteigerung. Die bedeutendsten Beispiele von Coprozessoren sind Arithmetik, Speicherverwaltungs-, Busverwaltungs-, Betriebssystem-, Interpreter-Compiler- und Grafik-Prozessoren. Gegenueber den Zentralprozessoren (CPU) besitzen sie bei gleichem Systembusinterface bereits hochspezialisierte Aufgaben. Ihr Leistungsvermoegen kann zur Erfuellung dieser Aufgaben gegenueber Software-Loesungen in der Verarbeitungsgeschwindigkeit den Faktor 100 bis 1000 uebersteigen.

- Spezialprozessoren

Bei Spezialprozessoren ist die Zweckbestimmung bereits so stark, dass der weitaus groesste Teil von Programmfunktionen bereits in den Schaltungsstrukturen realisiert ist. Dazu gehoert auch die zunehmende Anpassung der Schaltungstechnologien (z. B. Schottky-TTL, ECL, CMOS, GaAs). Bedeutende Beispiele solcher Spezialprozessor-Architekturen sind "Transputer" aber auch Prozessoren zur

extrem schnellen Signalverarbeitung oder Fourier-Transformation (FFT).

- Alternative Architekturen

Die Suche nach alternativen Architekturen liegt sowohl in der starken Zunnahme der Parallelprozessverarbeitung als auch im prinzipiellen Generationswechsel im Rahmen der Forschung zur Kuenstlichen Intelligenz, insbesondere der 5. Rechnergeneration. Dazu gehoeren Prozessoren zur Verarbeitung (Analyse, Synthese) der natuerlichen Sprache wie auch zum logischen Schliessen und generell zur Wissensverarbeitung (PROLOG-, LISP-Prozessoren).

Mit diesem Generationswechsel wird ein entscheidender Beitrag zum Schliessen der "semantischen Luecke" zwischen der Prozessorschaltung und der Anwendersprache erbracht. Die Programmfunktionen solcher Prozessoren, die in klassischen Prozessorarchitekturen (bis zur 4. Generation) reine Prozessoranweisungen (Prozessorbefehle) wahren, erreichen damit Problembeschreibungsfaehigkeiten (deskriptive Eigenschaften).

Eine nach "innen" in die Prozessorarchitektur gerichtete Wandlung moderner Mikroprozessoren vollzieht sich mit der "RISC-Philophie". Sie ermoeglicht eine starke Reduktion der Befehlsanzahl bei zunehmender Orthogonalitaet der Adressierungsarten, Befehlsformate und Befehlsabarbeitungszeiten. Damit wird eine verbesserte Basis geschaffen, um eine hoehere Homogenitaet des Softwareaufbaus bereits in der Schaltungsstruktur zu ermoeglichen.

- Silicon-Compiler

Eine entwurfs- und fertigungstechnologische Moeglichkeit prinzipiellen Charakters stellt der Weg dar, mit Hilfe hochleistungsfaehiger Prozessor-Entwurfssysteme vom Anwenderprogramm-Niveau bis in das Standardzellen-Niveau des Schaltkreises eine unmittelbare Verbindung zu realisieren. Damit koennen Einzweckprozessoren realisiert werden, deren Software mit der Produktion des Schaltkreises vollstaendig in Hardware vorliegt, so dass alle positiven Eigenschaften der Hardware und Software gemeinsam genutzt werden koennen. Ein wichtiger erprobter Zugang zu diesem Weg sind die maskenprogrammierbaren Einchipmikrorechner.

ENTWICKLUNGSTENDENZEN VON MULTI-PROZESSORSYSTEMEN

Bernstein, K., Prof.Dr.sc.techn., Dr.sc.oec., Dr.phil., KDT,
Leipzig, DDR

Mit der immer umfassenderen Anwendung der informations- bzw. wissensverarbeitenden Systeme in allen gesellschaftlichen Bereichen stiegen und steigen die Anforderungen an diese Systeme. Gemäß solchen wesentlichen anwendungstechnischen Aspekten wie z. B.

- Verarbeitungsgeschwindigkeit
- Systemsteuerung
- Kommunikation
- Fehlertoleranz, Verfügbarkeit
- Preis/Leistungs-Verhältnis

und ihrer qualitativen und quantitativen immer besseren Umsetzung, gewinnen Fragen der Realisierung neuer Rechnerarchitekturen immer mehr an Bedeutung. Das wird durch die Tatsache unterstrichen, daß der Einfluß der Mikroelektronik auf einzelne dieser Aspekte (z. B. Verarbeitungsgeschwindigkeit) in dem Maße verloren geht, wie sich die Parameter der Bauelemente der Mikroelektronik physikalischen Grenzen nähern (z. B. Signalverzögerung gegen Null).
Mit Einschätzungen /1/ /2/, daß - die zeit- und kostenbedingte Notwendigkeit

- . technische Entwicklungen (Flugzeugbau, Automobilindustrie)
- . biologische Untersuchungen (Modelle der Molekularbiologie)
- . wissenschaftliche Theorie-Modelle (Klimaforschung, Meteorologie) vollständig mathematisch zu simulieren an Rechenleistungen bis 10 Tera-Flops gebunden ist

- Einprozessorsysteme auf Grund physikalischer Grenzen nicht wesentlich schneller als 10 Giga-Flops sein können

wird die Forderung nach neuen Rechnerarchitekturen objektiv untermauert.
Ausgangspunkt der Bewertung bekannter bzw. neuer Rechnerarchitekturen ist neben ihrer Leistungseinschätzung (Benchmark-Test) eine allgemeine Qualitätseinschätzung, die sich an den Begriff der "Rechnerarchitektur" anlehnt und zu einer Klassifikation von Rechnerarchitekturen führt.

Aus den verschiedenen Versuchen der Klassifikation von Rechnern sind die Klassifizierungen nach

- Flynn /3/
- Händler /4/
- Giloi (Taxonomie) /5/ wesentlich.

Besonders die Taxonomie nach Giloi - nach der sich ein Rechner als eine Relation von R - R (P, O, S)
(P = Menge von Zwecken, O = Menge der Operationsprinzipien, S = Menge der Strukturklassen) - ist hervorzuheben.
Eine Analyse der heutigen und künftigen Entwicklung zeigt, daß eine Rechnerklassifikation hinsichtlich der Relation R = R (A, V S)

A = Anwendungsaspekt
V = Verarbeitungselement ( )
S = Struktur

günstige Eigenschaften aufweist, zumal das Operationsprinzip eines Rechners im allgemeinen nicht hardwarespezifisch ist. Durch die dargestellte Relation als Grundlage einer Rechnerklassifikation wird der Einfluß, insbesondere der Leistung des Verarbeitungsprozessors auf die Systemleistung deutlich.

Ausgehend von der Analyse verschiedener Rechnerarchitekturen zeigt sich, daß u. a. Multiprozessorsysteme geeignet sind, eine Vielzahl von anwendungstechnischen Aspekten positiv zu beeinflussen, auch wenn es direkte bzw. indirekte Vorbehalte gegen solche Rechnerarchitekturen gegeben hat und gibt wie z. B.

- Gesetz von Losch
- Minskysche Vermutung
- Komplexitäts-These
- Spezialrechner-These

Diese Vorbehalte können durch moderne, realisierte Multiprozessorsysteme widerlegt werden.

Hinsichtlich einzelner bzw. mehrerer ausgewählter anwendungstechnischer Aspekte ist die Relation R = R(V,S), die in einer Matrix V x S dargestellt werden kann, von besonderer Bedeutung für die Realisierung allgemeiner bzw. spezifischer Multiprozessorsysteme.

Um Multiprozessorsysteme sowohl hinsichtlich ihrer allgmeinen

Bewertung (R = R (A, V, S)) als auch hinsichtlich ihrer spezifischen Eigenschaften (z. B. R = R (V, S)) verfassen zu können gibt es eine Vielzahl mathematischer Ansätze.
Wesentliche Ansätze sind u. a.:

- Erlanger Klassifikationsschema (Händler)
- Verbindungsnetzwerk für Multiprozessorsysteme (Bhuyan Agrawal)
- S-Net-Graphen für SIMD-Computer (Krygiel)
- Beschreibung und Entwurf von Mehrprozessorsystemen (Maisel, Martin)
- Modelle für Multiprozessorsysteme mit Multibusverbindungsnetzwerken (Madge, Hayes, Buzzard, Winsor).

Ausgehend von diesen Ansätzen kommt es darauf an, die diskutierte Relation für Multiprozessorsysteme als mathematisches Modell für Multiprozessorsysteme weiter zu untersetzen.

Hinsichtlich der Bewertung der Verarbeitungselemente und ihrer Nutzung in Multiprozessorsystemen ergeben sich als wesentliche Parameter:

- Verarbeitungsbreite (8-bit, 16-bit, 32-bit)
- Taktfrequenz
- Multiprozessorfähigkeit

Die Analyse bekannter universeller mikroprozessoren zeigt, daß bei Mikroprozessoren mit einer Verarbeitungsbreite von 16-bit der Intel-Prozessor 80286 sehr gute Eigenschaften zeigt. Das gilt auch für den Mikroprozessor mit 32-bit Datenbreite 80386.

Für spezifische Anwendungsfälle (z. B. Bildverarbeitung, Grafiksysteme) sind auch Signalprozessoren geeignet (z. B. TMS 320). Besonders gute Eigenschaften zur Realisierung von Multiprozessorsystemen zeigen die Transputer von Inmos T 414, F 424, T 800.

Gemäß den unterschiedlichen Anwendungsmöglichkeiten gibt es derzeit eine Vielzahl von Verbindungsstrukturen für Multiprozessorsysteme. Eine Bewertung der einzelnen Möglichkeiten ist unter verschiedenen Gesichtspunkten durchzuführen und entsprechende Optimalkriterien zu erarbeiten.

Literatur:

/1/ Gentzsch, W.: Parallelität in Supecomputern
CHIP PLUS 3 März 1988

/2/ Händler, W.: Topologien, Komplexität und Effizienz von Multiprozessoren
PARS-Mitteilungen 1987

/3/ Flynn, M.: Some Computer Organisation and their Effektiyness
JEEE Transactions on Computers C-21
(1972) Nr. 9 S. 948 - 960

/4/ Bode, A.; Händler, W.: Rechnerarchitektur
Teil I: Grundlagen und Verfahren
Teil II: Strukturen
Heidelberg/Berlin/New York: Springer Verlag
1980 - 1983

/5/ Giloi, W.: Rechnerarchitektur
Heidelberg/Berlin/New York: Springer Verlag
1981

STAND UND ENTWICKLUNGSTENDENZEN SUPERSCHNELLER HOCHINTEGRIERTER SCHALTUNGEN IN BIPOLARTECHNIK

Auer, M., Dr. sc. techn., KDT, Dresden, DDR

Für eine zunehmende Zahl von Einsatzgebieten wächst bei steigender Komplexität informationsverarbeitender Strukturen die Forderung nach Gatterverzögerungszeiten im Subnanosekundenbereich. Solche Gebiete sind:

- Supercomputer,
- Mainframe - Computer,
- Grafikprozessoren,
- FEM - Prozessoren,
- Echtzeitbildverarbeitungssysteme,
- Optische Übertragungssysteme,
  (Grenzbereich Mikro- und Optoelektronik),
- Meßtechnik,
- Videotechnik u.a.

Diese Bedingung kann gegenwärtig nur durch bipolare Schaltkreistechniken erfüllt werden, insbesondere durch Strukturen in Stromschalttechnik (CML - current mode logic).

Als Bauelementebasis für VHSIC's (very high speed integrated circuits) kommen in Frage:

- Silizium Bipolartransistoren
- GaAlAs/GaAs Heterojunction Bipolartransistoren (HBT)
- GaAlAs - MESFET's oder HEMTs
- GaAs - FETs

Wegen der eingeführten Technologie sind nach wie vor in der Breite vor allem Siliziumrealisierungen von Interesse, obwohl die Spitzenwerte bezüglich der Geschwindigkeit mit Gallium-Arsenid-Bauelementen erreicht werden. So wurden zum Beispiel diskrete HBT's bis zu Schaltfrequenzen von 45 GHz praktisch realisiert /1/.
Silizium - Bipolar - IC's in CML-Technik haben heute bereits Verzögerungszeiten pro Gatter um 100 ps erreicht. Geschwindigkeiten unter 50 ps sind im Labor nachgewiesen /2/ und Prognosen gehen davon aus, daß der Bereich kleiner 25 ps in den 90er Jahren möglich ist.

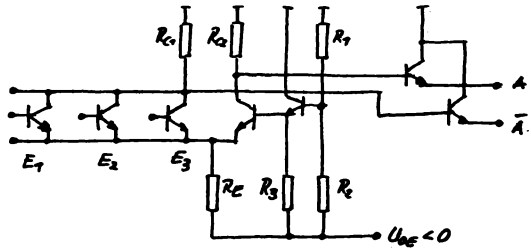


Bild 1 : ECL - Gatter

Bild 1 zeigt die traditionelle Schaltung eines ECL-Gatters (ECL-emitter coupled logic) wie sie bis zum MSI-Niveau einsetzbar ist. Solche Gatter sind für LSI-Schaltungen nicht geeignet, da ihre Verlustleistung im Bereich 20 ... 50 mW liegt.

Der Schritt zur Höchstintegration erfordert also zwingend die
- Verkleinerung der Grundstrukturen (Gatter),
- Verringerung der Verlustleistung pro Gatter,
- Erhöhung der Schaltgeschwindigkeit.

Das ist nur durch gleichzeitige schaltungstechnische und technologische Maßnahmen möglich. Die folgende Tabelle verdeutlicht die Entwicklung etwa der letzten zehn Jahre.

	ECL	LSI-CML	VLSI-CML
BE/Gatter	14	6,5	6,5
BE/mm^2	55	>200	>1.000
Gatter/mm^2	3...5	45	100...500
Schalterstrom, mA	5	1	0,1
P_V/Gatter, mW	25	4,5	< 2
t_V/Gatter, ns	2,5	1...1,5	< 1
Minimalabm., μm	4	3	1,5
Transitfrequenz, GHz	0,5		> 5
Sperrsch.-Kap., pF	2		0,02

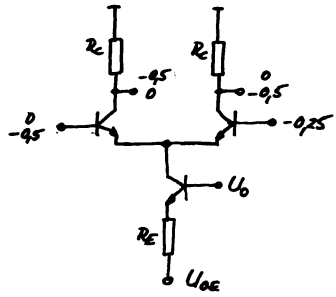


Bild 2 : CML - Gatter

CML-Schaltungen für VLSI-Komplexe arbeiten mit verringertem Hub ($\Delta U \leq 500$ mV) und bieten daher die Möglichkeit, durch die Einsparung der Emitterfolger sowohl die Schaltungsstruktur (Aufwand) zu vereinfachen als auch die Verlustleistung zu senken. Außerdem steigt die Schaltgeschwindigkeit je Gatter. Eine solche Schaltung mit den entsprechenden Pegeln zeigt Bild 2. Bereits mit einer 3 µm-Transistorgeometrie werden Schaltzeiten von 0,7 ns erreicht. /3/
Derartige Schaltungsvarianten erlauben auch den Aufbau komplexer oder sogenannter Stapelschaltungen mit bis zu vier Ebenen.
Eine weitere Verringerung des logischen Hubes ist dadurch möglich, daß die Referenzspannung entweder aus dem Eingangs- oder dem Ausgangssignal erzeugt wird, wodurch sich auch weitere Vorteile ergeben. Im ersten Fall erhält man ein DCML-Gatter (differential current mode logic), im zweiten ein FCML-Gatter (feedback current mode logic).
Eine Sonderentwicklung ist die sogenannte Emitter-Funktions-Logik (EFL). Die logische Verknüpfung erfolgt hier vorzugsweise ausgangsseitig durch die Parallelschaltung weiterer Emitter. Durch die Kettenschaltung solcher EFL-Gatter entstehen im Grunde genommen auch CML-Strukturen, allerdings nur mit einem nichtinvertierenden Ausgang. EFL-Gatter werden daher zum Aufbau von Flip-Flops und Registerstrukturen eingesetzt.
Weitere bipolare Schaltkreistechniken, die nicht auf dem Stromschaltprinzip beruhen, aber ebenfalls Verzögerungszeiten im Subnanosekundenbereich realisieren, sind:
- NTL (nonsaturated transistor logic; nonthreshold logic),
- CCML (complementary current-mirror logic),
- CBL (charge-buffered logic).

Alle diese Schaltungen lassen sich auch mit GaAs-HBT's aufbauen. Vorteile sind vor allem:

- gute Treibereigenschaften,
- höchste Geschwindigkeit bei kleinsten Strömen,
- Entwurfskompabilität zu Silizium-Techniken.

Der Einsatz von GaAs-Schaltkreisen bleibt aber auf ausgewählte Sonderanwendungen beschränkt.

Hauptsächliche Einsatzgebiete der Silizium-Bipolar-CML sind:

1. Schnelle und Superschnelle Prozessoren hoher Verarbeitungsbreite (32 bit), vor allem Signal- und RISC-Prozessoren (z.B. AM 29300, MC 88000 ECL).
2. Von besonderem Interesse sind schnelle Multiplizierer. 16 x 16-bit-Multiplizierer mit Operationszeiten von 5 ns sind als ECL-Realisierung Stand der Technik.
3. Schnelle gate-arrays; eine Reihe von Firmen bietet bereits Schaltkreise mit $\geq$ 5.000 Gattern und $<$ 700 ps/Gatter an. Zunehmend ist auch die Tendenz zu verzeichnen, auch extern mit ECL-Pegeln zu arbeiten, um die volle Geschwindigkeit auch auszunutzen.
4. ECL-RAM; Zugriffszeiten von $<$ 10 ns sind üblich, bei verschiedenen Organisationsformen. Spitzenniveau stellen 16kbit ECL-RAM mit 3,5 ns Zugriffszeit bei typisch 2W Verlustleistung dar.
   In Vorbereitung befinden sich mit dem Übergang zur 1 µm-Technik 1kbit ECL RAM mit 0,85 ns Zugriffszeit bei 950 mW Verlustleistung bzw. 4 kbit Speicher mit 1,1 ns Zugriffszeit.

Um das Problem der für größere Schaltungen enorm anwachsenden Verlustleistung zu umgehen, trotzdem aber hohe Geschwindigkeiten beizubehalten, werden zunehmend Speicher, aber auch Gatearrays, in Mischtechnik (BiCMOS) entworfen. Die eigentlichen Speicherzellen z.B. werden als traditionelle 6-Transistor-CMOS-Zellen, alle Ein-/Ausgangsschaltungen sowie die Sensorverstärker, die wesentlich über die Geschwindigkeit entscheiden, in ECL-Technik ausgeführt. Für die Bit- und Wort-Leitungstreiber werden gemischte Bipolar/CMOS-Gatter eingesetzt, um die relativ großen Kapazitäten schnell umzuladen. Ein praktisch erprobter 1 Mbit BiCMOS DRAM erreichte eine Zugriffszeit von 32 ns bei einer Verlustleistung von 450 mW /4/.

(Literaturverzeichnis beim Autor)

Literatur:

/1/ Madihian, M.: Fabrication and modelling of a novel self-aligned AlGaAs/GaAs-HBT with a cutoff frequency of 45 GHz
Proceedings of the IEDM 1986, Los Angeles

/2/ Langmann, U.; Wüppermann, B. und Bosch, B.G.:
A 2,25 GHz Silicon bipolar shift register; Proceedings of the 1987 Bipolar and Technology meeting, Minneapolis, S. 109-112

/3/ Buhaman, D.: CML scraps emitter follower for ECL speed, lower Power
Elektronics, 55 (1982), 22, 93-96

/4/ Kiteukawa, G. u.a.: An Experimental 1-Mbit BiCMOS DRAM;
IEEE Journ. of solid-state circuits, SC-22 (1987) 5, 657-661

Technische Aspekte der Generation der Mikrodiskettenspeicher

Junghanns, G., Dipl.-Ing., KDT, Karl-Marx-Stadt, DDR

1. Die Generation der Mikrodiskettenspeicher

Die international marktwirksame Einführung der Mikrodisketten-speicher insbesondere in der Computertechnik verlief anfänglich relativ zögernd. Die dominierende Rolle der 5,25"-Technik aber auch ursprünglich mehrere unterschiedliche, nicht kompatible Mikrodisketten-Formatgrößen mögen Ursache dafür gewesen sein. Inzwischen setzen fast alle Computerhersteller Mikrodisketten-speicher ein. Als Formatgröße hat sich die von SONY geschaffene 3,5"-Diskette durchgesetzt.
Mit dem Einsatz von Mikrodiskettenspeichern sind gegenüber der 5,25"-Technik folgende Vorteile verbunden:
- erhebliche Volumen-, Material- und Energieeinsparung
- verbesserte Handhabbarkeit und Störsicherheit der Disketten.

Da Material- und Energieeinsparung bedeutsame Faktoren der ökonomischen Strategie unserer Republik sind, läßt sich die ökonomische Notwendigkeit der Schaffung von Mikrodiskettenspeichern als externe Datenspeicher von CAD/CAM-Systemen ableiten.

Der Übergang von der 5,25"- zur 3,5"-Technik ist mit der Erhöhung der Flächenspeicherdichte auf dem Speichermedium verbunden, d.h. Erhöhung von Spurdichte und/oder linearer Flußwechseldichte. Dies setzt geeignete magnetische Speicherschichten voraus. Auch an die Laufwerke werden höhere Anforderungen gestellt:
- höhere Positioniergenauigkeit und geringere Lageabweichung des Magnetkopfes
- geringere Toleranz der Kurzzeitschwankungen des Diskettenantriebes.

Die entscheidende Komponente bei der Erhöhung der Flächenspeicherdichte stellt der **Magnetkopf** dar. Er ist als Wandlerelement zwischen elektrischen und magnetischen Signalen die sensibelste Baugruppe des Laufwerkes und kann für die technische Beherrschung eines bestimmten Laufwerktypes u.U. allein ausschlaggebend sein.

Einer großen Bedeutung kommt der optimalen Abstimmung der unmittelbar am Speicherprozeß beteiligten Komponenten
- Magnetschicht und
- Magnetkopf mit seinem elektrischen und mechanischen Umfeld
zu.

Nachfolgend sollen einige wesentliche technische Aspekte der Baugruppen Magnetkopf und Positionierantrieb, die im unmittelbaren Zusammenhang mit der Miniaturisierung bei Mikrodiskettenspeichern stehen, dargestellt werden.

2. Der Diskettenspeichermagnetkopf

Die Speicherschicht der Diskette und der Magnetkopf mit seinem elektrischen und mechanischen Umfeld bilden den sogenannten "magnetischen Speichervierpol". Sie sind so aufeinander abgestimmt, daß alle erforderlichen technischen Parameter dieses Systemes den Bedingungen der Diskettenspeichertechnik entsprechen, wie z.B.
- Realisierung eines definierten, möglichst minimalen, vom Controller auswertbaren Bit-shiftes der Wiedergabeimpulse,
- Überschreiben der alten Dateninformation mit der neuen ohne vorherige Löschung der Datenspur,
- Erzeugung von Wiedergabepegeln des Magnetkopfes im Millivoltbereich und
- beidseitige Randlöschung der aufgezeichneten Datenspur.

Diese, vom magnetischen Speichervierpol zu realisierenden Bedingungen, tragen wesentlich zu der in der Diskettenspeichertechnik angestrebten Fehlerrate von $< 10^{-9}$ softerrors bei.

Die zur Realisierung dieser Bedingungen entscheidenden Größen des Magnetkopfes sind für Mikrodiskettenspeicher im Vergleich zur 5,25"-Technik auf Grund der weiteren Miniaturisierung aller Baugruppen komplizierter technisch-technologisch zu beherrschen.
Auf Grund der Erhöhung der Spurdichte von 96 tpi auf 135 tpi (135 Spuren pro Zoll $\hat{=}$ ca. 5,31 Spuren pro mm) hat der Magnetkopf
- geringere Spalt- bzw. Systembreiten des Aufzeichnungs- und Wiedergabesystemes von 120 µm anstelle von 160 µm und

- geringere Löschspaltbreiten von 65 µm anstelle von 85 µm

mit jeweils geringeren Toleranzen aufzuweisen. Diese Bedingungen sichern u.a. die Datenträgerkompatibilität nach internationalen Normen.

Die Erhöhung der linearen Speicherdichte auf das bis zu 3-fache gegenüber der 5,25"-Technik erfordert

- geringere Spaltweiten und Spalttiefen des Arbeitsspaltes sowie
- Kernmaterialien mit verbesserten magnetischen Eigenschaften insbesondere mit höherer Permeabilität und höherer Sättigungsinduktion.

3. Die Positionierbaugruppe

Die Positionierbaugruppe des Diskettenspeicherlaufwerkes hat die Funktion, den Magnetkopf auf eine bestimmte Datenspur zu positionieren, damit dieser die bereits vorhandene Dateninformation wiedergeben oder eine neue Information aufzeichnen kann. Da in der Diskettenspeichertechnik bisher aus Kosten- und Kompatibilitätsgründen keine Servopositionierungen eingesetzt werden, kommt der Positioniergenauigkeit des Magnetkopfes unter der Bedingung der Wechselbarkeit der Diskette eine große Bedeutung zu. Abweichungen von der nominellen Spurlage über die in internationalen Standards festgelegte maximale Lageabweichung hinaus kann zu Störungen in der Datenträgerkompatibilität führen. Das bedeutet, daß eine beschriebene Diskette von einem anderen, mit hoher Positionierungenauigkeit behafteten Laufwerk nicht weiter bearbeitet werden kann und ein Datenaustausch somit unmöglich wird. Mit dem Übergang zur Mikrodiskettentechnik wird auf Grund der kleineren Spurabstände eine höhere Positioniergenauigkeit gefordert.

So beträgt der Spurabstand

- bei 5,25"-Disketten: 264,6 µm und
- bei 3,5"-Disketten: 187,5 µm.

Die Positioniergenauigkeit, die als maximal zulässige Abweichung von der nominellen Spurlage unter bestimmten klimatischen Bedingungen definiert ist, beträgt

- bei 5,25"-Disketten: +/- 30 µm und
- bei 3,5"-Disketten: +/- 20 µm.

Bevorzugte technische Lösungen für die Positionierbaugruppe in Mikrodiskettenspeicherlaufwerken sind

- rotatorischer Schrittmotor mit Gewindespindel als Bewegungswandler bzw.
- rotatorischer Schrittmotor mit Ritzel und Zahnstange als Bewegungswandler.

Die für die 3,5"-Technik erforderliche Genauigkeit der gesamten Positionierbaugruppe ist nur dann erreichbar, wenn die Teilkomponenten - insbesondere der Bewegungswandler - die entsprechende Genauigkeit aufweisen.

4. Zusammenfassung

Mit dem Übergang von der 5,25"- zur 3,5"-Technik werden insbesondere an die Baugruppen Magnetkopf und Positioniersystem höhere funktionelle Anforderungen gestellt. Die dafür zu schaffenden technischen Lösungen müssen den anwendungstechnischen Bedingungen und der internationalen Standardisierung der Diskettenspeichertechnik genügen. Außerdem sind die dazu erforderlichen Technologien in der Massenproduktion so zu beherrschen, daß die Laufwerke ökonomisch produzierbar sind und die Generation der Mikrodiskettenspeicher in der Kategorie der "Billigspeicher" verbleibt.

СРЕДСТВА ОПИСАНИЯ СЦЕНАРИЕВ ОБУЧЕНИЯ И ИХ ПРИМЕНЕНИЯ ДЛЯ СОЗДАНИЯ ПРОГРАММ УЧЕБНОГО НАЗНАЧЕНИЯ В ИНЖЕНЕРНЫХ ДИСЦИПЛИНАХ

Реклайтис В.К., доц., к.т.н., КПИ, Каунас, СССР
Мурашка В.А., инж., КПИ, Каунас, СССР

В настоящее время во всем мире повышается интерес к программно-методическим работам по компьютеризации обучения. Существует множество форм и подходов применения вычислительной техники для автоматизации учебных расчетов, этапов проектирования, моделирования и т.п., где вычислительные средства применяются главным образом как инструмент или средство эффективного решения различных задач. Это важное и широкое направление в компьютеризации обучения может и должно быть согласовано с использованием автоматизированных обучающих систем (АОС), применение которых связывается с целями компьютерной поддержки самого процесса познавательной деятельности обучаемых. Эффективность этой деятельности, естественно, определяют содержание и методика автоматизированного обучения, которые разрабатываются преподавателем и представляются в виде специализированных программ АОС, которые принято называть автоматизированными учебными курсами (АУК). Для программирования учебных курсов могут быть использованы различные инструментальные средства - универсальные языки программирования, проблемно-ориентированные языки в составе АОС, авторские системы - которые имеют разные функциональные возможности и выразительные средства для программирования обучающих диалогов. Применение любого из них не гарантирует получение эффективного курса, а влияет лишь на эффективность его разработки, т.е. уменьшает затраты на подготовку, постановку и опытную эксплуатацию конкретного автоматизированного учебного курса.

Так в Каунасском политехническом институте им. Антанаса Снечкуса создано и используется инструментальное средство разработки АУК стандартной структуры, названное логическим языком описания курсов (ЛЯОК). В данной работе кратко рассматривается структура языка и возможности его применения для создания программно-методического обеспечения для обучения инженерным дисциплинам.

Предложения - синтаксические конструкции языка начинаются служебным словом, указывающим на семантику предложения. Например, #КУРС, #ТЕКСТ, #ЗАДАНИЕ, #ВОПРОС, #РЕАКЦИЯ и др. В одном курсе предложения одного типа различаются по именам, которые пишутся сразу за служебным словом. Каждое предложение имеет наб-

ор ключевых параметров, значения которым присваивается явно или по умолчанию. Структура курса линейная, ветвления осуществляются через параметр дополнительного вопроса или задания.

Основной - управляющей конструкцией языка ЛЯОК является группа предложений, начинающаяся предложением #ВОПРОС. Кроме вопроса в группу входит одно или несколько предложений #РЕАКЦИЯ или #АНАЛИЗ, описывающих эталоны ожидаемых ответов, переходы при совпадении с тем или иным эталоном, сопровождающие тексты, оценки и др. Группа заканчивается предложением #КОНЕЦВОП. Ниже приведен фрагмент специального обучающе-контролирующего курса по кодированию ткацких переплетений:

```
#ЗАДАНИЕ:ЗДІ,ГРУППЫ=ВІІ;
    СОСТАВЛЕНИЕ КОДОВЫХ ОПИСАНИЙ САРЖЕВОГО ПЕРЕПЛЕТЕНИЯ.
#ТЕОРИЯ:ТПІ,ЗАГОЛОВОК='САРЖЕВЫЕ ПЕРЕПЛЕТЕНИЯ';
    САРЖЕВЫЕ СТРОЯТСЯ С ПЕРЕПЛЕТЕНИЯ ПЕРВОЙ НИТИ
    С ПОСЛЕДУЮЩИМ ЕЕ ПЕРЕМЕЩЕНИЕМ ПОСТОЯННЫМ
    СДВИГОМ ДО ПОЛУЧЕНИЯ СОПРЯЖЕННОГО РАПОРТА.
#ВОПРОС:ВІІ,НЕОТВЕТИЛ='ПОСМОТРИТЕ, ПОЖАЛУЙСТА
        СТРАНИЦУ ТПІ',ПОВТОРИТЬ=2,ПРГ=ПРСРІ;
    СОСТАВЬТЕ КОДОВОЕ ОПИСАНИЕ ДАННОГО РАПОРТА.
#АНАЛИЗ:УУ2,2*#;
#АНАЛИЗ:* СІ#;
#ЗАМЕЧАНИЕ:ІІ,ОЦЕНКА=5,ПОВТОРИТЬ=Н;
    ПРАВИЛЬНО, ЭТО УСИЛЕННАЯ САРЖА.
#ЗАМЕЧАНИЕ:ØØ,ПОВТОРИТЬ=И;
    ВАШ ОТВЕТ НЕПОНЯТЕН.
#ЗАМЕЧАНИЕ:ІØ,ОЦЕНКА=2,ПОВТОРИТЬ=Х;
    НЕВЕРНО, ОБРАТИТЕ ВНИМАНИЕ НА ПЕРВУЮ
    ОСНОВНУЮ НИТЬ.
#ЗАМЕЧАНИЕ:ØІ,ПОВТОРИТЬ=Н,ОЦЕНКА=3,ДОПВОПРОС=ДПДІ;
    ВЫ НЕ ЗНАЕТЕ КАК КОДИРУЕТСЯ ПОСТОЯННЫЙ СДВИГ.
    ЭТО КОДЫ ZC И SC.
#КОНЕЦВОПР:ВІІ;
#ВОПРОС:ДПДІ,МАКСОЦЕНКА=3,ПРГ=ПСРЗ,НЕОТВЕТИЛ=
        'КОД ПОСТОЯННОГО СДВИГА ZCІ';
    ПЕРВАЯ УТОЧНАЯ НИТЬ ХХ2,І,І,2. ПОПРОБУЙТЕ
    ЗАКОНЧИТЬ ПРИМЕР ВВОДЯ КОД ПОСТОЯННОГО СДВИГА.
#РЕАКЦИЯ:*ZCІ*,ПОВТОР=Н,ОЦЕНКА=3,ПРГ=ПСРЗ;
    ПРАВИЛЬНО.
#КОНЕЦВОП:ДПДІ;
```

Задание состоит из групп или последовательностей вопросов. Каждому обучаемому случайно выбирается по одному вопросу из каждой группы или одна последовательность. Параметр ГРУППЫ=ВII означает, что задание состоит из единственного вопроса с именем ВII.

Второе предложение приведенного примера является описанием одной страницы теоретического материала. Обучаемые могут вызывать страницы на экран и листать их. ЛЯОК автоматически формирует оглавление теоретической части курса.

Далее в примере приведено описание основного вопроса ВII. Ответы обучаемых последовательно сравниваются с эталонами в предложениях #АНАЛИЗ и формируется так называемый вектор совпадений, в который заносится I если ответ совпадает с эталоном, или Ø в правильном случае. Далее вектор совпадений сравнивается с шаблонами последующих предложений #ЗАМЕЧАНИЕ и при совпадении с одним из них выполняется это предложение, т.е. на экран обучаемого выдается текст замечания и прибавляется указанная оценка. Возможно разветвление диалога на дополнительный вопрос ДПДI для закрепления или проверки знаний по некоторой части основного вопроса. После проработки дополнительных вопросов осуществляется возврат к исходному вопросу. Если ПОВТОРИТЬ=Д, вопрос повторяется. Максимальное число повторений может указываться для каждого вопроса, но чаще используется стандартное значение, указанное в начале курса. Если обучаемый не сумел ответить правильно за указанное в вопросе ВII число повторений, ему выдается текст НЕОТВЕТИЛ=... и осуществляется переход к следующему вопросу или заданию.

Как следует из приведенного примера, синтаксические конструкции языка ЛЯОК естественным образом описывают обучающе-контролирующий диалог, текст курса понятен для человека, в нем наглядно отражается логика курса и ход диалога. Эта характеристика языка позволяет считать его языком высокого уровня для проектирования и программирования обучающе-контролирующих диалогов. В его составе имеется широкий набор средств для описания эталонов, используемых при анализе ответов обучаемых (логические связки, редактирующие вставки, многократный анализ). Для облегчения ввода сложных ответов, встречаемых при решении задач, и для выполнения их анализа эталонными методами в ЛЯОК реализованы средства типа "меню". Описание обучающего диалога (текст на ЛЯОК) транслируется во внутреннее представление курса, которое обрабатывается интерпретатором курса во время его прохождения обучаемым.

Чем же привлекательно использование ЛЯОК в инженерных дисциплинах ? В инженерных дисциплинах студенты чаще всего решают учебные задачи и в решении оценивается не столько конечный результат, сколько правильная последовательность решения, готовность и способность решать. При помощи средств ЛЯОК можно легко реализовать краткие курсы входного контроля и использовать их перед практическими или лабораторными занятиями на установках или стендах. Другой, во всех отношениях более сложный путь использования ЛЯОК - это организация обучающих курсов с выходом на моделирующие или прикладные программы. Интерфейс с прикладными программами позволяет реализовать различные методики проведения практических занятий. Самая простая это демонстрация примеров, т.е. вывод на экран дисплея графика или элементов чертежа в постановке вопроса (как в приведенном фрагменте курса параметр ПРГ в предложениях #ВОПРОС, #РЕАКЦИЯ). Текстовые и числовые ответы обучаемых могут передаваться в прикладные подпрограммы, сопровождающие курс, а результаты работы подпрограмм возвращаются в курс. Методически и дидактически наиболее интересным приемом использования передачи данных является случай, когда результат работы подпрограммы возвращается в курс в качестве эталона ответа в предложение #РЕАКЦИЯ.

Базовой машинной реализации ЛЯОК является ЭВМ типа СМ-1420, так как ее ресурсы достаточны для обеспечения работы внешних подпрограмм через интерфейс. Имеются реализации ЛЯОК на микро ЭВМ типа ДВК-2 и ДВК-3, а также на школьной ЭВМ БК-0010. В институте разработаны методики автоматизированного обучения и курсы на ЛЯОК по программированию, по изучению и составлению алгоритмов работы телефонных станций, по кодированию рисунков ткацких переплетений для САПР тканей и др.

EINSATZ DES KLEINCOMPUTERSYSTEMS KC85 IN DER CAD-AUSBILDUNG

Domschke, W. Dr.-Ing., KDT, Mühlhausen, DDR

1. Einführung

Der Charakter des Einsatzes von Computern in der Ausbildung wird sich in den folgenden Jahren verändern. Wenn heute noch das Erlernen des Programmierens insbesondere in BASIC im Vordergrund steht, wird die immer größer werdende Leistungsfähigkeit der Computer, die immer kompliziertere Hardware und Peripherie und die daraus folgenden aufwendigen und umfangreichen Programme eine Eigenprogrammierung eines Problems immer schwieriger und damit ungeeignet für die allgemeine Ausbildung machen.
Beispielsweise wird sich keine Sekretärin mit der Programmierung eines Textverarbeitungssystems beschäftigen, da sie damit kein perfektes Arbeitsmittel erhält zumal bereits eine große Anzahl Programme für die unterschiedlichsten Computertypen im Angebot ist. Es muß also der Umgang mit einem Textverarbeitungssystem gelehrt werden.
In der Ausbildung kommt es zukünftig darauf an, den Schülern die Computertechnik als Werkzeug nahe zu bringen.
Im Fach Technisches Zeichnen sind es CAD-Stationen, deren Wirkungsweise und Anwendungsbereiche den Schülern und Lehrlingen erläutert werden muß.
Da das Kleincomputersystem KC85 des VEB Mikroelektronik "Wilhelm Pieck" Mühlhausen zahlreich in Computerkabinetten vorhanden ist und die wesentlichen Eigenschaften zur Implementierung eines CAD-Übungsprogrammes besitzt, wie z.B.
- Vollgrafik mit 320 x 256 Bildpunkten und
- Modularität zur gerätetechnischen Anpassung an die erforderlichen Peripheriegeräte,

wurde das Programm Mini-CAD erarbeitet.

Gegenüber anderen für den KC85 vorhandenen Grafikprogrammen werden bei Mini-CAD die Koordinaten von Punkten eines geometrischen Gebildes als Vektoren im Speicher abgelegt und können somit verarbeitet werden. Damit besteht die Möglichkeit, diese Vektoren bei der Darstellung auf den Bildschirm zu manipulieren: die Bilder an der X- oder Y-Achse zu spiegeln, im Koordinatensystem zu verschieben und zu drehen sowie die Größe der Bilder maßstäblich zu verändern.
Das Programm ist so angelegt, daß einmal erstellte Bilder in andere neue Bilder entsprechend den Anforderungen eingebaut, auf Kassette gespeichert und bei Verfügbarkeit eines X-Y-Schreibers sowie eines Moduls M029 Digital-Analog-Umsetzer gezeichnet werden können.
Das Programm ist in der Sprache FORTH programmiert. Der KC85 muß mindestens mit einem Modul M026 FORTH und einem RAM-Speichermodul M011 64KRAM und bei Bedarf mit dem Modul M029 DAU1 ausgerüstet werden.

2. Bedienung des Programms

Nach dem Einschalten des Computers und dem Zuweisen der Module kann das Programm eingelesen und gestartet werden. Im Grafik-Modus wird der Grafik-Cursor dargestellt. Dieser kann mit den Cursortasten der Tastatur bewegt werden. Mit den anderen Tasten können für die augenblickliche Cursorposition bestimmte Funktionen ausgelöst werden. Nachstehend sind einige aufgezählt.

S - Setze Markierungspunkt (Anfangspunkt) an die Cursorposition
L - Linie vom vorher markiertem Anfangspunkt (S) oder vom Endpunkt des vorher gezeichneten Zeichnungselements zeichnen.
V - Viereck vom vorher markiertem Anfangspunkt (S) oder vom Endpunkt des vorher gezeichneten Zeichnungselements zeichnen.
M - Markierung des Mittelpunktes von Kreis oder Teilkreis (Kreisbogen)
K - Kreis um den mit M markierten Punkt zeichnen
R - Richtungsumschaltung für das Zeichnen von Kreisen oder Kreisbögen.
T - Teilkreis (Kreisbogen) vom vorher markiertem Anfangspunkt (S) oder vom Endpunkt des vorher gezeichneten Zeichnungselements zeichnen.
C - Charaktermodus: Eingabe von alphanumerischen Zeichen in das Bild.
B - Bildmodus: Einblenden von bereits definierten Bildern in die zu erstellende Zeichnung.

Die Zeichnungserstellung erfolgt so, daß der Anfangspunkt der Zeichnung im Koordinatensystem mit dem Cursor gewählt und mit der Taste "S" markiert wird. Soll von diesem Punkt eine Linie gezeichnet werden, so ist mit dem Cursor der Endpunkt anzufahren und durch Betätigung der Taste "L" wird die Linie dargestellt. Auf diese Weise können komplette Zeichnungen erstellt werden.
Beim Auslösen der jeweiligen Aktionen (Tasten S, L, K, T usw.) werden die Koordinaten der Cursorposition gespeichert. Diese Vektoren können zu Gruppen zusammengefaßt und unter einem vom Bediener vorgegebenen Namen im sog. Bilder-Speicher abgelegt werden.
Diese Bilder können in weiteren Zeichnungen als Elemente verwendet und auch auf Kassette gespeichert werden.

3. Manipulation der Koordinatenvektoren

Ein im Speicher abgelegter Vektor $\underline{p}_o$ des Punktes P_o einer Zeichnung wird zum Zweck der Darstellung auf dem Bildschirm über eine Matrix M in den Bildvektor $\underline{b}_o$ transformiert:

$$\underline{b}_o = M\,\underline{p}_o + \underline{n}$$

Dabei sind die Elemente b_x und b_y von $\underline{b}_o$ die darzustellenden Bildschirmkoordinaten und $\underline{n}$ der Nullpunktverschiebungsvektor. Die Elemente m_{11}, m_{12}, m_{21} und m_{22} von M berechnen sich wie folgt:

$$m_{11} = v * v_e * \cos(d) * s_x$$

$$m_{12} = v * v_e * \sin(d) * s_x$$

$$m_{21} = -v * v_e * \sin(d) * s_y$$

$$m_{22} = v * v_e * \cos(d) * s_y$$

mit v – Vergrößerungsfaktor (v = 1 ... 1024)
v_e – Basisvergrößerung (v_e= 1/16)
d – Drehwinkel
s_x – Spiegelfaktor x (s_x = 1, -1)
s_y – Spiegelfaktor y (s_y = 1, -1)

Die Variablen v, d, s_x, s_y und n_x sowie n_y können über Programmfunktionen beeinflußt werden.

4. Darstellungsgrenzen in MiniCAD

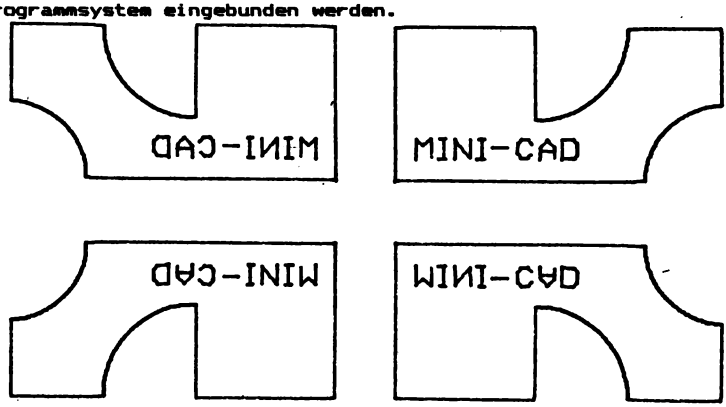
Bedingt durch die Verwendung der Programmiersprache FORTH wird für die Speicherung und Darstellung von Bildern die Festkommaarithmetik verwendet. Das bedingt, daß nur ganzzahlige Werte verwendet werden können.
Um trotzdem maßgerechte Zeichnungen erstellen zu können, wurde folgendes festgelegt:
* Basis der Speicherung der Koordinaten ist die sog. Maschineneinheit (ME).
* Bei Verwendung eines Moduls M029 DAU1 und eines X-Y-Schreibers als Ausgabeeinheit mit einer Auflösung von 0.1V/cm entspricht eine Maschineneinheit 0.1mm auf dem Schreiber, also 10 ME gleich 1mm.
* Die Angabe von Winkeln erfolgt in Zehntelgrad, also 450 ME gleich 45 Grad.
* Der Maßstab zur Darstellung von Bildern kann in gewissen Grenzen frei gewählt werden. Als Maßstabsbasis wird 16 festgelegt ($1/v_e$).
* Beim Programmstart wird automatisch der Maßstab 16 :16 (also 1 :1) vorgegeben. Dabei entspricht 1 Bildpunkt gleich 4 Maschineneinheiten. Da ein Graphikfeld von 256 x 256 Bildpunkten zur Verfügung steht, kann eine Fläche von 1024 ME x 1024 ME oder 102mm x 102mm dargestellt werden. Der Rest des Bildschirmes wird für Menüs und den Bedienerdialog genutzt.

* Bei einem gewählten Maßstab von 4 :16 (also 1 :4), kann eine Fläche von 4096 ME x 4096 ME bzw. 409mm x 409mm abgebildet werden; der X-Y-Schreiber kann auf einer Fläche von ca. 280mm x 380mm (Format A3) zeichnen. Bei diesem Maßstab entspricht 1 Bildpunkt 16 ME.
* Der größte verwendbare Maßstab ist 1 :16, bei dem eine Fläche von 16384 ME x 16384 ME (1.63m x 1.63m) abgebildet wird.
* Die Vergrößerung von Bildern ist ebenfalls möglich: ein Maßstab 64 :16 entspricht einer Fläche von 256 ME x 256 ME (ein Bildpunkt gleich 1 ME), ein Maßstab 256 :16 entspricht einer Fläche von 64 ME x 64 ME (6.4mm x 6.4mm).
* Als maximale Vergrößerung kann 1024 :16 (64 :1) gewählt werden, bei der ein Bildausschnitt von 16 ME x 16 ME (1.6mm x 1.6mm) dargestellt wird. Hierbei entsprechen 16 Bildpunkte einer Maschineneinheit.

5. Zusammenfassung

Mit dem Programm MiniCAD, das auf dem Kleincomputer KC85 in der Programmiersprache FORTH erarbeitet wurde, können die wesentlichsten Funktionen von CAD-Stationen demonstriert und wichtige Einsatzfälle aus der Praxis dargestellt werden.
Die Zeichnungen können
- im Maßstab verändert werden,
- im Koordinatensystem verschoben werden,
- an der X- oder Y-Achse gespiegelt werden,
- um definierte Winkel gedreht werden.

Weiterhin besteht die Möglichkeit, einen Katalog von Einzelzeichnungen (sog. Bilder) anzulegen, aus denen neue Zeichnungen zusammengesetzt werden können.
Als Ausgabegerät ist ein X-Y-Schreiber über den Modul M029 DAU1 anschließbar. Damit können Zeichnungen in der Größe 280mm x 380mm (Format A3) erstellt werden. Die Darstellgenauigkeit beträgt dabei 0.1mm. Andere Peripheriegeräte, insbesondere Plotter, können bei Bedarf in das Programmsystem eingebunden werden.



DER KLEINCOMPUTER KC 85/4 UND SEINE ZUSATZBAUGRUPPEN

Dennstedt, Werner, Dipl.-Ing., KDT, Mühlhausen, DDR

1. EINFÜHRUNG

Mit der Produktion des Keinrcomputers "KC 85/2" wurde vom VEB Mikroelektronik "Wilhelm Pieck" vor ca. 4 Jahren die erste Komponente eines modularen, ausbaufähigen Computersystems zur Verfügung gestellt. Inzwischen sind 15 weitere Baugruppen übergeleitet worden und auch das Grundgerät wurde schrittweise weiterentwickelt. Der implementierte Basicinterpreter war die wesentliche Neuerung des "KC 85/3", beim "KC 85/4" wurde das Hauptaugenmerk auf die Vergrößerung des Arbeitsspeichers sowie die Verbesserung der Bildschirmsteuerung und der Grafik gelegt.
Ein weiteres wesentliches Merkmal des Computersystems sind die zwei mechanischen Grundkomponenten, die als Gehäuse für die Grundgeräte und die Zusatzbaugruppen dienen. Je nach Größe der Systemkomponente erfolgt der Aufbau in dem kleinen Modulgehäuse oder in dem größerem Aufsatz- bzw. Basisgerätegehäuse. Für das im folgendem Beitrag vorgestellte neueste Grundgerät "KC 85/4" wurde ebenso wie für seine Vorgänger das Basisgerätegehäuse verwendet.

2. DIE BAUGRUPPEN DES "KC85/4" IM VERGLEICH ZU DEN VORGÄNGERTYPEN "KC 85/3" UND "KC85/2"

2.1 TASTATUR

Die einzige Änderung besteht in der Verwendung einer 5-poligen Anschlußleitung statt der bisher benutzten 2-poligen Schnur, bei der der Schirm gleichzeitig als Masseleitung benutzt werden mußte. Diese Maßnahme wurde durchgeführt um eine Senkung der Störstrahlung zu erreichen.
Der Klinkensteckeranschluß wurde duch einen Anschluß auf der Basis Diodenbuchse und -stecker ersetzt.

2.2 RESET-LOGIK, E/A-STEUERUNG UND ZVE

Nachwievor wird zwischen Einschaltreset und Tastenreset unterschieden und die entsprechenden Startadressen F000H und E000H verwendet. Die Erzeugung des Tastenresets wurde jedoch völlig neu gestaltet. Durch die Synchronisation mit dem M1-Signal des Prozessors und einer definierten Impulsbreite von 8 Prozessortakten werden Systemabstürze und Speicherinhaltsverluste infolge der Betätigung der Resettaste ausgeschlossen.
Das Eingangsfilter des Kassetteninterfaces wurde neu dimensioniert, um die Möglichkeit der Erhöhung der Datenübertragungsgeschwindigkeit zu schaffen. Mit der Bereitstellung eines neuen Speichererweiterungsmoduls ist auch die Einführung einer schnellen Kassettenroutine geplant.

2.3 ARBEITSSPEICHER

Im Arbeitsspeicher des Systems wurde sowohl der RAM- als auch der ROM-Bereich vergrößert. Die Speicheraufteilung soll anhand von Bild 2.3.1 erläutert werden. Entsprechend des Speichererweiterungskonzeptes des KC 85-Systems ist der 64-KByte-RAM-Bereich in 4 Blöcke zu 16 KByte und der 20-KByte-ROM-Bereich in 2 Blöcke zu 8 KByte und einen Block zu 4 KByte aufgeteilt. Der 4-KByte-Block kann perspektivisch auf 8 KByte erweitert werden. Die einzelnen Speicherblöcke können logisch zu- und abgeschaltet werden. Für die Schreib-Lese-Speicher kann ein separater Schreibschutz gesetzt werden. Während die ersten drei 16-KByte-Blöcke linear im Adreßraum angeornet sind, liegtder letzte Block in der zweiten Ebene ab Adresse 8000H. Dabei ist zu beachten, daß die Blöcke von 8000H bis BFFFH nur bei abgeschalteten Bildwiederholspeicher erreicht werden können. Der RAM-Stapel auf der Adresse 8000H ist als Beginn einer RAM-Disk auf dieser Adresse zu verstehen. Beim Einsatz von 256-KBit-Schaltkreisen wird der RAM-Stapel entsprechend dem zur Verfügung stehenden Speicher weitergeführt. Zu diesem Zweck ist bereits eine 8-Bit-Refresh-Logik in der Schaltung vorgesehen. Die drei ROM-Blöcke belegen die Adressen von C000H bis FFFFH. Der Betriebssystemkern befindet sich mit den beiden Reset-Einsprungstellen im Adreßbereich von E000H bis FFFFH, wärend der Adreßbereich von C000H bis DFFFH speziell organisiert ist. Ähnlich wie im RAM-Bereich ab Adresse 8000H wird hier eine ROM-Disk installiert, die aber aus zwei hintereinander liegenden Stapeln besteht.
Ein Stapel ist für Betriebssystemerweiterungen und der andere Stapel für Anwenderprogrammerweiterungen vorgesehen. Der Betriebssytembereich besitzt die Priorität gegenüber dem Anwenderbereich und muß deshalb beim Start des Anwenderprogrammes inaktiv geschaltet werden. Als Anwenderprogramm steht BASIC zur Verfügung. Die Implementierung weiterer Anwendersoftware ist geplant.

2.4 BILDWIEDERHOLSPEICHER UND CRT-STEUERUNG

Der Bildwiederholspeicher wurde ebenso wie der RAM-Bereich des Arbeitsspeicher von 16 KByte auf 64 KByte vergrößert. Der mehr zur Verfügung stehende Speicher wurde zur Verbesserung der Farbauflösung und zur Installierung eines alternativen Bildspeichers genutzt. Wie Bild 2.4.1 zeigt, ist der Speicher in 4 Blöcke zu je 16-KByte eingeteilt. Die Blöcke 0 und 2 sind als Pixelspeicher, die Blöcke 1 und 3 als Farbspeicher vorgesehen. Jedem Pixelbyte ist dabei ein Farbattributbyte zugeordnet, sodaß die Farbauflösung von 4*8 Pixel (KC 85/3) auf 1*8 Pixel pro mögliche Farbkombination verbessert wurde. Die neue Bildspeichersteuerung gestattet es, 2 voneinander unabhängige Bilder abzuspeichern und anzuzeigen. Wie Bild 2.4.2 zeigt kann der Prozessor sowohl auf das gerade angezeigte als auch auf das im Hintergrund liegende Bild zugreifen.

Die Bild- bzw. Blockadreßumschaltung erfolgt durch eine Ausgabeoperation des Betriebssystems.
Durch eine Verschachtelung der Prozessoroperationen mit den Bildrefreshzugriffen ist die Unterdrückung der bisher sichtbaren Prozessorzugriffe gelungen. Diese Maßnahme führte nicht zu einer Verringerung der Arbeitsgeschwindigkeit des Prozessors. Eine weitere Verbesserung der Farbgrafikmöglichkeiten wird durch eine neue Betiebsart erreicht. Neben der normalen Betriebsart mit der Farbauflösung von 1*8 Pixeln für eine Farbdarstellung mit 8 Hintergrund und 16 Vordergrundfarben ist auch eine pixelgenaue Farbauflösung für 4 Farben möglich. Weiterhin ist die Möglichkeit vorhanden, zwei 16-KByte-Blöcke in die RAM-Disk einzubinden. Vom Betriebssystem erfolgt dazu die Freigabe der normalerweise gesperrten Adreßbereiche A800H bis BFFFH der Blöcke 1,2 und 3.

2.5 VIDEOINTERFACE UND HF-MODULATOR

Entsprechend der international üblichen Kanalbelegung wurde der Modulator des "KC 85/4" für den Kanal 36 statt den bisher verwendeten Kanal 8 ausgelegt.

3. DIE BETRIEBSSYSTEME IM VERGLEICH

3.1 ALLGEMEINE BESCHREIBUNG

Das Betriebssystem "KC-CAOS 4.x" wurde gegenüber seinen Vorgängern aufwärtskompatibel gestaltet. Das betrifft allerdings nur Programme, die konsequent über die Systemschnittstellen arbeiten. Der Zeichengenerator wurde neuerarbeitet und damit das Design einzelner Zeichen im Sinne einer besseren Lesbarkeit geändert.
Das Menü wurde um die Systemaufrufe "MODUL","SYSTEM", "WINDOW","V24OUT" und "V24DUP" erweitert. Die Systemaufrufe "BASIC" und "REBASIC" in ihrer Eigenschaft so geändert, daß beim Aufruf der BASIC-Interpreter physisch zugeschaltet wird. Damit entfällt ein SWITCH-Befehl bei Verwendung anderer Programme auf diesem Adreßbereich. Eine weitere Neuerung besteht in der Einführung einer 3. Tastaturebene, die über die Tastenkombination SHIFT-STOP erreicht werden kann. Die dabei ausgegebene Tastenkodierung wird vom Betriebssystem in Sinne einer "ESCAPE"-Funktion interpretiert.

3.2 BESCHREIBUNG DER NEUEN SYSTEMAUFRUFE

Mit dem Kommando "MODUL" kann sich der Anwender schnell einen Überblick über die im System vorhandenen Erweiterungsmodule verschaffen. Dabei werden für alle Module der Steckplatz, das Strukturbyte und das Steuerbyte angegeben. Das Kommando "SYSTEM" dient ebenfalls zur Orientierung des Anwenders, der mit diesem Aufruf eine Anzeige des momentanen Speicherzustandes des Grundgerätes erhält.

Die beiden Kommandos "V24OUT" und "V24DUP" unterstützen die Arbeit mit dem V24-Modul M003. Wärend das Kommando "V24OUT" alle Werte für eine Ausgaberoutine initialisiert (z.B. für Drucker K 6313), wird mit dem Kommando "V24DUP" ein V24-Kanal auf Duplexbetrieb eingestellt. Über den Systemaufruf " WINDOW" ist es auch vom CAOS-Menü aus möglich, verschiedene Fensterformate einzustellen.

4. ZUSAMMENFASSUNG

Durch die Bereitstellung des KC 85/4 wurde das KC 85-Sortiment systematisch weiterentwickelt. Dabei wurde besonderer Wert auf die Aufwärtskompatibilität und auf die Vorbereitung des weiteren Systemausbaues gelegt. Das kommt unter anderem auch darin zum Ausdruck, daß alle bisher produzierten Erweiterungsbaugruppen (im Vortrag auf Folie) verwendet werden können.

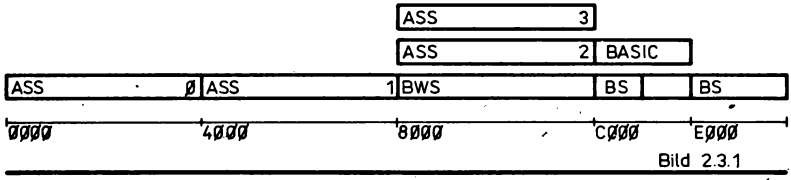


Bild 2.3.1

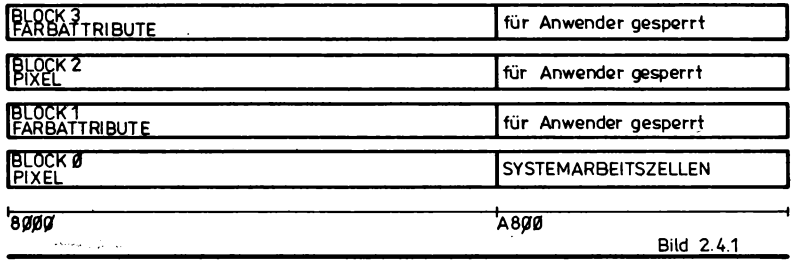


Bild 2.4.1

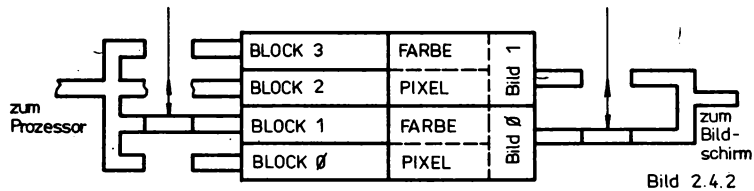


Bild 2.4.2

DAS ENTWICKLUNGSKONZEPT EINES NEUEN HEIMCOMPUTERS VOM VEB KOMBINAT ROBOTRON

Kleinmichel, G., Dr.-Ing., KDT, Dresden, DDR

Das gegenwärtige DDR-Angebot an Heimcomputern, bestehend aus den Typen KC 85, KC 87 und Z 1013 repräsentiert die Leistungsfähigkeit unserer mikroelektronischen Industrie und bietet besonders für die Einarbeitung in Informatik und Computertechnik eine solide und leistungsfähige Gerätetechnik. Die Vorteile dieser Geräte liegen in ihrem sehr leistungsfähigen und schnellen BASIC, ihrem robusten Aufbau und der unkomplizierten Bedienbarkeit. Neben weiteren typenspezifischen Vorteilen, wie z.B. der Interfacefreundlichkeit beim KC 87 oder der großzügigen Modul- und Speicherverwaltung beim KC 85/3 gibt es jedoch auch Nachteile zu nennen:
Das sind generell unhandliche Tastaturen, die langsame und unvorteilhafte Bilderzeugung bei Grafikausgabe und die zu kleinen Speicherbereiche sowohl im RAM als auch im ROM. Diese Nachteile sind durch die zum Entwicklungstermin dieser Geräte verfügbare Bauelementebasis bedingt.
Ausgehend von den gewonnenen Erfahrungen bei den Typen KC 85 und KC 87 und auf der Basis des wesentlich verbesserten aktuellen Bauelementeangebotes wurde bei ROBOTRON eine Nachfolgeentwicklung für den Heimbereich konzipiert. Prämisse des neuen Heimcomputerkonzeptes ist die Nutzung der Entwicklungsergebnisse des Bildungscomputers robotron A 5105. Dieser speziell für das Bildungswesen der DDR entwickelte 8 bit-Personalcomputer wird ab 1989 gefertigt und verfügt über alle technischen Eigenschaften eines modernen PC. Jedoch ist der Leistungsumfang auf ein spezielles Forderungsprogramm des Bildungswesens zugeschnitten und für kostengünstige Anwendung im Heimbereich deutlich überdimensioniert. Der Bildungscomputer ist in die Komponenten Computergrundgerät (CGG), Diskettenspeichereinheit (DSE) und Monitor (MON) konfiguriert, wobei stets die Verwendbarkeit des CGG als moderner Heimcomputer bei der Entwicklung berücksichtigt wurde. So ist z.B. sowohl der Anschluß eines Monitors (für BIC) als auch eines Fernsehgerätes (für Heimbereich), die Ansteuerung eines Diskettenlaufwerkes (für BIC) und eines Kassettenmagnetbandgerätes (für Heimbereich) vorgesehen. Alternativ zur internen Stromversorgung des BIC, die in der DSE

integriert ist, wird ein separates Netzteil für den Heimbereich vorgesehen.
Bei der Softwaregestaltung wurde beim BIC vorrangig die Kompatibilität zu international verbreiteten Systemen angestrebt. Es wurden zwei Betriebssysteme geschaffen:
- das ROM-residente Betriebssystem RBASIC, aufwärtskompatibel zum BASI des PC1834
- das RAM-Betriebssytem SCPX 5105, voll kompatibel zum SCP des PC 1715.

Das Betriebssystem RBASIC wird für den Heimbereich eingesetzt. Bei Vorhandensein eines Diskettenbeistellgerätes kann natürlich auch das Betriebssytem SCPX 5105 im Heimcomputer benutzt werden.
Der neue Heimcomputer wird sich gegenüber seinen Vorgängern durch folgende schwerwiegende Verbesserungen auszeichnen:
- höhere Taktfrequenz und verdoppelte Genauigkeit
- komfortable Computerflachtastatur
- wesentlich vergrößerter RAM- und ROM-Umfang
- schnelle und hochauflösende Farbgrafik
- programmierbarer Zeichengenerator
- erweitertes Interface-Angebot, bereits im Grundgerät
- leichter, kleiner, geringere elektrische Leistungsaufnahme

Durch die Nutzung der mit hohem Aufwand für den BIC entwickelten technologischen Verfahren, der Prüfmittel und Werkzeuge für die Produktion des beschriebenen Heimcomputers wird eine rationelle Fertigung in hohen Stückzahlen möglich sein.
Nach Festlegung der Produktionskapazitäten innerhalb des Kombinates ROBOTRON für den neuen Heimcomputer können Aussagen zu Stückzahlen und Lieferterminen getroffen werden.

SYSTEMBESCHREIBUNG UND ANWENDUNG DES INDUSTRIECOMPUTERS ICA 710.20

Hellmuth, G., Dr.-Ing., KDT, Berlin, DDR

1. Einführung und Einordnung des ICA 710.20

Der Industriecomputer ICA 710.20 ist das erste Gerät aus einer anwendungsbezogenen und leistungsmäßig gestaffelten Industriecomputerfamilie (ICA 700), mit der leistungsfähige Personalcomputer in Verbindung mit einem Echtzeitrechner für den industriellen Einsatz bereitgestellt werden.

Die Geräte der ICA 700-Familie sind als Mehrebenen- und Mehrrechnersystem konzipiert, so daß die Anpassung an Aufgaben unterschiedlicher Komplexität problemlos möglich ist. Die wesentlichen Teilkomponenten des ICA 700

- das Personalcomputersystem und
- das Echtzeitcomputersystem

sichern einerseits die Verwendung von verfügbarer Standardsoftware für Personalcomputer der XT- und AT-Klasse und berücksichtigen andererseits die speziellen Anforderungen, die bei der Automatisierung von Produktionsprozessen an Echtzeitcomputersysteme gestellt werden.

Die Gerätefamilie ICA 700 ist leistungsmäßig gestaffelt in die Gerätereihen ICA 710 (Basis: MP K 1810 WM 86, PC-Teil kompatibel zum PC/XT) und ICA 720 (PC-Teil kompatibel zum PC/AT). Innerhalb jeder Reihe werden anwendungsbezogen verschiedene Varianten entwickelt:

Der ICA 710.10/720.10 ist ein modulares Mikrorechnersystem auf Baugruppen- und Kassettenebene und vorrangig zur Konfektionierung durch den Anwender und Einbau in seine Finalerzeugnisse konzipiert.

Der ICA 710.20/720.20 ist ein Industriecomputer in Schrankausführung mit echtzeitfähiger Prozeßkoppeleimheit, der als komplettes Finalerzeugnis bereitgestellt wird.

Der ICA 710.30/720.30 ist eine begrenzt konfigurierbare Auftisch- (Pult-) Variante. Eine Prozeßkoppeleinheit kann über eine Erweiterungskassette angeschlossen werden. Er ist vorrangig als Bedien- und Leitstation kleinerer Automatisierungsanlagen ausgelegt und für die Labor- und Prüffeldautoma-

tisierung einsetzbar.
Der ICA 720.40 ist als mobiles Tisch- und Standgerät insbesondere für die Aufgabenbereiche Programmierung, Inbetriebnahme und Service von Automatisierungsgeräten und -anlagen vorgesehen.

2. Systembeschreibung des ICA 710.20

Der ICA 710.20 ist ein Industriecomputer in Schrankausführung, bestehend aus einem Hauptrechner (PC-Teil) und einer Prozeßkoppeleinheit (Echtzeitcomputersystem), der vorrangig für den Einsatz unter rauhen Bedingungen konzipiert ist (s. Abb. 1).

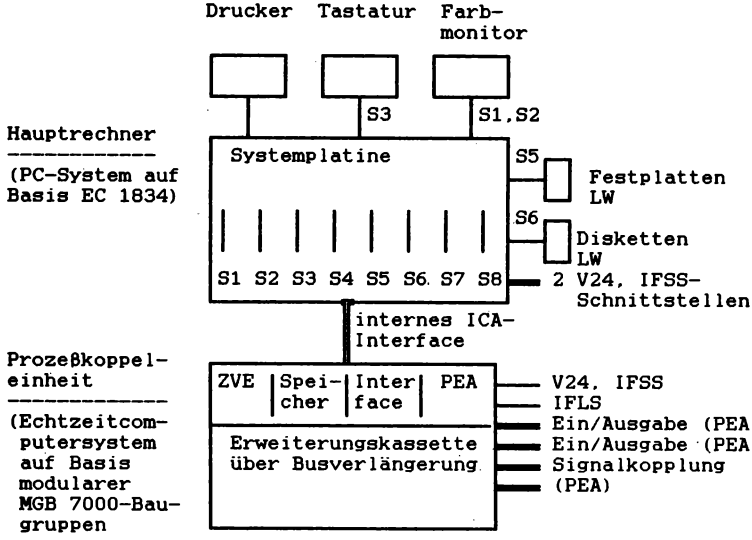


Abb. 1 Technische Grundstruktur des ICA 710.20

Als Hauptrechner wird der EC 1834 des Kombinates Robotron eingesetzt, für dessen Verwendung unter industriellen Bedingungen (Schutzgrad IP 43, Einsatzklasse nach TGL 9200/02 +5/+35/+20/80/1101) geeignete konstruktive Maßnahmen getrof-

fen wurden. Monitor und Massenspeicher (Hard-Disk-Laufwerk 20 bis 40 MByte, 2 Floppy-Disk-Laufwerke mit je 720 KByte) sind im Schrank, eine Industrietastatur ist absetzbar angeordnet. Die vom Anwender wahlweise belegbaren Steckplätze auf der Systemplatine des EC 1834 sind im ICA 710.20 mit der RAM-Erweiterung um 384 KByte, der Floppy-Disk- und Hard-Disk-Ansteuerung, dem Grafikadapter und den Adaptern für serielle Kommunikation und den Druckeranschluß belegt.
Für die unterschiedlichen Anwendungen des ICA werden die Betriebssysteme DCP (kompatibel zu dem international standardisierten Betriebssystem MS-DOS/PC-DOS), C-DCP und MUTOS (kompatibel zu UNIX) bereitgestellt. Der Vorteil und die Bedeutung des Betriebssystems DCP besteht darin, daß eine große Anzahl von einfach zu handhabenden Softwarekomponenten für unterschiedliche PC-Einsatzgebiete vorliegen. Das Betriebssystem C-DCP ist ein Betriebssystem mit Multi-Task-Fähigkeit und Echtzeiteigenschaften und so vor allem auch für Anwendungen im Bereich der Automatisierungstechnik geeignet.

Der Hauptrechner ist über ein serielles Koppelinterface mit der Prozeßkoppeleinheit verbunden.
Die Prozeßkoppeleinheit (Echtzeitcomputersystem) des ICA 710.20 ist ein modulares Mikrorechnersystem, basierend auf den Baugruppen der Systeme MGB 7000 und PEA 7000. Der Systembus ist logisch, elektrisch, funktionell und konstruktiv kompatibel zum AMS-Bus und zum Systembus des MMS 16, der Residentbus ist bis auf die fehlende Multi-Masterfähigkeit identisch dem Systembus. Die Komponenten des Echtzeitcomputersystems sind Doppeleuropaleiterkarten, die aufgabenspezifisch in einem oder in zwei 19"-Baugruppenträgern installiert werden. Der Grundbaugruppenträger mit integrierter Stromversorgung enthält den Rechnerkern und Steckplätze für die wahlweise Bestückung mit 7 bis 8 PEA-Baugruppen. Der Erweiterungs-Baugruppenträger läßt eine wahlweise Bestückung mit 15 PEA-Baugruppen zu.
Der Rechnerkern des Echtzeitsystems umfaßt die Zentralbaugruppe mit dem Mikroprozessor K 1810 WM86 und dem Arithmetik-

prozessor K1810 WM.87, Speicherbaugruppen mit CMOS-RAM bzw. EPROM und Interface-Baugruppen zur Realisierung von IFFS, IFSP (Ausgabe), IFSP-M (Centronics, V24) und IFLS bzw. optional Ethernet (in der Ausführung ROLANET 1). Die PEA-Baugruppen (digitale und analoge Ein- und Ausgabebaugruppen in unterschiedlichen Ausführungen) sind die Voraussetzung zum Einsatz des Industriecomputers als leistungsfähiges Instrumentarium in der Automatisierungstechnik .
Für das Echtzeitcomputersystem werden die Betriebssysteme BOS K 1810 (RMX 86-kompatibel) und EMOS 2 bereitgestellt. Die durch die Anwendersoftware nutzbaren Systemleistungen der Echtzeitbetriebssysteme umfassen zwei Kategorien:

- Systemleistungen, die innerhalb der implementierten Sprachkonzepte (ASM 86, PLM 86, PASCAL 86,C 86) verfügbar sind
- Systemdienste, die nur durch ein externes Prozedurkonzept aufrufbar sind (dazu gehören alle Systemdienste des Task- und Zeitmanagements der Betriebssysteme)

3. Anwendung

Der Industriecomputer ICA 710.20 verfügt ein weites Feld von Anwendungen bei der Automatisierung industrieller Prozesse (universelles Mehrrechnersystem für Aufgaben der Meßwerterfassung, -verarbeitung, Regelung, Steuerung, Überwachung, Beobachtung, Bedienung, Koordinierung und Führung) und bei der Laborautomatisierung (Meßwerterfassung, Protokollierung, Auswertung und Archivierung, Fehlerdiagnose, Kurvenberechnung usw.). Als integraler Bestandteil der Geräte- und Anlagensystemlösungen des VEB EAB wird er künftig insbesondere für Problemlösungen in den Bereichen Leiten, Führen, Überwachen und Steuern von Teilanlagen und Aggregaten, als Leitstation für frei programmierbare Steuerungen und als Zellenrechner (Leitsystem für flexible Fertigungseinrichtungen) in der Produktionsautomatisierung eingesetzt.

DER 16-BIT-ESER-PERSONALCOMPUTER EC 1834

Sporbert, H.-D., Dipl.oec, KdT, Sömmerda, DDR

1. Einleitung

Mit dem Erzeugnis "Personalcomputer EC 1834" begann der VEB Kombinat Robotron eine mit den RGW-Staaten abgestimmte Entwicklungslinie hochleistungsfähiger Arbeitsplatztechnik. Das Gerät ordnet sich in die 2. Generation der Personalcomputer ein und stellt eine neue Leistungsklasse dar. Gegenüber dem Erzeugnis PC 1715 ist bei annähernd gleichem Material- und Energieaufwand eine Leistungssteigerung um das 3- bis 3,5-fache zu verzeichnen. Dadurch wird eine bedeutende Effektivitätserhöhung in der Volkswirtschaft erreicht.
Der VEB Kombinat Robotron orientiert auf eine Serienfertigung ab 1988 in den Betrieben:
VEB Robotron Büromaschinenwerk "Ernst Thälmann" Sömmerda,
VEB Robotron Buchungsmaschinenwerk Karl-Marx-Stadt.
Der Personalcomputer EC 1834 ist softwarekompatibel zum IBM-Gerät PC/XT und analogen Personalcomputern. Das Gerät wird in verschiedenen Konfigurationen angeboten:

- Sologeräte
- vernetzte Varianten
  Terminalanwendungen mit Hostrechnern im Hintergrund.

1.1. Hardware

Die Hardware des EC 1834 gliedert sich in folgende Systembestandteile:

- Systemeinheit
- Monitore
- Floppy-Disk/Hard-Disk
- Tastatur
- Drucker.

In der Systemeinheit befindet sich die gesamte Elektronik auf einem waagerecht liegenden Systemboard mit zusätzlich bis zu 8 senkrecht plazierten steckbaren Adaptern. Grundlage der Hardware ist der sowjetische Mikroprozessor K1810 WM86.

Der interne Hauptspeicher (RAM) kann wahlweise mit 256 oder 640 KByte ausgestattet werden.
Der Bus realisiert sowohl eine Verarbeitungsbreite von 8 als auch 16 Bit und wird auf 96-polige Slotstecker geführt. Der Bus ist kompatibel zum PC XT/AT.
Die Systemeinheit kann neben den 2 Floppy-Disk-Laufwerken mit je 720 KByte wahlweise auch mit Harddisk ausgestattet werden. Der Druckeranschluß verfügt über ein Centronics-Interface. Zwei bis vier Interface V24/IFSS gewährleisten den Anschluß zusätzlicher Einheiten, wie Zweitdrucker, Plotter, Digitalisiergerät sowie spezielle Meßgeräte. Ein schwenk- und drehbaren Bildschirm und ein Color-Grafik-Bildschirm bzw. ein monochromatischer Grafikmonitor sichern die Kommunikation.

Erweiterungsmöglichkeiten und Peripheriebaugruppen:
1. RAM-Erweiterung
Der RAM-Speicher kann durch eine Zusatzsteckeinheit mit 384 KByte auf 640 KByte erweitert werden.
2. Tastatur
Als Tastatur kommt eine Einheitsflachtastatur zum Einsatz, die in 4 Ebenen umschaltbar ist. Die Steuerung der Tastatur erfolgt über Einchipmikrorechner auf dem Systemboard und in der Tastatur.
3. Hard-Disk
Die Hard-Disk-Ansteuerung realisiert das Interface ST506 (I82062). Angeschlossen werden maximal 2 Laufwerke:
HD 5 1/4 Zoll mit 20 MB, 30 MB, 40 MB, 50 MB oder 70 MB.
4. Floppy-Disk
Es können maximal vier Laufwerke K5601 (1.6) zu 5 1/4 Zoll angeschlossen werden, wobei sich 2 Laufwerke im Grundgerät befinden. Vom Betriebssystem DCP werden folgende Formate unterstützt:
320 KB, 360 KB und 720 KB.
5. Monitor, zeichenorientiert
Der zeichenorientierte Monitor hat ein Bildformat von 25 Zeilen x 80 Zeichen. Der Zeichensatz von 256 Zeichen ist ladbar.
6. Farb-/Grafikmonitor
Der EC 1834 kann mit einem Adapter zum Anschluß von monochromen Grafik- oder Farbmonitoren ausgerüstet werden, der zwei Slotplätze belegt (Auflösung 640x480 Punkte, 16 Graustufen bzw. 16 Farben aus 256).

7. Druckeranschluß

Der Adapter zum Anschluß eines Druckers realisiert das Centronic-Interface. Über diesen Anschluß können Drucker mit IBM-Zeichensatz angeschlossen werden. Solche Drucker sind aus der DDR-Produktion die Typen Nadeldrucker K 6313/14, K 6320, Typenraddrucker SD 1152/257.

8. Asynchron-/Synchron-Adapter

Der Adapter für die serielle Datenübertragung benutzt als Basis den Schaltkreis U856(SIO). Dem Anwender stehen zwei unabhängige Ein-/Ausgabekanäle zur Verfügung, die als V24 (max. 19200 Baud) oder IFSS (max. 9600 Baud bei 500m Entfernung) ausgebildet sein können. Es sind aber auch weitere Drucker oder andere Peripherie, wie Digitalisierbretter und Plotter, anschließbar.

9. KIF-Adapter

Zur Kopplung des EC 1834 an das System EC 7920 wurde ein spezieller Adapter entwickelt.

10. BUS-Verlängerung

Durch diesen Adapter kann der Systembus des EC 1834 aus der Systemeinheit geführt werden und steht damit den Anwendern für spezielle Nutzungen zur Verfügung.

11. LAN-Controller

Zum Einsatz des EC 1834 im Lokalen Netz des Kombinates Robotron, dem LAN ROLANET, wird ein Controller angeboten.

1.2. Software

Das Betriebssystem DCP 3.20 ist ein modernes leistungsfähiges disk- bzw. harddiskorientiertes Betriebssystem. Damit wird die volle Kompatibilität auf Anwenderebene zum international durch IBM eingeführten Betriebssystem PC-DOS 3.20 hergestellt.

Das Grundsystem DCP 3.20 besteht aus folgenden Komponenten:

- ROM-BIOS
- Basis-Exekutive mit BIO.COM, DOS.COM, COMMAND.COM
- Systemdienstprogramme DCP 3.20 (ca. 30 Stück)
- Nutzerdiagnosesystem, bestehend aus Rahmensteuerprogramm und mehreren baugruppenbezogenen Testroutinen; geprüft werden die Systemplatine und Standardbaugruppen
- Werkzeuge der Assemblertechnologie, z.B. Makroassembler, Zeileneditor, Bildschirmeditor, Programmverbinder, Bibliothekar,

Debugger

- Programmiersprachen: Die angebotene Programmiersprachenpalette ermöglicht jedem Anwender, die zur Lösung seiner Aufgabe optimale Sprache einzusetzen. Folgende Sprachen werden angboten: BASIC, PASCAL-T, C-Sprache, FORTRAN, MODULA-2.
- Standardpaketsoftware:
  Folgende Softwarepakete werden vom Kombinat Robotron angeboten:
  . Textverarbeitungssystem
  . Window-Editor
  . Datenbanksystem REDABAS 3
  . Tabellenkalkulation MULTICALC
  . Informationsrecherchesystem AIDOS
  . Integrierte Systeme mit Textverarbeitung, Datenbank, Kalkulation, Geschäftsgrafik, Rechnerkopplung
  . Statistik
  . Tourenoptimierung
  . ökonomische Problemlösungen.
- Datenfernübertragung: Zur Unterstützung der Datenfernübertragung wird folgende Software entwickelt:
  . asynchrone Datenübertragung nach dem Protokoll AP62/64
  . asynchroner Datentransfer zwischen PC und BC entsprechend dem Programm TLC (SCP)
  . synchrone Datenübertragung mit den Protokollen BSC3 und BSC1
  . Emulation der Terminals EC7925 und 2780.
- Aussagen zur Kompatibilität des Betriebssystems DCP:
  . DCP ist kompatibel zu den Diskettenformaten, die in folgenden Betriebssystemen verwendet werden: PC-DOS, MS-DOS, CP/M, SCP, DCP 1700.
  . Durch einen speziellen Treiber, der mit dem System geliefert wird und bei Systemstart aktiviert werden kann, ist die Verarbeitung von SCP-Disketten ohne Probleme möglich.
  . Der Datenaustausch mit anderen Rechnern kann außerdem über die Datenfernübertragungssoftware und lokale Netze erfolgen.
- Weiterentwicklungen:
  Die Arbeiten auf dem Gebiet der 16-Bit-Rechentechnik wird fortgesetzt; neue Slots und spezielle Terminals werden entwickelt, weitere Programmpakete implementiert, neue Pakete programmiert. Der EC 1834 ist in die Systeme ESER und SKR eingebracht und hat die entsprechenden Prüfungen mit gutem Erfolg absolviert.

A PROGRAM SYSTEM FOR GLOBAL ROUTING

Binnyus, B., Schade, W., Dr.rer.nat., Berlin, DDR

An important step in an automatic layout design system is the global routing to determine for each net, which areas it will pass through. Following [RM], we subdivide the wiring area into elementary rectangles(ER) lengthening the cell boundaries. From this structure we can derive the known neighbourhood graph $\mathcal{G}=(F,E,k)$ shown in figure 1. The vertices of the graph represent the ER's. An edge (v1,v2) exists, iff the ER's corresponding to v1 and v2, are neighbouring ones. The value k of an edge is the (Manhattan) distance of the centres of the ER's.

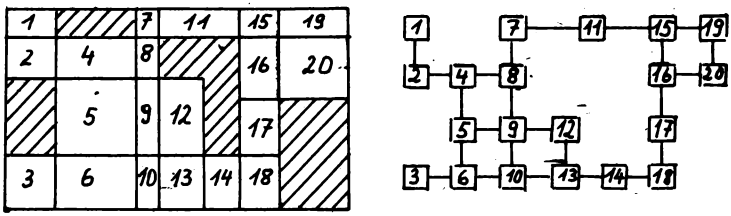


Figure 1: Structure of the wiring area and the corresponding neighbourhood graph.

1. Wiring of nets with two pins

To find the shortest connection for a net of two pins p1, p2 means to determine the shortest path in the undirected, valued graph between the vertices v1 and v2, ER's of which have p1 and p2, respectively, on their boundary. To solve this problem, we took the well-known Dijkstra Algorithm:

Algorithm DJ:

Set M0 = $\{v1\}$, dist(v1) = 0 dist(v) = ∞ for $v \in V$, $v \neq v1$.

1. M1 = V $\setminus$ M0
   If M1 = $\emptyset$ goto 7.
2. Find $v^0 \in$ M1 such that $dist(v^0) = \min_{v(j) \in M1} dist(v(j))$
3. If v^0 = v2 goto 7
4. If $v(j) \in$ M1 and $(v^0, v(j)) \in E$
   then dist(v(j)) = min (dist(v(j)), dist(v^0) + k(v^0,v(j)))
   prec(v(j)) = v.
   endif
5. M0 = M0 $\cup$ $\{v^0\}$
6. goto 1
7. stop

The value dist(v2) is the length of the shortest path from v1 to v2, the path itself can be found by means of prec(v2), prec(prec(v2)), and so on. To solve step 2, we sort the vertices of M1 in a heap, thus the complexity of the algorithm is $O(|E| \log|V|)$. But the pins and the ER's are contained in the plane. So for all $v(j) \in$ M1 we are able to estimate a lower bound for the path length from v(j) to v2: the Manhattan distance MD(v(j),v2).
Because MD(v,w) $\leq$ k(v,w) and MD is a metric, it can be proved, that the algorithm works exactly, if we modify it as follows:

Algorithm DJM:

1. In step 2, we search for a $v^0 \in$ M1, such that
   dist(v(j)) + MD (v(j),v2) is minimal
2. After step 4 we insert the following statement:
   If for a vertex $v(j) \in$ M1 with $(v^0, v(j)) \in E$ holds
   v(j) = v2 then goto 7 (i.e. stop).

By this modification, we reduced in our examples the running time to the half.

2. Wiring of nets with more than two pins

In our data structure the problem to find the shortest realisation of such a net leads to the Steiner tree problem [AGH], which is NP-complete. We studied three methods to solve the problem in a heuristic way:

S1: Expansion of a subtree
The start tree T_1 is the shortest path between two pins, determined by means of algorithm DJM. In step n+1, all vertices of the subtree T_n are startpoints for a (modified) algorithm DJ, which stops, if the next pin p is reached. T_{n+1} is the union of T_n and the path from T_n to p.

S2: Union of subtrees
In the beginning, every pin is a subtree. Stepwise a subtree T with a minimal number of vertices is expanded, until another subtree T' is reached. T, T' and the path between both trees are joined to a new subtree. If all subtrees are joined, the algorithm stops.

S3: Addition of a pin to the subtree
First of all we compute the shortest path between two pins and take it as start tree T_1. In the step i, we choose a pin $p \notin T_{i-1}$ with a minimal distance to T_{i-1}, compute the shortest path from p to T_{i-1} and add the path to T_{i-1}, obtaining T_i.

Obviously, method S1 is very time expansive. In our examples method S3 was (for a small number of pins) faster than method S2, whereas for a large number of pins method S2 was better. But a large number of pins for a net is rare, so we have chosen algorithm S3 for our system.
In order to reduce compution time, we applied algorithm DJM for the determination of the shortest way, and we modified algorithm S3 by different selections of the first two pins. Best results we obtained by a selection of p(i), p(j) in such a way, that

$$F(p(i),p(j)) := MD(p(i),p(j))/MM(p(i),p(j))$$

is minimal, whereby MM(p1, p2) is the area of the rectangle, formed by p1 and p2.

References

AGH Aho, Garey, Hwang:
"Rectilinear Steiner Trees: Efficient Special-Case Algorithms" Networks 7 (1977), pp 37 - 58

CHK Chen, Hsu, Kuh:
"The Berkeley Building-Block (BBL) Layout System for VLSI Design" IFIP 1983

DJK Dijkstra:
"A Note On Two Problems In Connections With Graphs"
Num. Mathematik 1, 1959, pp 269 - 271

HS Horowitz, Sahni:
"Algorithmen, Entwurf und Analyse"
Springer-Verlag 1981

RM Rothermel, Mlynski:
"Automatic Variable-Width Routing For VLSI"
IEEE Trans. on Computer-Aided Design, Vol CAD-2, No. 4, 1983

SGB Syed, Gamal, Breuer
"On Routing for Custom Integrated Circuits"
19th DAC 1982, pp 887 - 983

A PROGRAM SYSTEM FOR POWER AND GROUND ROUTING

Schade, W., Dr.rer.nat., Berlin, DDR

One of the steps of an automatic hierarchical layout design system is the power/ground routing. In difference to other routing problems the goal of this is to wire both nets only in one layer without crossings and to take into consideration variable width. Of course it is also desirable to have minimal wiring length of the nets.

The problem is solved in three steps:

a. Determination of a global crossless routing of both nets without a consideration of the necessary width
b. Determination of the necessary width
c. Shifting wire segments between the (fixed) cells to ensure design rules.

A. Determination of a global routing

First we have to examine the conditions, on which a single-layer-wiring is realizable.

Definition

An order of ground and power pins of a cell is admissable, if there exist a cut through the cell, such that all pins of the first net are in one part, and all pins of the second net are in the other part of the cell (figure 1).

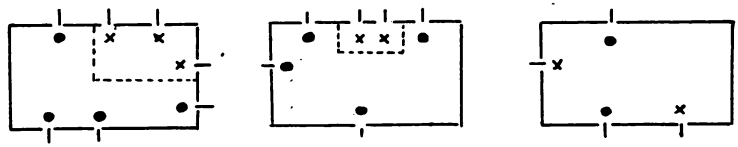


Figure 1 admissable pin order not admissable order

Then the following lemma can be proved:

Lemma: If all cells only have ground and power pins of admissable order, then a crossless single-layer-wiring is realizable.

From the proof follows, that we can start with the routing of the first net, followed by that of the second net. Thereby we must avoid crossong the wire of the first net. To execute the routing, we structure the wiring area as usual in global routing. We divide the area in Elementary Rectangles (ER's) by lengthening the boundaries of the celle, thus getting the well-known neighbourhood graph (c.f. [4]). To compute a rough wiring of the first net, we have to search a Steiner tree in this graph, in a heuristic way. We do this by successive adding of the next pin and the shortest path to the subtree, that was abtained up to the actual step (c.f. [4], method S3). The found branches are kept in a store to compute the necessary width, as it will be described later. To get a suitable structure for a realisation of the routing of the second net, we assume, that the course of the wiring "soul" is always in the middle of the ER's, so keeping space above and below it (on the right and on the left of it, respectively) for wiring the second net.
After the laying out of the first net, we have 12 elementary situations for passing the first net through the ER's, c.f. figure 2.

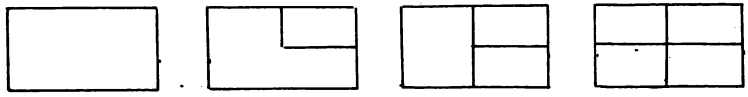


Figure 2: Four of the twelve elementary situations in an ER

In a next step the tree for the second net is determined by a modified Steiner tree algorithm, that avoids the crossing of the first net. As a result of the second wiring, for the situations mentioned above we get a lot of subcases, some of them for the second situation above are shown in figure 3.

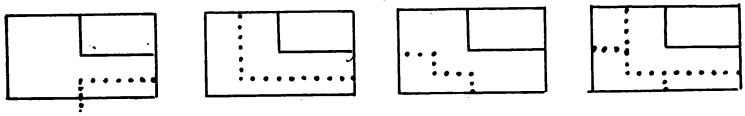


Figure 3: Four of the twelfe main subcases of situation 2.

Thus the global wiring of both nets has been computed.

B. Computation of the exact width

To get the course of power and ground exactly, i.e. in consideration of the design rules, it is necessary to know the exact width of all wire segments. We compute it by execution of the branches in the order reverse to their storing. Starting at the leaf, in all ER's along the branch the new width results from the old width of the branch and the width of those branches, ending in this ER. This width also is stored in the ER of the end of the branch.
The algorithm is linear to the number of ER's passed by the trees.

C. Shifting wire segments according to the design rules

The shifting of the wire segments requires the consideration of the necessary width of the segments, the design distance according to the rules, the exact pin positions and the fixed positions of the cells. This can be reduced to the computation of the critical path in a directed acyclic graph, as in the problem to compact a symbolic layout. For that, we define a directed and weighted distance graph as follows:
For shifting the vertical segments in the horizontal direction, the vertices of the graph correspond to the following groups:
- the chip boundary on the left (source) and on the right (sink)
- the cells
- the vertical wire segments

The graph has a directed edge from v1 to v2 iff there exists a immediate dependence on each other, i.e. the groups have at least one ordinate in common, and at this level there is no other group between them.
The weight of a directed edge k results as sum of the half of the width of the groups and the required distance of wires in this layer.
If a horizontal segment bounds vertical wires w1, w2 at the ordinate y, this value is omitted from the checking for horizontal dependence on each other. In this way we get the effect, that in some cases vertical groups change their relative positions to each other, obtaining thus a desivable flexibility of wires.

By means of the graph mentioned above we obtain the abscissa of a group v by finding the value of the critical path from the left boundary v_ℓ to v in $\mathcal{G}$. This acyclic, connected graph has exactly one source (the left boundary), one sink (the right boundary) and only positive weights. So, if the graph is stored in successor representation, we can compute the values in O(m) steps (m = number of edges).

To establish all the immediate dependences for a group, it is not necessary to look at all the other groups, situated to the right of v, during the horizontal shifting. Glancing at the ER's we see, that all dependences can be derived from the relations at three "levels" within the ER and its right neighbour. Thus we can find the edges of the distance graph for the horizontal shifting by analysis of local information.

For the shifting of horizontal groups in vertical direction this method fails, because after the first shifting the original relations between the groups might be destroyed. So to get the edges of the distance graph, we have to test the actual group against the silhouette of all the groups, which are situated below it. The exact ordinates of the wire segments then result in the same way from the critical-path-algorithm as mentioned above.

References

(1) R.L. Rivest: The "PI" (Placement And Interconnect) System 19th DAC 1982, (pp. 475 - 481)

(2) H.J. Rothermel, D.A. Mlynski: Computation Of Power Supply Nets In VLSI Layout, 18th DAC 1981,(pp. 37 - 42)

(3) Z. Syed, A. El Gamal, M.A. Breuer: On Routing For Custom Integrated Circuits 19th DAC 1982, (pp. 887-893)

(4) B. Binnyus, W. Schade: A Program System For Global Routing this proceedings

KANALVERDRAHTUNG UND HINDERNISSE

Liske, J., Stube, B.,
Karl-Weierstraß-Institut für Mathematik, Berlin, DDR

Die Kanalverdrahtung stellt eine Einzelaufgabe in VLSI-Layoutentwurfssystemen dar (siehe Vortrag von Eberius und Schade). Sie tritt in Aktion, nachdem die Blöcke plaziert wurden, das entstandene Verdrahtungsgebiet in Teilflächen zerlegt wurde und das globale Routing abgeschlossen ist. Unter einem Kanal verstehen wir die rechtwinklige Verdrahtungsfläche zwischen zwei Blöcken. Es können waagerechte und senkrechte Kanäle entstehen. Es reicht aus, hier nur waagerechte Kanäle (die unten und oben von Blöcken begrenzt werden) zu betrachten. Auf der Unter- und der Oberkante eines solchen Kanalrechtecks liegen fest positionierte Blockpins. Links und rechts ist er nicht von Blöcken begrenzt, auf diesen Seiten liegen die vom globalen Routing gebildeten, jedoch in ihrer genauen Position noch nicht festgelegten Pins. Jedem Pin ist eine nichtnegative ganze Zahl, die Netznummer, zugeordnet. Die Aufgabe der Kanalverdrahtung besteht darin, jeweils alle Pins mit gleicher Netznummer durch Leitbahnbäume optimal miteinander zu verbinden. Die Leitbahnen sind auf einem einheitlichen rechtwinkligen Raster zu verlegen, wobei alle Pins diesem Raster entsprechen. Die waagerechten Rasterlinien werden Kanalzeilen genannt, die senkrechten - Kanalspalten. Man verwendet zwei technologische Verdrahtungsebenen, eine Ebene für alle waagerechten Leitbahnen und die andere für alle senkrechten Leitbahnen. Jeder Ebenenwechsel in der Verdrahtung eines Netzes wird durch ein Kontaktfenster realisiert.

Das Optimierungsziel beim Verdrahten besteht darin, möglichst wenig Platz zu verbrauchen. Im Kanal bedeutet das, die Zahl der benötigten Zeilen so klein wie möglich zu halten. Dieses Problem hat sich als NP-vollständig erwiesen, d.h. es ist algorithmisch sehr schwer zu lösen. Darum finden verschiedene heuristische Methoden Anwendung, die in vertretbarer Rechenzeit optimale oder dem Optimum naheliegende Lösungen liefern. Eine untere Schranke für die Anzahl der erforderlichen Kanalzeilen stellt die Kanaldichte dar.

Im vorgestellten Entwurfssystem wird ein von Yoshimura und Kuh veröffentlichter Kanalrouting-Algorithmus (Algorithmus 1 aus [YK]) verwendet. Er wurde von uns implementiert, und er liefert gute Resultate für praktische Aufgaben. In den meisten Beispielen entsprach die erreichte Zeilenzahl dem Optimum oder sie lag nur ein bis zwei Zeilen darüber.
Im Algorithmus wird vorausgesetzt, daß zur Verdrahtung eines jeden Netzes in horizontaler Richtung nur eine Kanalzeile verwendet wird. Jedes Netz erhält also nur eine waagerechte Leitbahn. Dabei können auf einer Zeile des Kanals durchaus die waagerechten Leitbahnen mehrerer Netze angeordnet werden, wenn sich deren horizontale Intervalle nicht überlappen.
Die Grundidee des Algorithmus ist folgende: Bei einem Durchlauf von links nach rechts durch den Kanal werden Mengen von Netzen gebildet, deren waagerechte Leitbahnen jeweils gemeinsam auf einer Zeile des Kanals anzuordnen sind. Dabei wird das Ziel verfolgt, eine minimale Anzahl solcher Netzmengen zu erzeugen. Die Zuordnung eines Netzes zu einer der Mengen erfolgt immer dann, wenn der Anfang des Netzes erreicht ist. Man nennt diesen Vorgang Verschmelzung von Netzen. Zur Lösung der Aufgabe werden Methoden der Graphentheorie verwendet. Die wichtigste Rolle spielt dabei der sogenannte Vertikalbedingungsgraph.
Handelt es sich bei den zu verdrahtenden Netzen um Mehrpinnetze (Netze mit mehr als zwei Pinanschlüssen), so werden sie als Mengen von Zweipinnetzen betrachtet, und der Algorithmus wird auf diese Teilnetze angewendet.
Ein weiterer von Yoshimura und Kuh vorgestellter Algorithmus (Algorithmus 2 aus [YK]) wurde ebenfalls von uns implementiert. Die Arbeitsweise dieses Routers ähnelt der des Algorithmus 1, und er verwendet ebenfalls graphentheoretische Methoden. Der Unterschied besteht jedoch darin, daß im Algorithmus 2 nicht für jedes einzelne Netz eine optimale Verschmelzung ermittelt wird, sondern daß jeweils eine Menge optimaler Verschmelzungen von mehreren Netzen mit den entsprechenden Partnern gesucht wird. Außerdem wird eine Verschmelzung immer erst dann ausgeführt, wenn das Ende des zu verschmelzenden Netzes erreicht ist. Dadurch werden viel mehr Varianten betrachtet. Beim praktischen Vergleich der Algorithmen 1 und 2 zeigte sich jedoch, daß die ermittelten Verdrahtungslösungen als etwa gleichwertig einzuschätzen sind.

In den Vergleich wurde auch ein von Rivest und Fiduccia in [RF] vorgestellter Greedy-Kanalrouter einbezogen; ihm liegt ein völlig anderer Algorithmus zugrunde. Er verdrahtet den Kanal spaltenweise von links nach rechts. In jeder Spalte verlegt er die ihm notwendig erscheinenden vertikalen Leitbahnen und geht danach durch Weiterführung horizontaler Leitbahnen zur nächsten Spalte über. Die Entscheidungen des Routers werden mit Hilfe einfacher Heuristiken getroffen. Sie verfolgen das Ziel, die Spalte optimal auszunutzen. Wesentliche Unterschiede zu den Routern nach Yoshimura/Kuh bestehen darin, daß der Greedy-Router aufgespaltene Netze erzeugen und verarbeiten kann und daß in jeder beliebigen Spalte Doglegs gebildet werden können. Seine Verdrahtungen sind damit viel flexibler. Andererseits hat er den Nachteil, daß er die Verdrahtung nicht auf möglichst wenig Kanalzeilen anordnet, sondern alle ihm zur Verfügung gestellten Zeilen benutzt. Will man eine bessere Verdrahtungslösung erhalten, so muß man den Router mit entsprechend geringerer Kanalhöhe arbeiten lassen. Erst dann erweist sich, ob diese Zeilenzahl für ihn ausreichend ist oder nicht. In der Mehrzahl der Beispiele stimmten die vom Greedy-Router erreichten Minimalwerte der benötigten Kanalzeilen mit den von Algorithmus 1 bzw. 2 erreichten Werten überein.

Es muß darauf hingewiesen werden, daß sich die bisher gemachten Ausführungen ausschließlich auf Signalnetze bezogen. Ihre Verdrahtung im Kanal erfolgte unabhängig von den Masse- und Spannungsnetzen, welche in einer anderen Ebene verlegt wurden. Wenn jedoch diese Voraussetzung nicht erfüllt ist, d.h. wenn beim Verdrahten der Signalnetze bestimmte Teile der Verdrahtungsfläche durch Masse-, Spannungs- oder andere Netze belegt sind, spricht man von einem Kanal mit Hindernissen.
Wir sind der Meinung, daß es nicht möglich ist, die Algorithmen 1 und 2 von Yoshimura/Kuh effektiv so weiterzuentwickeln, daß sie die Hindernisse beim Verdrahten berücksichtigen können. Dagegen ist der Greedy-Algorithmus von Rivest/Fiduccia zu einer solchen Weiterentwicklung fähig; diese ist als Hindernis-Kanalrouter von Hamachi und Ousterhout [HO] bekannt. Dort werden Hindernisse, die eine Verdrahtungsebene blockieren,

von den Leitbahnen in der anderen, freien Ebene überquert. Falls dies nicht möglich ist oder wenn das Hindernis beide Ebenen blockiert, so werden die Leitbahnen um das Hindernis herumgeführt. Das Überqueren von Hindernissen bedeutet eine völlig neue Qualität beim Verdrahten, denn dabei kann die bisher geltende feste Zuordnung von Verdrahtungsrichtung und Verdrahtungsebene nicht mehr vorausgesetzt werden.

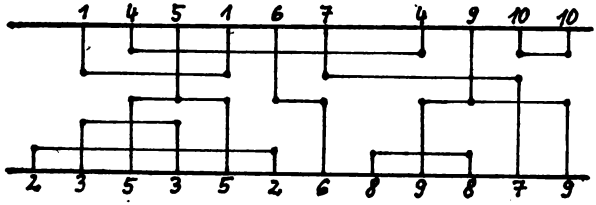


Bild 1. Vom Algorithmus 1 ermittelte optimale Lösung einer einfachen Kanalverdrahtungsaufgabe aus [YK]

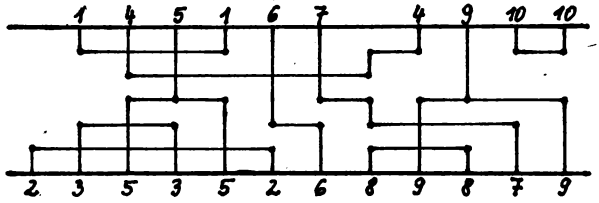


Bild 2. Vom Greedy-Algorithmus ermittelte optimale Lösung derselben Aufgabe

Literaturangaben:

[YK] T. Yoshimura, E.S. Kuh
"Efficient Algorithms for Channel Routing"
IEEE Transactions on CAD of ICs and Systems
Vol. CAD-1, No.1, 1982 pp. 25-35

[RF] R.L. Rivest, C.M. Fiduccia
"A 'Greedy' Channel Router"
Proc. 19-th Design Automation Conference, 1982 pp.418-424

[HO] G.T. Hamachi, J.K. Ousterhout
"A Switchbox Router with Obstacle Avoidance"
Proc. 21-st Design Automation Conference, 1984 pp.173-179

KANALENTFLECHTUNG IN REGULÄREN LAYOUTSTRUKTUREN

Goetze, B., Dr., Berlin, DDR

In regulären Entwurfsstrategien, insbesondere im Standardzellenentwurf, werden die Bauelemente derart angeordnet, daß sogenannte Straßen und Kanäle entstehen - vgl. Abb. 1, 3 und 4. Dazu werden die Bauelemente zunächst den einzelnen Straßen zugeordnet und danach innerhalb der Straßen positioniert. Darauf folgt die Verdrahtung der einzelnen Kanäle.
Unter Kanalentflechtung soll hier eine derartige Anordnung der Elemente innerhalb der Straßen verstanden werden, die günstige Voraussetzungen für die Kanalverdrahtung schafft, also geringere Kanalbreiten, geringere Leitungslängen und übersichtlichere Leitungsführungen ermöglicht. Die Kanalentflechtung wird in den verschiedensten Layoutsystemen durchgeführt - siehe z.B. [1]. Das im vorliegenden Beitrag präsentierte neue Verfahren hat den Vorteil, daß es nicht die einzelnen Kanäle separat optimiert, sondern die Kanalentflechtung aller Kanäle als ein gesamtes Optimierungsproblem löst. Das Verfahren beruht auf Methoden der Theorie der multidimensionalen Skalierung, die bereits von Fukunaga, Otten u.a. zur Lösung des zweidimensionalen Plazierungsproblems eingesetzt wurden - siehe z.B. [2] und [3]. Den mathematischen Hintergrund solcher Verfahren bilden Optimierungsprobleme für quadratische Formen unter Nebenbedingungen, die auf die Lösung von Eigenwertproblemen hinauslaufen. Das Verfahren gehört somit zur Kategorie der nichtdiskreten Algorithmen. Es liefert reellwertige in gewissem Sinne optimale Positionen der Elemente, die anschließend zu korrigieren sind. Zum einen müssen die reellen Werte meist an ein Raster angepaßt werden, zum anderen muß den tatsächlichen Abmessungen der Bauelemente Rechnung getragen werden. Eine ausführliche Herleitung des Verfahrens ist in [4] zu finden. Hier begnügen wir uns mit der Beschreibung der Iterationsvorschrift zur Lösung des im Hintergrund stehenden Eigenwertproblems.
Zunächst drehen wir die Schaltungen so, daß die Straßen und Kanäle senkrecht verlaufen. Straßen sowie Kanäle numerieren wir von links nach rechts durch. Wir bezeichnen die Elemente der k-ten Straße mit $v_{1k}, v_{2k}, \ldots$ und die Netze des k-ten Kanals mit $w_{1k}, w_{2k}, \ldots$.

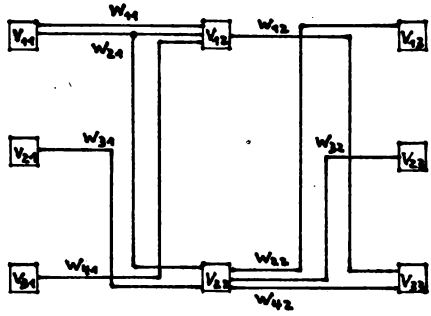


Abb. 1

Eine solche Schaltung läßt sich durch einen Schichtgraphen darstellen. Zu Abb. 1 erhalten wir den folgenden Schichtgraphen.

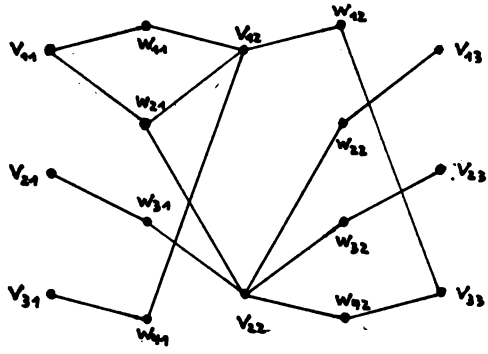


Abb. 2

Für die Knoten lassen sich relative Gewichte definieren (wir benötigen diese nur für die Bauelemente-Knoten v_{ik}):

g_{ik} := (Anzahl der von v_{ik} ausgehenden Kanten) / (Anzahl der von der k-ten Bauelementeschicht ausgehenden Kanten)

In Abb. 2 haben wir z.B. $g_{11}=0.5$, $g_{21}=0.25$ und $g_{22}=5/9$.

Zu jedem Knoten des Schichtgraphen gehört eine Variable, die die (reelle) vertikale Position des Knotens angibt:

x_{ik} für v_{ik} und y_{jk} für w_{jk}.

Das Verfahren startet mit einer beliebigen aber nicht trivialen Belegung der x_{ik}, z.B. x_{ik} := i. Auf diese Anfangsordnung werden mehrfach Iterationen angewendet, bis eine Stabilisierung der Variablenwerte zu verzeichnen ist. Ein Iterationsschritt gliedert sich in zwei Averaging-Schritte und einen Zentrierschritt:

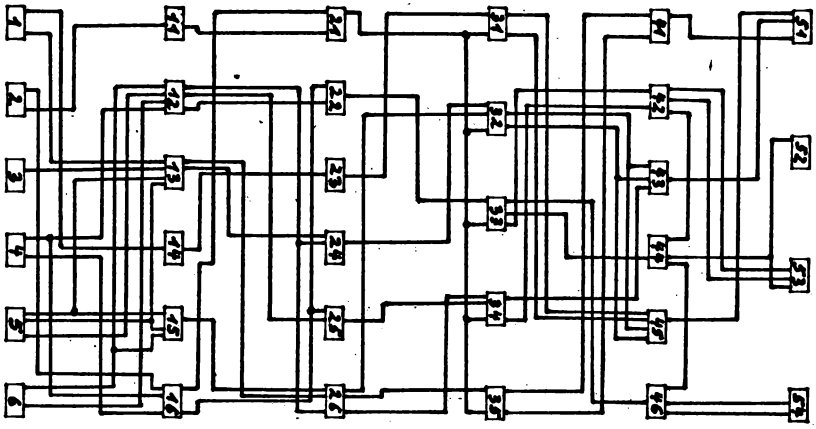


Abb. 3

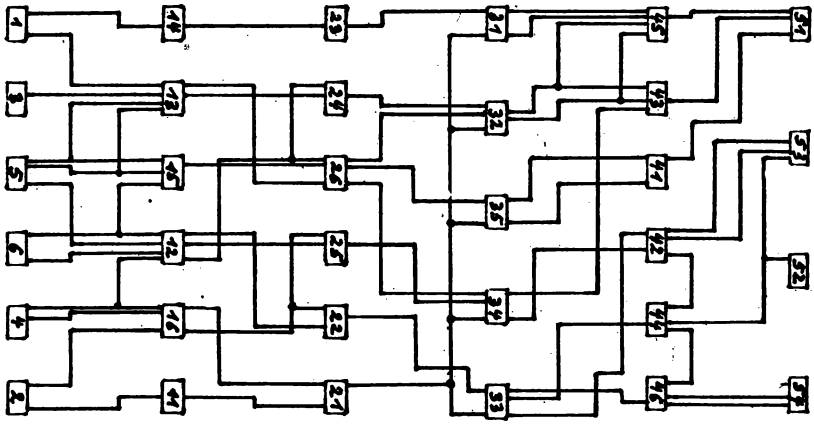


Abb. 4

1)Für jeden Kanal k und jedes Netz w_{jk} bestimmen wir
y_{jk} := Schwerpunkt der an w_{jk} angeschlossenen Elemente der k-ten und (k+1)-ten Straße .

2)Für jede Straße k und jedes Element v_{ik} bestimmen wir
x_{ik} := Schwerpunkt der an v_{ik} angeschlossenen Netze.

3)Zentrierung: Für jede Straße k wird mit Hilfe der Gewichte g_{ik} der gewichtete Mittelwert $\bar{x}_k$ der $x_{1k}, x_{2k}, \ldots$ bestimmt. Die Zentrierung erfolgt dann durch

$$x_{ik} := x_{ik} - \bar{x}_k .$$

Für unser Beispiel aus Abb. 2 berechnen wir
im ersten Averaging-Schritt z.B. $y_{11} := (x_{11}+x_{12})/2$ und
$y_{21} := (x_{11}+x_{12}+x_{22})/3$ und
im zweiten Averaging-Schritt z.B. $x_{11} := (y_{11}+y_{21})/2$, $x_{21} := y_{31}$ und $x_{22} := (y_{21}+y_{31}+y_{22}+y_{32}+y_{42})/5$.
Im Zentrierschritt ergeben sich für dieses Beispiel

$\bar{x}_1 = 0.5 \cdot x_{11} + 0.25 \cdot x_{21} + 0.25 \cdot x_{31}$, $\bar{x}_2 = \frac{4}{9} \cdot x_{12} + \frac{5}{9} \cdot x_{22}$ und

$\bar{x}_3 = 0.25 \cdot x_{13} + 0.25 \cdot x_{23} + 0.5 \cdot x_{33}$.

Aus der Herleitung des Verfahrens in [4] ergibt sich die Notwendigkeit der Zentrierung. Nach der Anwendung mehrerer Iterationsschritte ist eine Normierung der Koordinaten x_{ik} angebracht, da diese sonst gegen 0 streben. Die Konvergenz des Verfahrens ist garantiert. Angewendet auf das Beispiel aus Abb.3 benötigt es 70 Iterationen, um die Anordnung von Abb.4 zu erreichen. Auf einem 16-bit Schneider-PC ohne Coprozessor für Gleitkommaoperationen wurden dazu 25" benötigt. Es sei abschließend bemerkt, daß einzelne Kanäle betont werden können, so daß deren Entflechtung Vorrang hat.

LITERATUR

[1] May, M., P. Menneoke: Layout of Schematic Drawings, Syst. Anal. Model. Simul. 1 (1984) 4, 307-338

[2] Fukunaga, K., S. Yamada, H.Stone, T. Kasai: Placement of Circuit Modules Using a Graph Space Approach, IEEE Proc. 20 th Design. Automation Conf. (1983)

[3] Otten, R.H.J.M.: Eigensolutions in Top-Down Layout Design, Proc. International Symp. on Circuits and Systems ISCAS (1982)

[4] Goetze, B., W. Nehrlich: Skalierung von Zufallsvariablen und Anordnungsprobleme im Layoutentwurf, im Sammelband „Layoutentwurf - Mathematische Probleme und Verfahren", Akademie der Wissenschaften der DDR, erscheint 1988

TWO DIMENSIONAL THERMAL MODELLING OF SEMICONDUCTOR DEVICES

Jacek Gajkiewicz, MSc EE,
Technical University of Gdańsk, Poland

1. Introduction

Designers of semiconductor devices often face up to the problem of determining their thermal behaviour. Not only value of the highest temperature point is desired but temperature distribution within certain area of device bulk under transient conditions is interesting as well. There are several limitations in temperature measurement techniques, especially when semiconductor devices are concerned. Electrical methods of measurement based on thermo-sensitive p-n junctions can provide only the temperature of the juncion itself, whereas temperature of the rest area remains unknown. On the other hand, surface temperature scanning using infrared radiation cannot be applied when fast temperature transients have to be observed. Thus computer simulation of thermal transients seems to be the only tool which can provide detailed insigth into semiconductor thermal behaviour. Moreover, computer modelling of thermal transients is the essential part of more general, relaxation method of electrothermal modelling of semiconductor devices [1].

2. Methods of calculation

This paper deals with the problem of finding a temperature distribution T(t,x,y) inside the device in time and 2D space domain. Heat flow partial differential equation :

$$\nabla(\lambda\nabla T) - c\rho\frac{\partial T}{\partial t} = -q(P,t)$$

where λ - thermal conductivity, c - specific heat,
ρ - mass density, q - spatial density of dissipated power,

is solved be means of generalized finite-difference method ,called 'finite-boxes'[2]. The main advantage of this method is that the grid point density can be varied according to the temperature gradient. As a result, complicated shapes of devices can be modelled with relatively small number of grid points. All kinds of boundary conditions could be applied, including isothermal and adiabatic conditions as well as surface convection and radiation.

A thermal model could be build in both rectangular and cylindrical coordinates. Material properties, such as thermal conductivity and specific heat vary with temperature; this feature is essential for semiconductors. Variable time-step implicit integration method is used, which is numerically stable regardless of the length of a time step. System of linear equations is solved using LU factorization; sparse matrix techniques including equation ordering have to be applied in order to reduce fill-in. 'Minimum degree' ordering scheme was chosen, as it is proved to be effective especially for systems of difference equations [3].

3. Examples of simulation

The computer program in Turbo-Pascal was written for IBM PC basing on the methods presented above. Thermal model can consists of up to 500 grid points. Single time step is calculated no longer then one minute for large models. Apart form basic simulation module there are two auxiulary modules which take advantage of IBM-PC graphic capabilities. Preprocessing module simplifies designing of thermal model spatial structure, whereas the postprocessor allows output data to be presented in graphic form and passed in standardized forms to other programs.

Results of simulation of power transistor BD392 are presented. Thermal model consists of silicon chip placed on copper plate encased in TO220A-type package. There are 320 grid points and 6 materials of different thermal properties: Si/n, Si/p, Si/n+, solder, copper, plastic. The shape of emitter was simplified for modelling and consists of 8 grid points. Application of cylindrical coordinates reduced the heat-flow problem into two dimensions. Simulation was performed with one second length power pulse excitation. For such short time duration dissipation of heat into environment does not exist, so adiabatic boundary conditions could be applied. The temperature during heating power pulse is shown for the area of base to emitter junction. Temperature of this junction was measured by means of pulse-switched method, using special measurement equipment [4] aimed to investigate thermal parameters of power transistors. Results of the measurements was also presented to compare results and estimate the correctness of simulation.

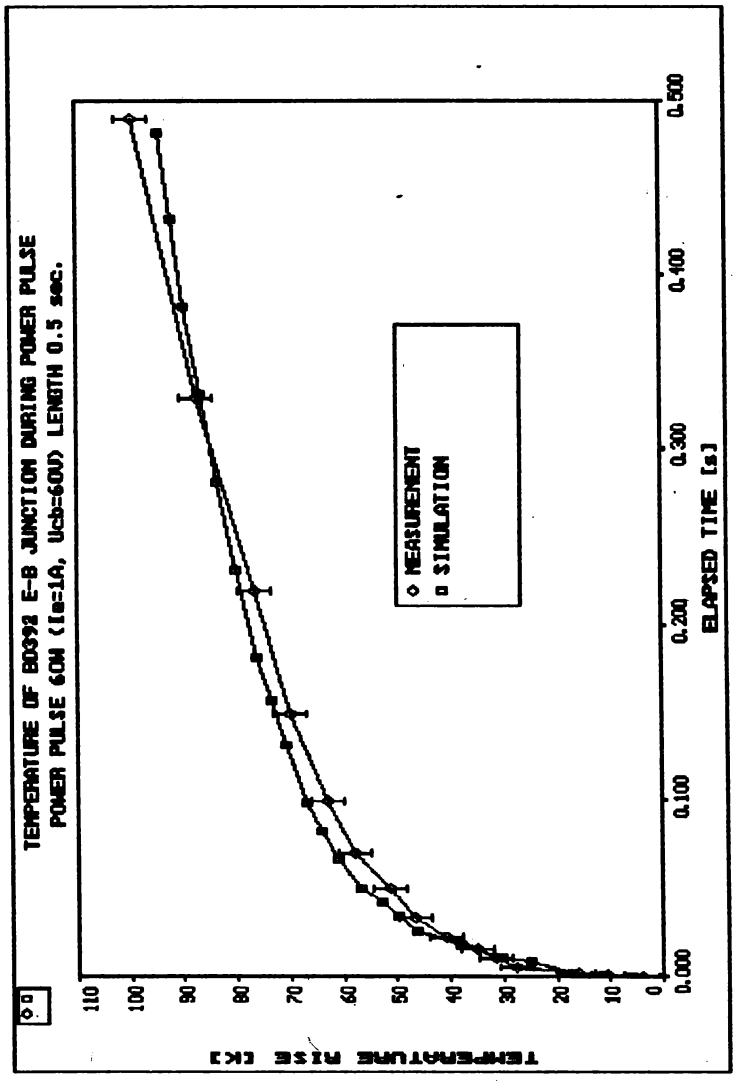


Fig.1. Measured and simulated temperature rise in BD392

4. Conclusions

The computer program is presented, aimed to simulate the thermal behaviour of complicated structures of semiconductor devices, including integrated circuits. Although all boundary conditions can be used, application of convection and radiation requires determination of necessary coefficients, which is non trivial task. These difficulties disapear while simulating thermal transients for relatively short periods of time; in this case temperature flow beyond the device package can be neglected, so adiabatic conditions are assumed for all boundaries of simulated structure. Special attention should be paid to model the heat-dissipating areas of a device, as the spatial discretization of such regions has strong influence on resulting temperature. However, while it is always difficult to estimate dimensions of active regions, they also tend to vary with electrical excitation.

Program can be used for investigations of electro-thermal phenomenons together with suitable electrical analysis program, for example SPICE. Pre- and post-processor modules significantly reduce the time needed for preparation of a particular thermal model and allow output data to be presented in a comprehensive form.

5. References

[1] A.Nowakowski,J.Gajkiewicz: Analysis of measurement of semiconductor devices maximal ratings basing on electrothermal modelling, *X-th IMEKO World Congress Preprint, Vol.1, Praha, pp. 223-230 (1985).*

[2] A.F.Franz,G.Franz,S.Selberherr,C.Ringhofer,P.Markovich: Finite Boxes - A Generalization of the Finite Difference Method Suitable for Semiconductor Device Simulation, *IEEE Trans. on Electron Devices ED-30, No.9, 1070-1082 (1983).*

[3] S.Selberherr: Analysis and Simulation of Semiconductor Devices, *Vien: Springer-Verlag 1984.*

[4] A.Nowakowski ,G.Żyzdryń, J.Gajkiewicz, K.Kudlak, H.Rzepa: Microcomputer driven set for thermal measurements of semiconcuctor devices, *Proceedings of the IMEKO Symposium on Microprocessors in Temperature and Thermal Measurement, Łódź, Poland, (1989) - to be published.*

FINE STRUCTURE OF HEAT FLOW PATH IN SEMICONDUCTOR DEVICES: A MEASUREMENT AND IDENTIFICATION METHOD

Vladimir Székely, Dr.-Ing., Budapest, Hungary

The exact knowledge about the heat-sinking properties of semiconductor device mounts is very useful from the point of view of determining the limits of static or dynamic power-load and developing good mount-designs. Measuring the junction-to-ambient or junction-to-case static thermal resistance gives only a single-value rating without more informations about the heat-flow details. An other and more complete way for thermal characterisation is the measuring of the thermal step-response function (often called as transient thermal impedance).

The proposed identification method is based on the measuring of the thermal step-response function. During the subsequent mathematical processing an automatic and theoretically exact method is used to give finally the thermal resistance and capacitance map of the mount structure. A detailed discover of the fine structure of heat-flow path becomes possible, with a resolution of 25-50 points along the path. Separation of the different regions of the mount structure (chip, header, cap), calculation of their thermal resistance and capacitance values (or even their geometrical dimensions) as well as detection and localisation of heat-transport irregularities are the new possibilities of the proposed method.

THE PRINCIPLE OF THE METHOD. The measured function a(t) is the step-function response of the thermal one-port represented by the device and its mount. The device is excited by a step of the dissipating power and its temperature rise function is measured.

One of the simplest a(t) response function is that of the single time constant system. It has the mathematical form of $(1-\exp(-t/\tau))$. The response of more complex thermal structures can be considered as the sum of many such individual exponential terms with different τ time constants and different magnitudes. Thus it is possible to characterise a thermal system by the (discrete or continuous) distribution of time constants occurring in its response and by the related magnitudes.

Let's introduce the logarithmic time variable z as

$$z = \ln t \qquad (1)$$

and the logarithmic time-constant distribution of the response:

$$R(z)=\lim_{z\to 0}\frac{\text{magnitude related to the time constants betw. } z \text{ and } z+\Delta z}{\Delta z} \qquad (2)$$

Now, using the logarithmic time variable, the response can be expressed as

$$a(z) = \int_{-\infty}^{\infty} R(\zeta)\left(1-\exp\left(-\exp(z-\zeta)\right)\right) d\zeta \qquad (3)$$

This is a convolution-type differential equation for the unknown $R(\zeta)$ function. Differentiating both sides with respect to z we obtain

$$\frac{d}{dz}a(z) = R(z) \bullet W(z) , \qquad (4)$$

where

$$W(z) = \exp\left(z-\exp(z)\right) \qquad (5)$$

and $\bullet$ is the symbol of the convolution operation.

The first step of the identification is based on eq. (4). Transforming the response function to the logarithmic time variable, differentiating it and finally deconvolving it by the fixed function (5) gives the R(z) time-constant spectrum of the investigated thermal one-port.

The second step is simply the transformation from the Foster normal form of rc networks to the Cauer-form. From the time-constant spectrum to the lumped-element Foster equivalent we have a direct way (Fig. 1a.), involving only some discretisation considerations. But the Foster-network cannot be considered as a real image of a thermal network. It is due to the fact that the node-to-node heat capacitance has no direct physical meaning. It is suitable to transform the Foster-network into the Cauer equivalent. The latter includes only node-to-ground capacitances (Fig. 1.b) and thus it can be regarded as a discretised image of a real heat-flow structure.

PRACTICAL CONSIDERATIONS. In our experiments several types of bipolar transistors were investigated. The average temperature of the transistor active volume was measured through the V_{BE} voltage change whilst the emitter current was kept at a constant value.

As before processing the response function is transformed according to eq. (1), it is suitable to control the sampling rate in a quasi-logarithmic way. The maximum of the sampling rate was 6 μs and this is changed in 16 steps down to the 3.539 s rate. The resolution of the temperature sensing was 0.05 °C.

For the deconvolution a linear, noise-optimised algorithm was used. The deconvolution process enhances the resolution only by a

moderate factor (of about 2.5) owing to the fact that this enhancement is limited by the measuring inaccuracies and the quantization noise. Thus the final resolution of the time-constant distribution function is about 1.6 octave.

THE STRUCTURE-FUNCTION. If the one-dimensional heat-flow model is a reasonable approximation for a given structure then the different sections of the Cauer network correspond well to the different parts of the physical structure. ("One-dimensional" means here not only the heat propagation in bar-shaped regions but in cylindrical and spherical propagation sections as well.)

The heat-flow equation for a one-dimensional structure is

$$\frac{\partial T}{\partial t} = \frac{1}{c(x)} \frac{\partial}{\partial x} \left(\frac{1}{r(x)} \frac{\partial T}{\partial x} \right) , \qquad (6)$$

where $r(x)$ is the heat resistance per unit length, $c(x)$ is the heat capacitance per unit length. Substituting the x coordinate by the $\rho(x)$ heat resistance between the heat source and the point in question (as a special "arc-length parameter") yields

$$\frac{\partial T}{\partial t} = \frac{1}{K} \frac{\partial^2 T}{\partial \rho^2} , \qquad \text{where} \qquad K(x) = \frac{c(x)}{r(x)} . \qquad (7)$$

The latter quantity is proportional to the squared cross section area of the heat-flow path for a given material. For example, in the case of silicon $K = 2.58 \times 10^{8} A^2$ [$W^2 s / {}^{\circ}C^2$], where A is the cross-sectional area.

Let us draw the K-values as a function of the source-to-point heat resistance. It can be achieved from the R_n, C_n Cauer network using the

$$K_n = \frac{2C_n}{R_{n-1} + R_n} , \qquad \rho_n = \sum_{i=1}^{n-1} R_i \qquad (8)$$

approximation. This $K(\rho)$ function represents properly the physical heat-flow structure - thus it is named structure-function.

EXPERIMENTS AND THEIR EVALUATION. As an example the investigation of a small-power bipolar transistor of type BFY33 is presented. The device was provided with a small-size finned dissipator. The final result of the identification is the structure-function plotted on Fig.2. On this we can distinguish different regions according to different sections of the heat-flow path:

(i) Region 1 corresponds to the radial heat-flow in the header-disc of the mount. It can be proved that for the radial heat-flow in a cylindrical structure like a disc the structure function has the form of $K(\rho) = \text{const} \exp(\rho 4\pi w \lambda)$,

where w is the thickness and λ is the heat conductivity of the disc. On the semi-logarithmic plot of Fig.2. this function appears as a straight-line segment and its slope is proportional to the thickness of the disc. Taking into account the material-constants of the Kovar we obtain that w=0.43 mm for the disc region, which is in a reasonable accordance with the actual mount dimensions.

(ii) The shaded area C_1 corresponds to a small excess heat capacitance of 0.0275 Ws/°C. This is equal to the heat capacitance of 6.8 mm^3 Kovar material and it is probably associated with the welding flange of the encapsulation.

(iii) The flat region 2 corresponds to the cylindrical part of the cap. The K=0.011 $W^2s/°C^2$ constant value means 12.5 mm^2 cross sectional area which is quite a realistic value.

(iv) The second shaded area C_2 is associated with the heat capacitance of the finned dissipator.

(v) Region 3 is the image of the heat propagation on the air. Only a small amount of heat capacitance is associated to this way of heat propagation, thus the falling tendency of the K function is characteristic for this region.

The K(ρ) diagram is suitable for separating the different components of the total (junction-to-ambient) thermal resistance. E.g. for the structure represented by Fig.2. the junction-to-case resistance is about R_{thjc}=55 °C/W (length of region 1 along the horizontal axis ρ).

REFERENCES

1. Tran Van Bien, Félvezető eszközök és integrált áramkörök hőelvezetési viszonyainak mérése, Ph.d. Thesis, T.U.Budapest, 1985

2. V.Székely and Tran Van Bien, Fine structure of heat-flow path in semiconductor devices: a measurement and identification method, Solid-State Electronics (to be published)

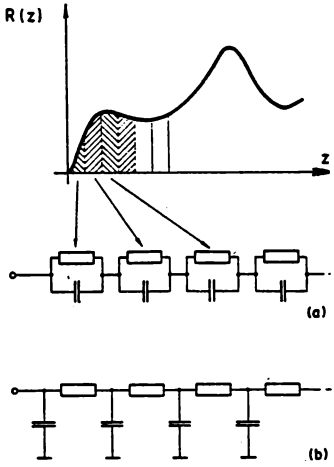


Fig. 1.

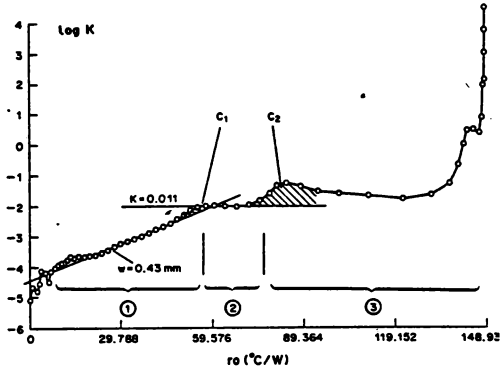


Fig. 2.

МИКРОПРОЦЕССОРНЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ, РАЗРАБОТАННЫЕ В НРБ ДЛЯ ПРОФЕССИОНАЛЬНЫХ КОМПЬЮТЕРОВ

Рачев Димитър
Илиев Валентин
Начев Светослав
Лорер Матилда
Кръстева Ангелина
Петрова Парашкева
Илиева Диана
Милев Михаил
Канова Дарина

В последнее время в институте микроэлектроники объединения "Микроелектроника" были разработаны ряд микропроцессорных схем для проффесиональных компьютеров. Эти микросхемы позволяют созда вать высоко интегрированные субсистемы управления ЭТЛ, НГМД, устройств на твердых дисках, прямым доступом к памяти, серийными интерфейсами.

Все микросхемы выполнены по единой высококачественной МОП технологии и совместимы с персональным компьютером РС фирмы IBM.

Разработанные микросхемы следующие: СМ 607, СМ 609, СМ 610 СМ 637, СМ611, СМ 674.

1. МОП БИС СМ 607

Микросхема СМ 607 предназначена для обеспечения интерфейса к растровому электронно-лучевому дисплею для изображения алфавит но-цифровой и графической информации в микропроцессорных систе-мах. Основная функция контроллера - генерирование адресов изо-бражаемых ячеек памяти, адрес знаковой строки и управляющие сигналы для синхронизации дисплея, обеспечивание возможности работы со светлинным пером и разрешение изображения маркера в выбранной позиции.

Функциональные возможности СМ 607 следующие: работа с раз-ными форматами алфавитно-цифрового экрана - 80х24, 72х64, 132х20, программное задание режима растрового сканирования, доступ к 16К байтам видеопамяти, отображение знаковых блоков высотой 32 сканирующих линий, адресование 512К байта в системах для изобра-жения графической информации.

Микросхема СМ 607 является функциональным аналогом схемы МС 6845 фирмы MOTOROLA.

2. МОП БИС СМ 609

БИС СМ 609 - однокристальный контроллер ЗУГМД. Микросхема имеет набор 15 мощных комманд, возможность управления до 4 дисковых устройств, подходящий 8-разрядный процессорный интерфейс. Управляемые ЗУГМД могут быть 8 или $5\frac{1}{4}$ инчовыми.

Схема СМ 609 имеет следующие функциональные возможности:

- серийный интерфейс - обеспечивает работу процессора с флоппи диском по форматам IBM 3740 /FM/ и SYSTEM 34 /MFM/.

- параллельный интерфейс - СМ 609 обменивается данными с системным микропроцессором по двунаправленной шине данных. Позволяет удобный интерфейс к микропроцессорам Фирмы 8080/5/6/8 или к сериям фирмы MOTOROLA MC 6800/2/9, MC68000. СМ 609 является функциональным аналогом схемам μPD765A фирмы NEC и INTEL 8272A

3. МОП БИС СМ 610

Схема СМ 610 - контроллер винчестер дисковых устройств преобразующая параллельную информацию от микропроцессора в 5Мбит/сек М М кодированного последовательного потока данных.

Основные функциональные возможности схемы: управление интерфейсом винчестер дисков типа ST506/ST412, программируемая байтовая длина сектора /128, 256, 512, 1024/, возможность многосекторного обмена, автоматическое установление на требуемом цилиндре при коммандах чтение/запис, внутренний двухбайтовый код для обнаружения ошибок и внешний код для коррекции ошибок.

Схема СМ 610 является функциональным аналогом микросхемы WDC 1010 фирмы WESTERN DIGITAL и 82062 фирмы INTEL.

4. МОП БИС СМ 637

Схема СМ 637 - контроллер прямого доступа к памяти, функциональная конфигурация которого программируется при помощи шины данных. Программируемые управляющие регистры определяют способ переноса данных, приоритет обслуживания канала и управляют прерывания.

Микросхема имеет следующие возможности: четыре независимых канала прямого доступа к памяти, увеличения и уменьшения адресов, инициализация блока памяти, обмен информации со скоростью 1,6Мб/сек и частотой 5МГц, независимая самоинициализация каналов, обмен информации типа память-память, возможность каскадного подключения нескольких контроллеров СМ 637, циклический и фиксированный приоритеты.

Схема СМ 637 является функциональным аналогом схемы 8237A

фирмы INTEL.

5. МОС БИС СМ 611

Микросхема СМ 611 выполняет последовательно-параллельное преобразование данных, полученных от периферных устройств или модемов и параллельно- последовательное преобразование данных, полученных от ЦПУ.

Основные функциональные возможности схемы: добавление или удаление стандартных коммуникационных битов при последовательном потоке данных, полное двойное буфферированае, программируемый Бод: генератор, выполняющий деление входной частоты с коеффициен том деления от 1 до 2^{16}-1, независимый контроль передачи и приема состояния линий и прерывания установления данных, полностью программируемые характеристики последовательного интерфейса.

Схема СМ 611 является функциональным аналогом схемы INS 8252 фирмы NEC.

6. МОП БИС СМ 674

БИС СМ 674 - коммуникационный контроллер, реализующий несколько типов протокола.

Схема может работать в следующих режимах: асинхронный, синхронный по байту, синхронный по биту. СМ 674 имеет: два независимых полностью дуплексных передатчика и два независимых полностью дуплексных приемника, полную совместимость с микропроцессорами 8048, 8051, 8085/6/8 с контроллерами прямого доступа к памяти 8257 и 8237 и с входно-выходным процессором, четыре независимых канала прямого доступа к памяти, максимальную скорость обмена до 880Кбайт/сек.

СМ 674 является функциональным аналогом схемы INTEL 8274.

МОП БИС СМ 607, СМ 609, СМ 610, СМ 637, СМ 611, СМ 674 находят широкое приложение в микропроцессорных системах и персональных компьютеров, разработанные в НРБ.

Литература:

1. Каталог Института микроалектроники.
2. Каталог фирмы INTEL- 1986 г..
3. Каталог фирмы WESTERN DIGITAL.
4. Каталог фирмы NEC.

Болгарские маск-программируемые однокристальные ЭВМ фамилии СМ 650

Румен Петров
Красимир Крестов
Соня Младенова
Светослав Начев
Институт Микроэлектроники, София

Данный доклад рассмотривает архитектуру, программные и схемотехнические возможности и функциональные особености разработваемой в Институте Микроэлектроники в Софии фамилию восьмиразрядных однокристальных микро-ЭВМ.

По настоящее время разработаны, разработываются или находятся на этапе внедрения 6 разных по своих функциональным возможностям, объемом оперативной (RAM) и программной (ROM) памяти и схемам входа-выхода (В/В) микро-ЭВМ, которые однако имеют общую архитектуру, систему инструкций, оптимизованные под их применение как интелигентных контроллеров в автоматизированных системах управления, в устройствах вычислительной техники, промишлености и быта.

Блок-системы этих схем данны соответственно на фигурах 1, 2, 3 и 4.

I. Микропроцессор (CPU)

Как уже было сказано микропроцессор (CPU) для всех микро-ЭВМ фамилии СМ 650 одинаков.

I.1. Программная модель CPU содержит:
аккумулятор (A); индексный регистр (X); счетчик команд (PC); регистр кода условия (CC) - у него 5 битов (флагов): H, I, N, Z и C; указатель стека (SP).

I.2. Система инструкций и способы адресации инструкций, которые разделяются на следующие пять типов:

I.2.1. Инструкции типа "регистр - память";

I.2.2. Инструкции типа "чтение - модификация - запись";

I.2.3. Инструкции условных переходов;

I.2.4. Инструкции контроля;

I.2.5. Инструкции манипулации разрядов и перехода по их состоянию.

Эти 59 основных инструкции в CPU фамилии СМ 650 можно использовать со следующими десятю способами адресации: директной, непосредственой, расширеной, относительной, присущей, индексной

и поразрядной. Этим способом существуют 209 разных выполняемый кодов инструкций.

II. Внутренний генератор тактовых импульсов

Необходимые для работы микро-ЭВМ татовые сигналы вырабатываются внутренным татовым генератором.

Осциллятор генератора может работать с кварцевым резонатором, с источником внешнего сигнала или с обычной RC - цепочкой.

Тип осциллятора задается маской. Частота внутренного тактирования в четыре раза меньше частоты осциллятора.

III. Оперативная памят (RAM)

У СМ 650, СМ 652 и СМ 654 внутренная оперативная памят 64 байтов, а у СМ 653 и СМ 655 - 112 байтов. Весь RAM находится в странице 0 адресного поля и следовательно для достопом к ячейкам можно использовать как короткую (директную) адресацию, так и инструкции поразрядной адресации.

Часть памяти используется как стек для хранения внутренных регестров во время абслуживания прерываний или при переходе к подпрограмме.

IV. Постоянная память (ROM)

У маск-программируемых микро ЭВМ содержимое памяти задается потребителем и прораммируется маской во время производства.

Часть этой памяти тоже находится в нулевой странице и обычно используется для записи часто выполняемых подпрограмм, таблиц или констан. Основной ROM содержит как потребительскую программу, так и короткую, но очень полезную программу самотестирования.

V. Устройства ввода/вывода

В каждой микро-ЭВМ есть программируемые линии В/В, образующие порты В/В. Все порты В/В имеют соответствующие регистры направления (DDR).

Все линии TTL совместимы по входу и выходу. Порт А можно запрограммировать маской управлять не только TTL, но и CMOS нагрузками, а порт С можно сделать портом вывода и открытом истоком. Портом В можно управлять мощными транзисторами типа Дарлингтон или светодиодами, допуская ток нагрузки в 10мА к общей шине питания.

VI. Таймер счетчик

В каждой микро-ЭВМ находится восьмиразрядный таймер, чей счетчик можно заряжать программно через соответствующий регистр (TDR - $008). Счетчик работает на вычитание и каждым тактовым импульсом его содержимое уменшается - его можно прочесть из

регистра TDR . По достижении состояния 00, генерируется запрос на прерывания, который можно маскировать, соответствующим битом TCR.

Для тактирования счетчика можно использовать как внутренный сигнал тактирования CPU (ϕ 2), разрешаемый по входу TIMER, так и внешние импульси с входа TIMER . Прежде чем попадут к счетчику, тактовые импульси можно пропустить через программируемый 7-разрядный делитель частоты.

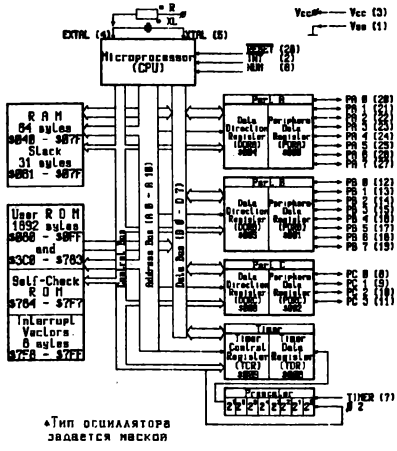
VII. Аналогово цифровой преобразуватель (АЦП)

В СМ 654 интегрирован 8-разрядный АЦП с четырями каналами и с внешними выводами опорных напряжений V_{RH} и V_{RL} , которые подключены к шестью из входных линий порта D . Канал преобразувания выбирается внутренним аналаговым мультиплексором. Время преобразования из 33 циклов внутренного токтового сигнала.

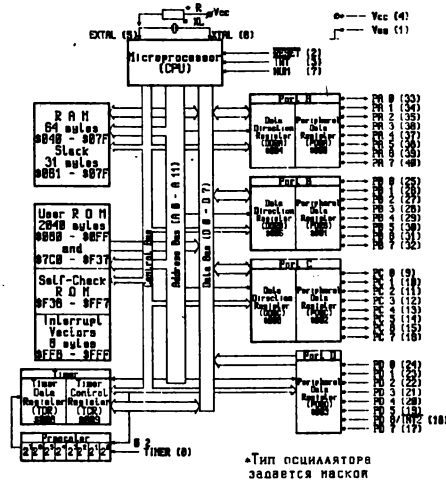
VIII. Режим функционального самотекстирования

Как уже отмечалось, в маск-программируемых вариантах записана небольшая программа самотестирования. Она активируется, если подключить микро-ЭВМ соответствующим образом и ее выполнение индицируется четырмя светодиодами. Если микро-ЭВМ функционирует нормально, то все четыре светодиода мигают разными частотами.

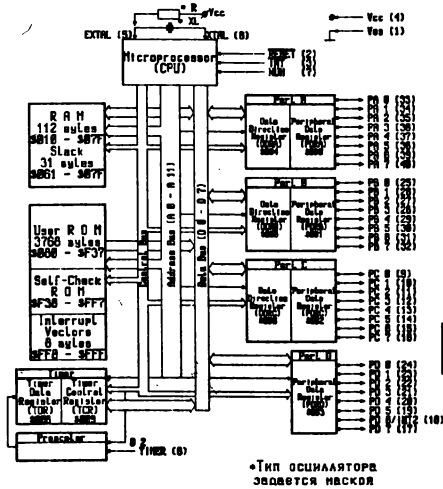
В заключении можно отметить что создание болгарской фамилии 8-разрядных микро-ЭВМ СМ 650 обусловено растущими потребностями родной вычислительной техники, автоматизации и машинстроения и отвечает мировым тенденциям к созданию все более совершенных и интелигентных систем на миниатюрном кристалле силиция.



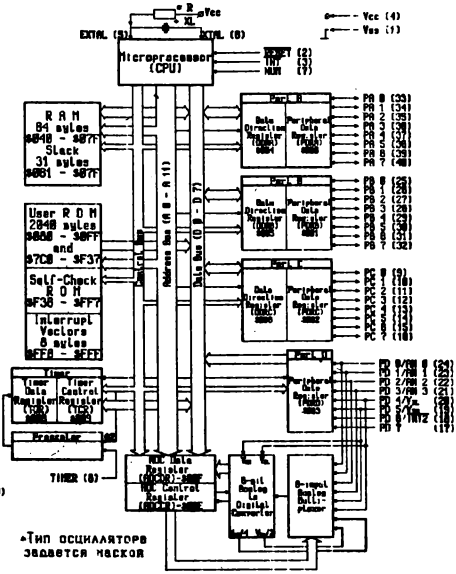
Фиг. 1. СМ 650 Блок-схема



Фиг. 2. СМ 652 Блок-схема



Фиг. 3. СМ 653 Блок-схема



Фиг. 4. СМ 654 Блок-схема

CM 651 - SINGLE-CHIP PROTOTYPING MICROCOMPUTER

R. PETROV
S. MLADENOVA
KR. KRUSTEV
D. KANOVA
SV. NACHEV
INSTITUTE OF MICROELECTRONICS - SOFIA
MOS IC DESIGN DEPARTMENT

The single-chip prototyping microcomputer (PMCU) CM 651 is a new member of the Bulgarian family of single-chip microcomputers, designed and being in production in the Institute of Microelectronics in Sofia.

The first in the family is CM 650 - a single-chip microcomputer, containing an 8-bit microprocessor (CPU), 64 bytes of RAM, 1100 bytes of mask-programmable ROM, an 8-bit down-count timer plus a 7-bit mask-programmable prescaler and 20 software programmable I/O lines, that form two 8-bit ports (Ports A and B) and one 4-bit port(Port C). CM 650 is housed in standart 28-pin pack. This fact together with the mask-programmable ROM and several other mask - programmable functional features of CM 650 predict that there's no user available mode in which it can be used for developping and debugging the user's programm. In other words the system bus (Address Bus, the Data Bus and Control Bus) of this complete microcomputer system, integrated on a chip, is neither available to the user for observation of its state, while running the user's programm, stored in the mask-programmable ROM, nor for expansion.

The user of CM 650 has to find his own way of supplying a bug-free object code of his programm to the Institute of Microelectronics, that together with the desired options will be "burned" in the user's mask and finaly produce the chips marked as "CM 650-XX", where "XX" stands for the user version of the MCU.

One of the possible ways is to use the single-chip MCU's, with EPROM instead of the mask-programmable ROM, that are pin-to-pin and object-code compatible with CM 650 (e.g. MC 68705P5/P5 from MOTOROLA Inc.).

It is also possible to use one of the real-time emulation modules, that can substitute CM 650 in the customer's system and give many good tracing and debugging tools when simulating and evaluating the performance of his programm.

CM 651 is also designed to help the process of developping and de-

bugging the customer's programm that would reside in the mask ROM of CM 650. Futhermore it includes some new logic that gives the possibility of extending the functional features of the user system over those, restricted by the firmware implemented in CM 650. As a result, CM 651 has two basic modes of operation: the Emulation mode (when emulating CM 650 and compatiblies), and the Microprocessor mode. Some of its pins change their function in either of the two modes, while the configuration of others remains the same.

The pin assigment and the block diagra of CM 651 are shown at fig.1 and 2, respectively.

I. The Emulation Mode

This mode is used for emulation of the mask-programmable CM 650 and is selected by wiring pin 6 ($\overline{EM}$/CLK) to Ground. In the Emulation mode 28 of all 48 pins have the same functions as all the 28 pins of CM 650. These are the 20 I/O lines (Ports A, B and C), the TIMER, $\overline{INT}$ and $\overline{RESET}$ input lines, the power terminals Vcc and Vss, and the system clock oscillator pins XTAL and EXTAL. In this mode the $\overline{EM}$/CLK corresponds to the NUM pin of CM 650. These 28 pins can then be connected to the user system in the same way as the CM 650 MCU would have been connected.

The remaining 20 pins are used for direct connection to a 2Kbyte EPROM (I 2716 or CM 7716), supplying the nesessary 11 address outputs (A0 - A10), 8 data inputs (D0 - D7), and an active low $\overline{CS}$ output (see fig. 1). The EPROM is used to contain the user's object code during the process of development of his system and debugging of his programm.

In a more sophisticated emulation board the EPROM might even be replaced by a pin compatible RAM, whose contents can be downloaded, examined or changed "on the fly" by a custom designed microprocessor module. A convinient approach is also to use an ordinary ROM-emulator. Thus this two-chip system absolutely emulates CM 650, and also gives the user "a peep hole" to the MCU's system bus.

In the Emulation mode the memory map of PMCU is quite similar to that of CM 650 (see fig. 3a). All the peripherial registers reside at the same addresses as in CM 650. Only the missallenious register (MR - $000A) is added, which controls the function of the $\overline{INT2}$ input and second level interrupt vectors. Note that $\overline{INT2}$ logic is always connected to PC0 pin and therefore an interrupt might be generated to MPU, if enabled by bit6 of MR and the I mask bit, as a result of writing a logical "0" in PDRC bit 0, when it is programmed as output.

Upon $\overline{\text{RESET}}$ all MR bits are set to such states, that wouldn't affect the emulation of CM 650.

The timer control register, though at same address, has many new functions, enabling the user either to emulate the various mask options, concerning the timer and prescaler, or to have full software control over them while running the programm.

The mask options of CM 650 are implemented in the Mask Options Byte (MOB), residing at address $7F6 in the external EPROM, each bit of the MOB represents a different mask option and they are loaded in and decoded internally, before CM 651 gets out of Reset - thus, by programming the MOB bits to the appropriate states, the user can emulate any mask version of CM 650.

II. The Microprocessor mode

This mode is selected by connecting pin 6 through 4,7Kohm resistor to Vcc, and this changes the function of many pins. First, the internal $\phi 2$ clock appears at pin 6 ($\overline{\text{EM}}$/CLK) and is used for synchronizining the external peripherial controllers; next the internal R/$\overline{\text{W}}$ signal appears (buffered) at pin 31 instead of $\overline{\text{CS}}$. The address space of CM 651 increases to 16 Kbytes, upper three address lines (A11 - A13) appearing at PC1 - PC3 pins. The Data Bus lines (D0 - D7) become bidirectional, making possible the connection of external RAM, EPROM/ROM and peripherial controllers, that suit the user requirements. The Data Bus is disabled only when the CPU is addressing the internal RAM and registers - the remaining address space is wholly available to the user (see fig. 3b). In this mode the interrupt vectors and MOB appear at the last 16 bytes of the memory map. MOB bits has the same functios as in the emulation mode, giving either prefixed or software controlled options to the user.

Configurred in the Microprocessor mode, CM 651 is compatible with all the CM 600 family and other popular peripherial controllers. The system bus lines are TTL compatible and have the same output load capabilities as CM 601. The address bus has no "dummy" states (no need for the VMA strobe signal) and the data is a three-state. When addressing the internal registers and RAM, the data bus is always in the third state, independent of the R/$\overline{\text{W}}$ signal, and the address bus outputs the actual address, generated by the CPU.

The microprocessor mode of CM 651 significantly enables the field of applications of the CM 650 family of microcomputers and contributes greatly to user's aquaintance with it.

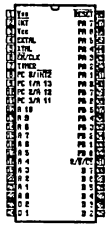


Fig. 1. CM-851 P M C U
Pin Assignment

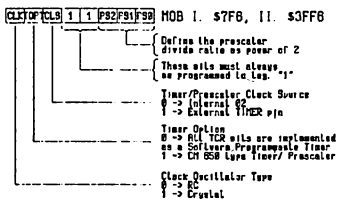

CLK OP TCLS 1 1 PS2 PS1 PS0
MOB I. $7F6, II. $3FF6
Define the prescaler divide ratio as power of 2
These bits must always be programmed to Log. "1"
Timer/Prescaler Clock Source
0 -> Internal Φ2
1 -> External TIMER pin
Timer Option
0 -> All TCR bits are implemented as a Software Programmable Timer
1 -> CM 650 type Timer/ Prescaler
Clock Oscillator Type
0 -> RC
1 -> Crystal

Fig. 4 - MOB Bit Definition

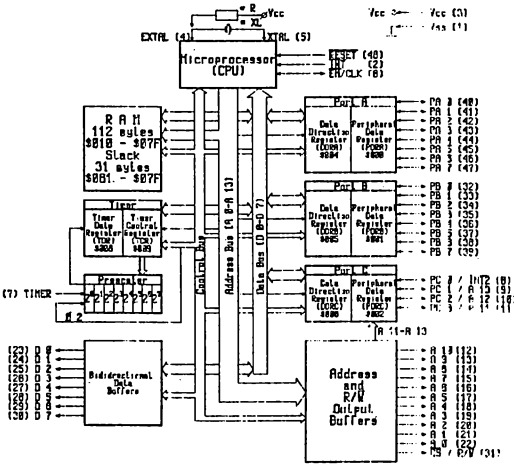
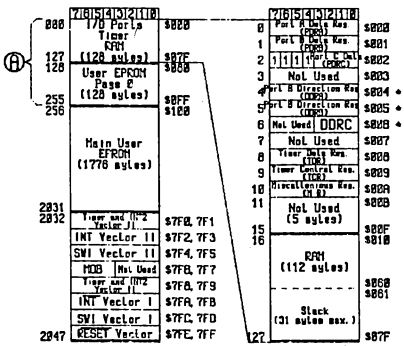
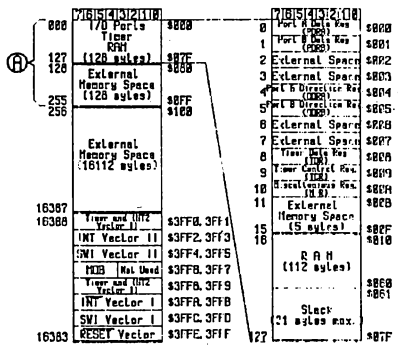


Fig. 2. CM 651 Block Diagram

A. Emulation Mode



B. Microprocessor Mode



Ⓐ - Page 0 -> Short instructions access (Direct Addressing Mode)
• - Port Data Direction Registers (DDR's) are write-only.
When read, the result is $FF.

Fig. 3. CM 651 Memory Map

SIMULATOR FÜR DEN EINCHIPRECHNER 8051

Prelek, M., Warszawa, VRP

1. Einführung

Das Programm für den Einchiprechner 8051 wird in einem ROM permanent gespeichert, d.h. es besteht später keine Möglichkeit das Programm zu ändern. Deswegen soll das Programm vorher auf seine logische Richtigkeit getestet werden. Eine Möglichkeit besteht in der Emulation des Prozessors mit Hilfe s.g. *in circuit emulator*. An Stelle vom 8051-Prozessor wird eine Sonde mit der Verbindung zum Emulator eingesteckt. Diese Methode verlangt aber, daß die Umgebung, also das zu entwickelnde Gerät funktionstüchtig ist. Eine andere Möglichkeit ist die Simulation des Prozessors mit Hilfe s.g. Simulationsprogrammen (Simulatoren). Das Verhalten des Prozessors wird mit einem Computer simuliert. Die äußeren Signale werden als Nachrichten dem Benutzer interaktiv gegeben, d.h. die äußere Umgebung, also das zu entwickelnde Gerät, wird durch die Nachrichten oder Eingaben ersätzt. Da das Verhalten an den äußeren Anschlüssen interaktiv verändert wird, wird die Echtzeitrealisierung des Programmes nicht beibehalten. Es kann also nur begrenzte Anzahl von Programmen mit dieser Methode getestet werden. Simulatoren werden meistens für das Testen von Programmteilen oder Prozeduren eingesetzt.

2. Systemkonfiguration

Das Programm SIM51 ist auf dem Personalcomputer vom Typ IBM-PC implementiert. Die verlangte Konfiguration lautet: Betriebssystem MS-DOS 3.x (PC-DOS 3.x), Arbeitsspeicher min. 512 KByte, 2 Floppydisk-Speicher oder 1 Harddisk-Speicher.

3. Programmteile und Inhalt der Disketten

- Systemdiskette:
  - SIM51.EXE — Hauptprogramm
  - SIM51.HLP — Beschreibung (*Help*)
  - SIM51LNK.BAT — *Batch-file* für Assembler und Linker
  - ASM51.EXE — Assembler
  - LINK.EXE — Linker

Arbeitsdiskette:

- WORK.ASM Quellprogramm in Assemblersprache
- WORK.LNK Steuerdatei für den Linker
- WORK.HEX ladefähiges Programm

4. Funktionen des SIM51-Simulators

Das Programm SIM51 bietet außer Simulation des Prozessors 8051 noch die volle Unterstützung bei der Entwicklung der Programme. Die mitintegrierte Funktionen erleichtern diese Entwicklungsarbeit. Es sind:

- Zugriff zum Betriebssystem, wobei SIM51 residend und unverändert im Speicher verbleibt,
- *Full-screen-editor* für das Editieren von Programmquellen,
- *Debugger* mit dem Zugriff zu allen simulierten Speicherbereichen und Register,
- *Disassembler*,
- *Assembler* und *Linker*.

5. Bedienphilosophie

Die Bedienung des SIM51-Programmes verläuft auf der Basis der Wahl des entsprechenden Kommando aus dem Kommandomenue. Die Wahl wird durch das Einfahren des Zeigers mit Hilfe der Cursortasten auf die entsprechende Fläche mit dem Kommandonamen durchgeführt. Im untersten Bildfenster wird zur Unterstützung das Hilfsmenue gezeigt. Die Eingabe wird jedesmal auf die Richtigkeit geprüft, so daß keine Eingabefehler, die zum Abbruch des Programmes führen könnten, möglich sind. Jede Eingabe kann zu jedem Zeitpunkt mit der Taste ESC abgebrochen werden. In unteren Bedienniveaus werden die Kommandos durch das Eintasten eines Buchstabens eingegeben. Die jeweils möglichen Kommandos werden ebenfalls im untersten Bildfenster gezeigt.

6. Aufbau des Bildschirmbildes

Die Ausgabe der Informationen an den Bediener verläuft mit Hilfe der Fenstertechnik (das Bild scrollt nie). Das Bildschirmbild wird in mehrere Fenster geteilt (Bild 1). In jedem Fenster werden die zusammenhängende Informationen gruppiert. Es gibt folgende Fenster mit:

- Kommandomenue,
- Hilfsmenue,

- Einstellung der Arbeitsdirectory, der Arbeitsdatei usw.,
- Texteditor sowie Directory für die Wahl der Arbeitsdatei,
- Systemnachrichten,
- Zustand der *special functions register*,
- " der aktiven Registerbank,
- " des Programmspeichers,
- " des internen RAM-Speichers,
- " des externen RAM-Speichers,
- " des Bitspeichers,
- Listing des Disassemblers,
- Listing des Simulators,
- interaktive Eingabe während der Simulation.

Nach der Wahl einer Funktion bewegt man sich nur innerhalb des ensprechenden Fenster. Durch das Einfahren mit dem Zeiger auf ausgewählte Fensterflächen kann deren Inhalt angeschaut, verändert oder ausgewählt werden.

7. Kommandos von SIM51

- **SYSTEM** - Temporärer Zugriff an die Kommandos des Betriebssystems. Nützlich, wenn zwischendurch andere Programme gestartet werden sollen, z.B. Servisprogramme.
- **EDIT** - Editieren von Programmquellen oder anderen Texten mit einem Wordstar-ähnlichen Texteditor.
- **ASMLNK** - Aktivieren des Assembler und Linker. Die beiden Programme ermöglichen einen modularen Aufbau von Programmen. Das Ergebnis ist eine ladefähige Datei im Intel-Hex-Format.
- **LOAD** - Laden der Datei im Intel-Hex-Format in den Bereich des Programmspeichers.
- **PATH** - Einstellen der aktiven Directory sowie der Arbeitsdatei.
- **HELP** - Beschreibung des Simulators.
- **QUIT** - Das Verlassen des SIM51-Programmes (anders als bei SYSTEM).
- **DEBUG** - Übergang zur Bedienung vom Debugger und Simulator. In den entsprechenden Fenstern wird der Zustand des 8051-Prozessors sowie des simulierten Programmes gezeigt. Dabei kann der Inhalt der Register und Speicher angezeigt und verändert werden. Ein ausgewählter Programmspeicherbereich kann disassembliert werden.

8. Simulation

Die Simulation kann schrittweise oder bis zum Unterbrechungspunkt verlaufen. In einem besonderen Fenster können bis zu 4 Unterbrechungspunkte eingestellt werden. Jedesmal nach der Unterbrechung wird in den Fenstern der aktuelle Zustand des Prozessors gezeigt. Im Disassemblerfenster werden 2 zuletztabgearbeitete und 4 folgende Befehle in der mnemonischer Form angezeigt.

Soll während der Simulation zum Beispiel eine Eingabe am Port verlangt werden, so stopt der Simulationsvorgang und es wird eine Eingabe von der Tastatur erwartet.

Der implementierte Timer zählt nicht die echte Zeit, sondern die Anzahl der simulierten Befehlszyklen. Auf diese Weise wird sein richtiges zeitliches Verhalten entsprechend dem Programmverlauf gesichert.

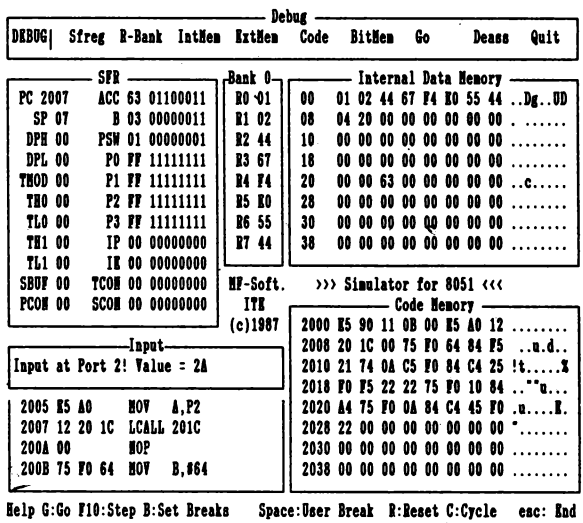


Bild 1: Das Bildschirmbild des SIM51-Simulators

Choński, M. Msc. Eng., Myzik, I. Msc. Eng.
Nowak-Niedźwiedzka, M. Msc. Eng.
Industrial Institute of Elextronics, WARSAW, POLAND

FAMILY OF INDUSTRIAL MULTI-MICROPROCESSOR CONTROLLERS MSA-88

The paper presents architecture and software of industrial multi-processor controllers' system MSA-88, designed in Industrial Institute of Electronics, Warsaw, destined for constructing devices operating in the automatic production lines, especially in the semiconductor industry.

1. ARCHITECTURE AND STRUCTURE OF MSA-88 BASED CONTROLLERS.

MSA-88 based device controllers consist of several hardware modules, each designed as an independent micro-processor system. In such distributed architecture one of the modules is a MASTER module, the rest are SLAVE modules. MASTER coordinates operation of controller as a whole and is responsible for the conversation with the device operator. SLAVE modules are basically an output-input intelligent units and act as an object micro-controllers for stepping motors, a/d and d/a conversion, etc. One of the SLAVE modules is a communication processor to higher level control unit (so called supervisor station). Additionally the controllers are made up also of OBJECT MODULES, which are designed to match level, power and character of output or input signals, short-circuit protection, etc.

The mechanical construction of MSA-88 controllers is based on 19" panels with DOUBLE EUROCARD cards (233x160mm) with two DIN indirect connectors. Object modules are made in SINGLE EUROCARD Standard (100x160mm).

2. PIEBUS - MSA-88 CONTROLLERS' BUS.

The simplified block-diagram of a MSA-88 controller is shown on figure 2. The basic element of controller structure is an internal bus called PIEBUS. The PIEBUS consists of three buses:

- XT BUS (functionally compatible with internal I/O CHANNEL bus of IBM PC/XT computers),
- Power Supply Bus (supply voltage lines and power decay signalling lines),
- Local Extension Bus.

The purpose of XT bus is to allow the extention of the

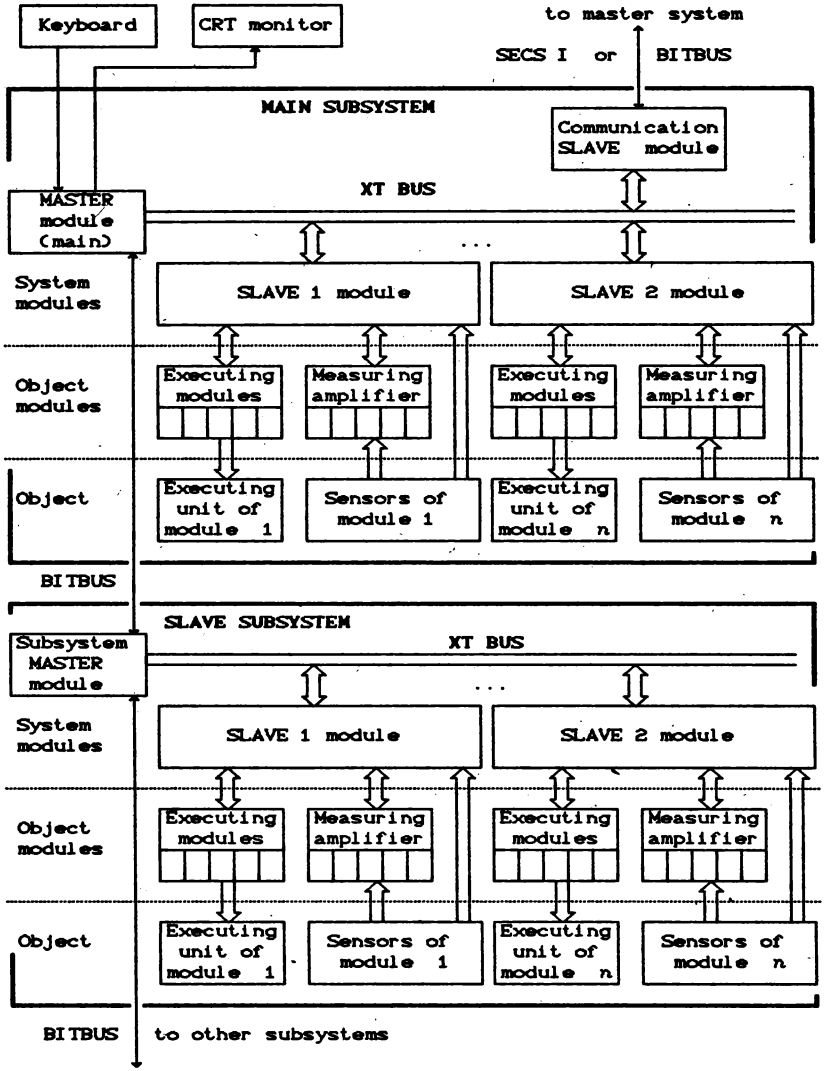


Fig.1. Architecture of a device controller based on MSA-88 system

MASTER input-output resources - either "non-intelligent" input-output modules (e.g. graphic adaptor module) or "inteligent" modules, e.g. SLAVE module.

Local Extention Bus enables extension of "non-inteligent"

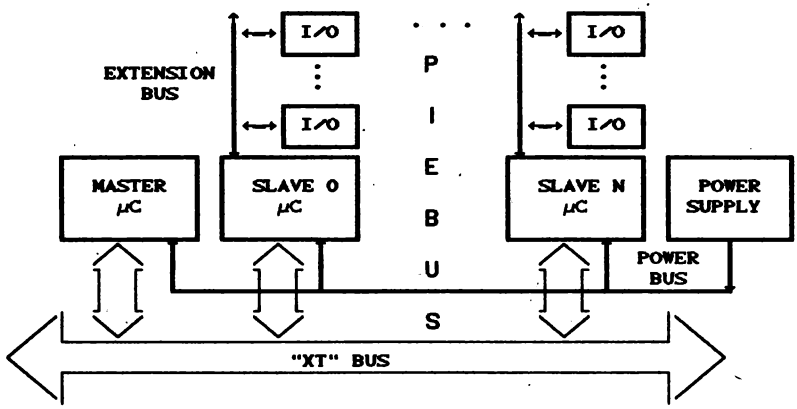


Fig. 2. Simplified block-diagram of controller of MSA-88 system, with PIEBUS

resources of particular SLAVE input-output systems.

Power Supply Bus contains the power lines for supplying the digital and analogue circuits of controller (e.g. +5V voltage with battery backup) and lines for signalling power failure ($\overline{PWF}$) and stabilised power failure ($\overline{PD}$)

3. CONTROLLERS SOFTWARE.

The controllers software consist of system and application software. MASTER module system software is built-up of the following:

- real-time multi-task operating system kernel,
- basic keyboard and screen handling procedures,
- procedures for communication protocol between MASTER and SLAVE modules,
- procedures for logical layer of transmission protocol to supervisor station, file management system, cooperation with remote console.

The main function of real time operating system is task and interrupts management, message exchange, task synchronization and memory management.

Tasks are synchronized by semaphores and communicate with each other by the means of messages send to communication exchanges. Tasks also can be created and deleted dynamically. To allow tasks to be effectively executed in real-time, most of the external events are signalled by interrupts. The system software of SLAVE module consists of MASTER - SLAVE transmission protocol procedures.

4. COMMUNICATION WITH SUPERVISOR CONTROL SYSTEM

The main purpose of communication with Supervisor Control System is recording data about the production process in order to estimate and signal the failure events, diagnose the control units and to coordinate operating of controllers.

The general lay-out of interconnections of data transmission network of the supervisor control system is show on figure 3.

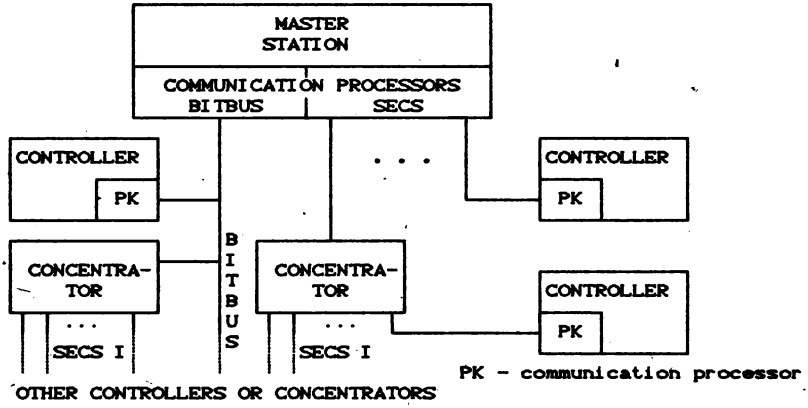


Fig. 3. General lay-out of data transmission network of supervisor control system

The network consists: supervisor station of control system, supervisor station's communication modules, network concentrators, controller's communication modules, controllers.

The physical layer of transmission protocol is realized by communication modules of either supervisor station or controllers and - if needed - by concentrators adopted to work with SECS I/II protocol. There are two implementations of protocol versions: SECS I and BITBUS.

In case of SECS I protocol the rate of transmission is 9600 b/sec, at distance up to 20 meters. In case of BITBUS protocol transmission rate 62,5 or 375 Kb/sec and distance up to 500 meters. The logical layer of transmission is realized by SECS II protocol.

16К БИТ КМОП СТАТИЧЕСКОЕ ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

Кударов, И., н.с., инж., ИМЭ, София, НРБ
Рогалска, К., н.с., ИМЭ, София, НРБ
Волков, П., н.с., к.т.н., инж., ИМЭ, София, НРБ

Разработкой 16К бит КМОП ОЗУ организацией 2К Х 8 бит СМ8517 и СМ8518 в ИМЭ продолжается серия статических КМОП ОЗУ, включающая 1К бит - СМ8501 и 4К бит - СМ8514 и СМ8513. Обе интегральные схемы имеют одинаковые конструкции и общее топологическое решение за исключением фотошаблона для металлизации. Они являются полными функциональными аналогами ТС5517В и ТС5518В фирмы Toshiba. Основные принципы действия общие с теми из 4К ОЗУ. При каждой смене старшего адреса /А4 - А10/ вырабатывается серия тактовых импульсов, активирующих схему. В остальное время ЗУ находится в пассивном режиме.

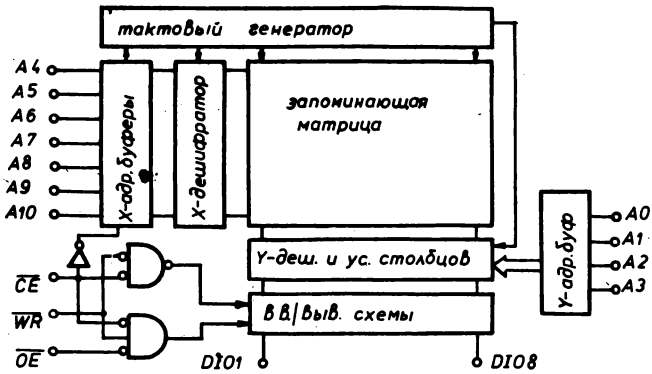


рис.1

На рис.1 показана блоковая схема СМ8517. Время выборки схемы относительно $\overline{OE}$ около 2,5 - 3 раза меньше времени выборки относительно $\overline{CE}$, чем она удобна для применения в микропроцессорных систем. СМ8518 отличается наличием управляющих сигналов $\overline{CE1}$ и $\overline{CE2}$ с одинаковыми временами выбора.

Используемая технология - с однослойным поликремнием и 3-микронными правилами проектирования приводит к сравнительно большим размером запоминающей ячейки /ЗЯ/ и ЗУ в целом, к большим

внутренным капацитетом, длинным поликремниевым шинам. Это вызывает ряд трудностей по достижению быстродействия и потребляемой мощности стандартных изделий этого типа, не говоря об их улучшений с целью повышения конкурентной способности. Поэтому надо было искать новые схемные решения, в том числе элементы динамической схемотехники.

Одно из улучшений - тактируемый X-дешифратор, спаренный - для двух соседных строк и с частичной предварительной дешифрации. Такая конструкция обеспечивает наименьший набор транзисторов в каждой строке матрицы. Как результат, наряду с уменьшением общей динамической потребляемой мощности, стало возможным уменьшить время задержки дешифратора с 18 - 20 ns до 7 - 8 ns. Использованием тактируемых усилителей строк, активируемых самими адресными шинами, время прохождения адресного сигнала от выхода дешифратора до конца матрицы уменьшается до 20 ns.

Значительным выигрыш в быстродействии достигнут путем отделении разрядных шин от усилителя столбцов. Импульс, вырабатываемый тактовым генератором, прерывает разрядные шины, которые в этот момент медленно поляризируются и включает усилитель, который был блокирован. Таким образом время срабатывания усилителя всего 7 - 8 ns.

Дополнительное улучшение быстродействия достигается применением самосогласующихся элементов схемы, тем самым не вызывая необходимость использования соотношений между сигналами с запасом во времени чтобы обеспечить безотказную работу при наличии дестабилизирующих факторов.

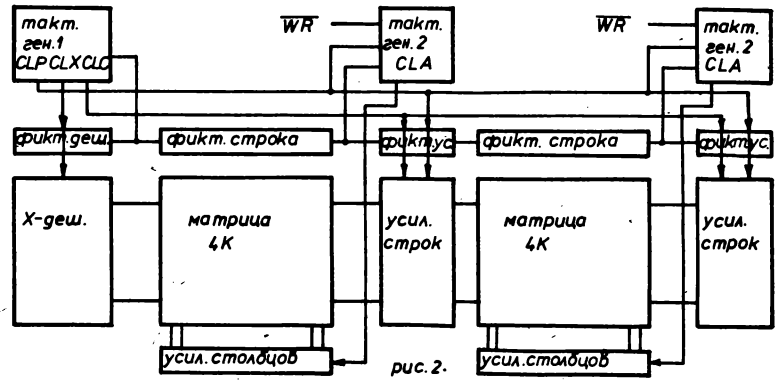


рис. 2.

Идея состоит в том, что длительность сигнала определяется реакцией самосогласованных элементов схемы. Этим определяется длительность тактирующих сигналов, осуществляющих подготовку и активирование запоминающей матрицы, Х-дешифратора, усилителей строк, а также импульс управления усилителей столбцов. В схеме это реализовано введением дополнительной строке фиктивных запоминающих ячеек, фиктивного Х-дешифратора и усилителей строк. На рис.2 показана блоковая схема одной половины запоминающей матрицы с соответствующими элементами тактового генератора.

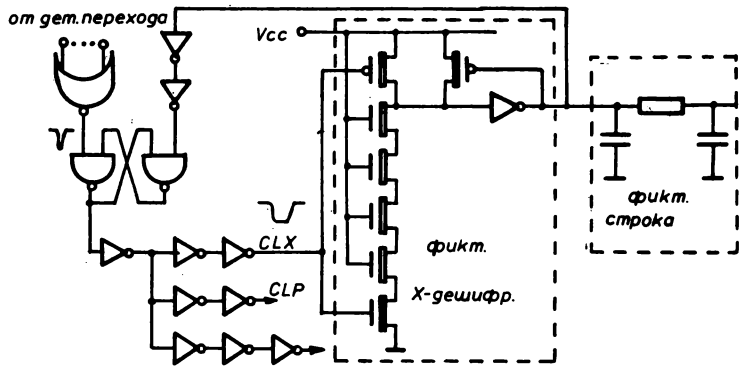


рис.3

Рис.3 представляет схему генерирования сигналов CLX - для Х-дешифратора, CLP - для подзарядки разрядных шин и CLC - для усилителя строк. Передний фронт CLX, нулирующий Х-дешифратор, вырабатывается импульсом детекторов перехода адресных сигналов. Задний фронт CLX, активирующий Х-дешифратор, вырабатывается нулированием фиктивной строки одновременно с нулированием всех строк матрицы.

Адресные буферы и предварительные дешифраторы конструированы так, что их выходные сигналы располагались между этими фронтами. Видно, что время для распространения входной информации определяется не адресными буферами и предварительными дешифраторами, которые могут быть более маломощными и экономичными, а детекторами перехода и тактовой системе, которые проектированы с минимальной задержке. Так, передний фронт CLX задерживается относительно старшего адреса на 20 - 25 ns.

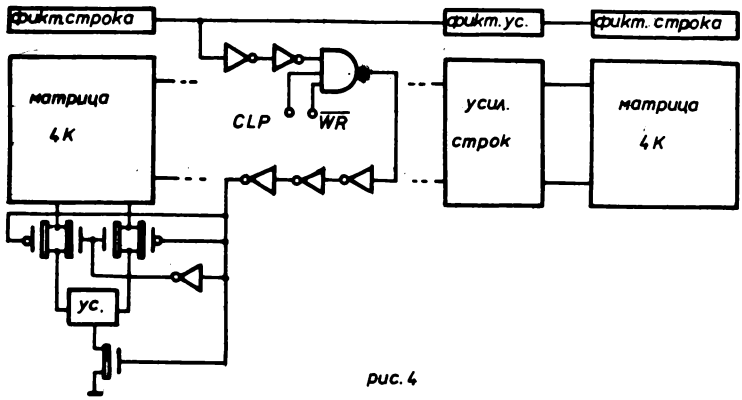


рис. 4

На рис.4 показана схема генерирования сигнала CLA. Задний фронт CLA, активирующий усилителей столбцов получается нарастающим фронтом фиктивной адресной шины с задержкой 12 - 15 ns, которая обеспечивает разницу потенциалов разрядных шин 0,5V - 0,7V, что достаточно для стабильной работы ЗУ.

При проектировании схемы приняты меры к уменьшению пиковых токов шин питания введением асимметрии в отдельных блоков ЗУ и подходящим перемещением фронтов тактирующих сигналов относительно друг друга.

Особое внимание уделяется тиристорному эффекту, так как кроме обычных причин для это появления в КМОП схемах /главным образом на входах и выходах/, введение динамических элементов приводит к большим пикам напряжения в некоторых узлов схемы. Во избежание этого был проделан подробний анализ и оптимизирование электрических параметров схемы.

ЗУ реализовано на 3μm-КМОП технологии с карманом N-типа. Используется 6-транзисторная запоминающая ячейка размером 33 X 39μm. Площадь схемы - 5,3 X 6,6 = 35mm^2. Некоторне из основных параметров схемы при напряжении питания Ucc=5V ± 10%:

- ток потребления Icc ≤ 5mA/MHz
- время выборки адреса $t_{A(A)}$ - около 100 ns

Предусматривается пропорциональное уменьшение размеров схемы коэффициентом 0,8. При этом площадь кристалла - 23mm^2, а время выборки - ниже 70 ns.

СМ8801 - АССОЦИАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С НЕКООРДИНАТНЫМ ДОСТУПОМ К ЗАПОМИНАЮЩИМ ЯЧЕЙКИ

к.т.н. инж. П. Волков, ИМЕ, София, НРБ

1. Общее замечания по ассоциативным запоминающим устройствам

Ассоциативное запоминающее устройство /АЗУ/ является, по своей сущности, оперативным запоминающим устройством /ОЗУ/ и в каждый момент времени обеспечивает произвольный доступ к определенной запоминающей ячейке /ЗЯ/, из которой можно считывать, записывать новую информацию или сравнивать уже записанную с поступающей извне информацией. По этим причинам некоторые требования к ОЗУ относятся и к АЗУ:

- наличие входа "Выбор схеми", с помощью которого можно реализовать память большего объема;
- наличие входа "Чтение/Запись", с помощью которого указанные функции реализуются раздельно;
- наличие выходов типа "третье состояние" для непосредственного соединения выходов нескольких схем в блоках памяти большего объема;
- запоминающая матрица /ЗМ/, построенная из ЗЯ, в большой степени определяющим функциональные возможности изделий.

АЗУ имеет и свои специфические особености:

- все ОЗУ, основанные на координатном принципе работы, практически не имеют цикла "стирания". Во время записи указывается адрес ЗЯ, в которой нужно записать новую информацию, независимо от содержимого. В рассматриваемом АЗУ отсуствуют внешние адресные сигналы, поэтому необходимо указать ненужное слово, чтобы "стереть" его. По этой причине необходим отдельный цикл "стирание"

и с этой целью введен вход "стирание". Дополнительно требуется и вход "общий сброс" для перевода всех ячеек АЗУ в определенное состояние перед началом или по окончанию работы с прибором;

- АЗУ обладает большим числом выполняемых функций и для этого требуются соответствующие управляющие входы: вход стирание D, вход маскировки M, вход многозначного ответа MR, вход всех чисел меньше заданного числа X< B, вход всех чисел больше зъданного числа X>B;

- большое количество функций требует и соответствующее количество информации, в качестве критерия проведения или окончания данной операции. Пропорциональное нарастание числа выходов, в соответствии с количеством функций нецелесообразно, поэтому надо стремиться к уменьшению числа выходов /по возможности к одному/ за счет более сложной логики управления;

- отсуствие обычной адресации требует использования регистра занятости /РЗ/, которы сохраняет информацию о том, какая ЗЯ занята и какая свободна и при определенных условиях вырабатывает внутренний сигнал записи;

- функция "многозначный ответ" /МО/ включает в себя обнаружение и считывание всех слов, записанных в память, которые соответствуют заданной в качестве условия входной информации. Это требует, с одной стороны, маскировки входного слова, для чего необходим регистр маскировки /РМ/, а с другой стороны, регистрирование всех чисел должно пронзайти за один цикл. Последнее требует еще один промежуточный запоминающий регистр - регистр многозначного ответа /РМО/;

- реализация функций "все числа меньше заданного числа", "все числа больше заданного числа", "все числа в заданном интервале" и "все числа вне заданого интервала" требует в общих чертах воз-

можность временного запоминания ограничивающего слова /или слов/, и последовательной проверки на выполнение данного условия над всеми числами, записанными в память. Для этой цели необходимы сдвоенные регистры и компараторы, объединенные в блок интервалов /БИ/ - фиг.1;

- большое число функциональных возможностей требует более сложной управляющей логики, объединенной в блок управления /БУ/.

2. Данные с лабораторном образце

Разработанное АЗУ, объемом в 2К бита, соотватствует возможностьям реализации в Болгарии и может быть расширено до 8К бита если использовать более современные технологические решения, обеспечивающие повышенные плотности упаковки. Реализованный на практике образец является частью экспериментального кристала, что привело к реальному ограничению по занимаемой площади. Заранее определенный размер тополотического проэкта привел к сравнительно малому объему памяти и использованию самых основных ассоциативных функций. Тщательный функционально-параметрический анализ образцов, смонтированных в корпуса, стал основой для изготовления подробного справочного материала.

Ниже приведены некоторые из основных характеристик прибора памяти СМ8801:

- организация	32 x 16 бит
- время доступа	80 нс
- максимальный ток потребления	15 мА
- напряжение питания	5 В ± 10%
- стандартный 28 выводный корпус	
- полная ТТЛ совместимость	
- функциональные возможности	
ассоциативное считывание ДА/НЕТ	
запись новой информации	

маскировка входной информации для произвольного набора входных битов

стирание записанной информации по входному признаку

многозначный ответ

последовательное чтение записанной информации

общий сброс памяти

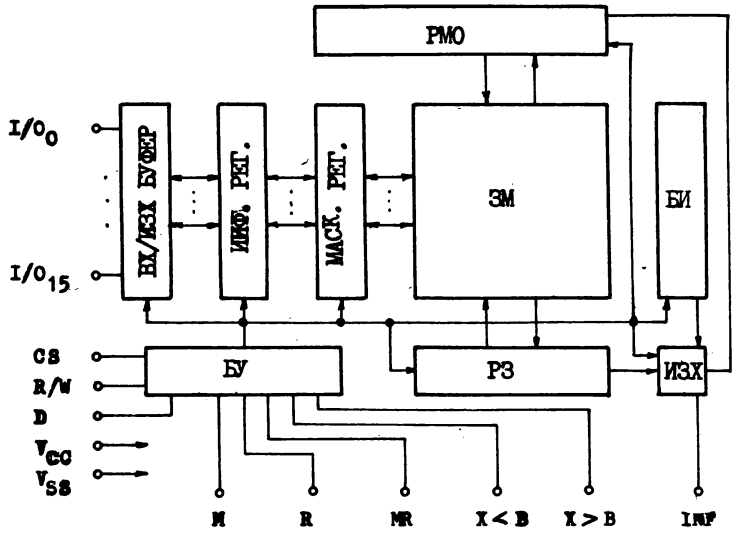
возможность организации блока памяти большего объема

Разработано АЗУ с некоординатным способом доступа к ЗЯ т.е. без использования внешних адресных сигналов, с доступом к ЗЯ по закону "запись в первой свободной ячейке". Преимущества подобного подхода следующие:

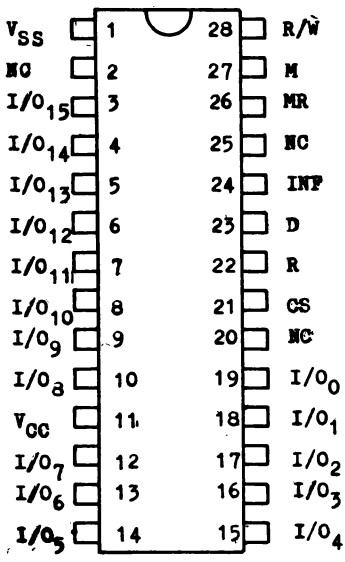
- уменьшение числа внешних выводов прибора памяти;
- тип корпуса и расположение выводов не меняется с увеличением объема памяти ;
- нет необходимости в сохранении адресов в дополнительном внешнем устройстве.

Эти преимущества имеют особое значение когда приборы ассоциативной памяти используется в малых и средных вычислительных машинах.

Блок-схема показана на фиг.1, на фиг.2 показано расположение выводов, а на фиг.3, 4 показаны временные диаграммы циклов "чтение", "запись", "стирание" и "многозначный ответ".



ФИГ. 1



ФИГ. 2

V_{SS} - земля

V_{CC} - напряжение питания

I/O - вход/выход

CS - вход выбор схемы

R/W - вход чтение/запись

R - вход общий сброс

D - вход стирания

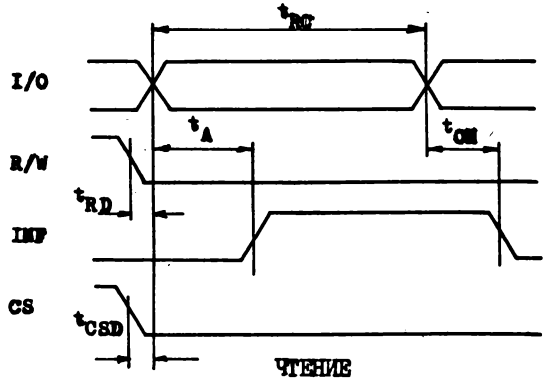
INF - информационный выход

MR - вход многозначного ответа

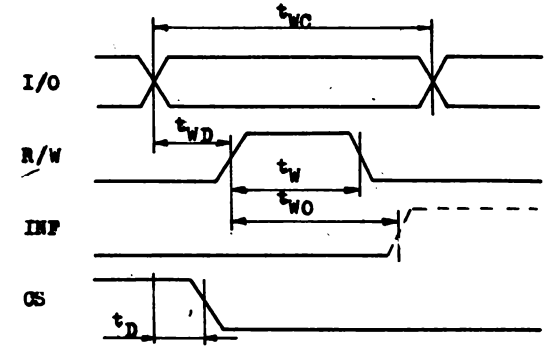
M - вход маскировки

NC - несвязанный вывод

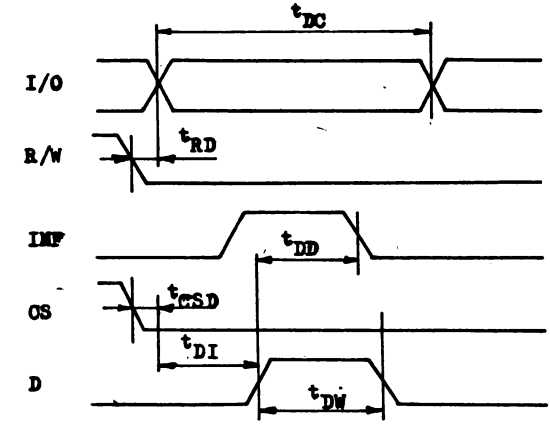
ПРИМЕЧАНИЕ: Три несвязанных вывода предвидется для функции: "все числа меньше заданного числа","все числа больше заданного числа","все числа в заданном интервале" и "все числа вне заданного интервала".



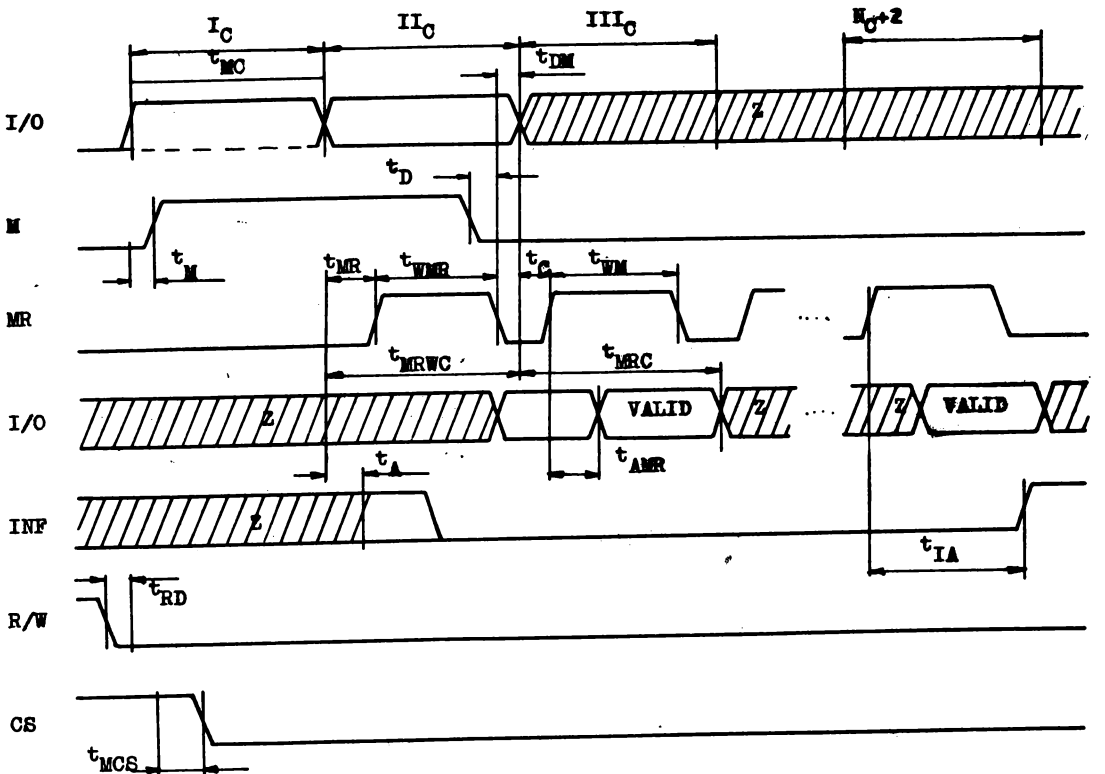
ЧТЕНИЕ



ЗАПИСЬ



СТИРАНИЕ



МНОГИЗНАЧНЫЙ ОТВЕТ

Электрически Репрограммируемый Таймер

М.Дракова, Институт микроэлектроники, София
Ч.Богоев, Институт микроэлектроники, София

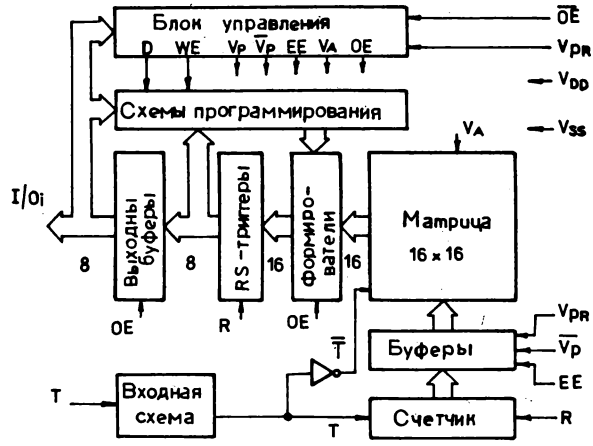
Введение

В настоящем сообщении представляется восемь-канальный электрически репрограммируемый формирователь синхронных независимых один от другого временных интервалов. Продолжительность временных интервалов задается соответствующей записью в электрически репрограммируемой матрице объемом в 256 бит. Запоминающая ячейка -двухтранзисторная, с запоминающим элементом транзистор с плавающим затвором типа FIOTOX /1/. В /2/ подробно рассмотрены характеристики стирания /заряда/ и записи /разряда/ FIOTOX транзистора.

Формирователь работает в трех режимах - считывание, стирание одновременно для всех битов и запись последовательно для каждого канала.

Принцип действия

Блоковая схема представлена на фиг.1, а на фиг.2 - временная диаграмма трех функциональных режимов. Схема содержит один асинхронный восемь-разрядный счетчик, восемь буферных схем, обеспечивающих программирующие сигналы для запоминающих ячеек, матрица, 16 формирователей, которые усиливают сигнал матрицы и подают его к восьми RS-триггерам, восемь выходных буферов и схем для программирования. Сигналы, обеспечивающие работу схемы в ее режимах, формируются в управляющем блоке.



фиг.1

Режим считывания

Импульсы частотой F поступают на вход счетчика, разряды которого Q_i и $\bar{Q}_i$ являются адресными шинами матрицы. В зависимости от записи на шестнадцати выходных шинах после формирователей устанавливается высокое или низкое состояние. Каждые две шины управляют входами RS-триггеров. Разрядная шина, которая воздействует на S - вход, определяет положение переднего фронта выходного импульса, а воздействующая на R-вход - положение заднего фронта. Таким образом на каждые 256 тактов входных импульсов на выходах схемы получаются восемь импульсов программируемой продолжительностью.

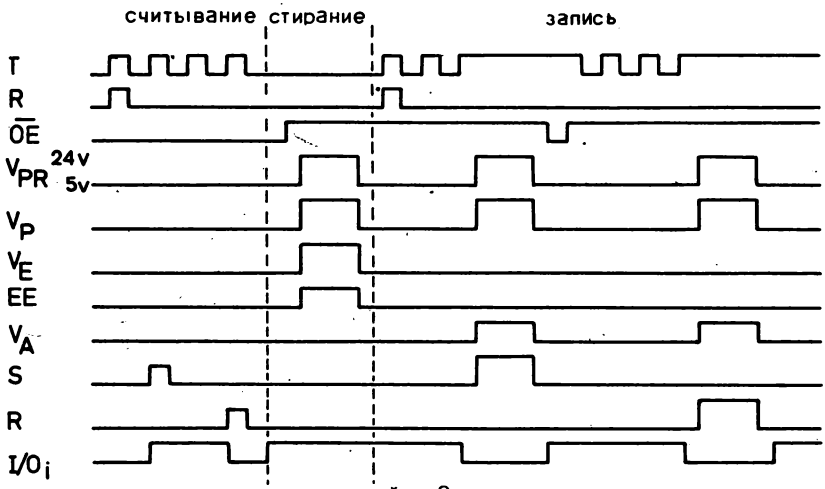
Программирование

Выводы I/O_i в режиме программирования - входы. Они используются как разрешающие входы для стирания или записи определенной строки матрицы. Физический механизм программирования не является предметом настоящего сообщения.

1.Режим стирания

Состояние стирания запоминающей ячейки соответствует отрицательно заряженному плавающему затвору FLOTOX транзистора. Он стирается при высоком положительном потенциале на его управляющем затворе и низком - на стоке. Все ячейки матрицы стираются одновременно при следующих условиях: $I/O_i=V_{IH}$, $\overline{OE}=V_{IH}$, $V_{PR}=24V$.

На фиг.3 показан разряд счетчика и запоминающие ячейки, подключенные к его выходам. В режиме считывания все выходы счетчика Q_i и $\bar{Q}_i$ приводятся в высокий уровень при помощи сигнала EE. При



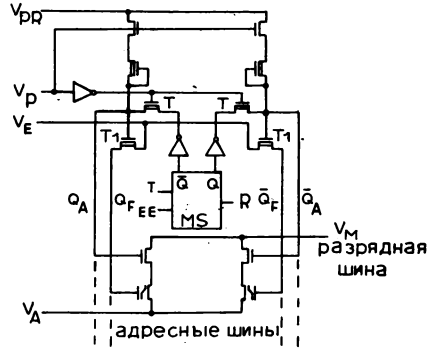
фиг.2

$V_P = V_{PR} = 24V$, ключевые транзисторы T заперты и на затворы всех адресных транзисторов устанавливается высокий положительный потенциал. В этом режиме все разрядные шины матрицы изолированы от высокого потенциала. Через транзисторы T1, на управляющие затворы FLOTOX транзисторов подается тоже высокий программирующий сигнал.

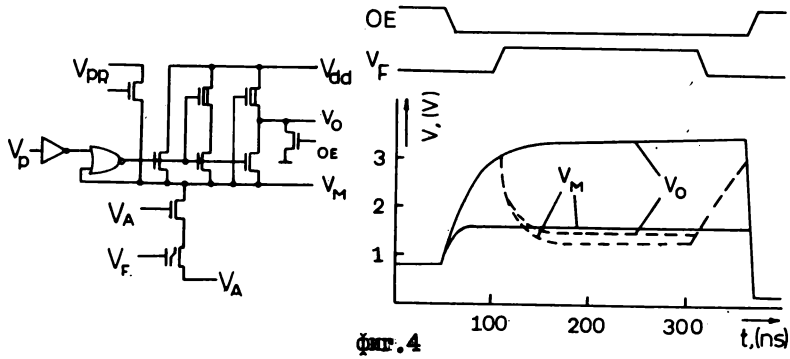
2.Режим записи

Запись информации осуществляется при высоком положительном потенциале на стоке FLOTOX транзистора и низком - на управляющем затворе. Для записи необходимо чтобы $I/O_i = V_{IL}$.

Во время записи, одновременно программируются восемь ячеек, подключенных к 16-входному элементу ИЛИ-НЕ, т.е. те, которые выбранны высоким уровнем выходов счетчика. Чтобы дешифрировать строку при считывании, необходимо высокое пороговое напряжение тех FLOTOX транзисторов, которые выбраны высокими уровнями счетчика. Они должны остаться непрограммированны, а остальные - программированны. Отсюда возникает необходимость в режиме записи установить счетчик в инверсном состоянии и это состояние программировать Прежде чем подать инверсную информацию записи, RS-триггеры устанавливаются в начальном состоянии и один из выводов I/O_i разрешается для записи. Таким образом схема готова для записи. Инверсная информация счетчика с поступлением программирующего импульса записывается в соответствующие FLOTOX транзисторы. При считывании записанной информации, выбранный RS-триггер переключается и подготавливает для записи вторую управляющую им строку матрицы. Достаточно подать новую информацию и с установлением программирующего импульса она записывается в матрицу. Эта последовательность повторяется для каждого вывода I/O_i.



фиг.3



фиг.4

Результаты

Временная диаграмма /фиг.2/ получена при логической симуляции схемы. R и S-сигналы двух выходов матрицы, управляющие RS-триггером. Так как запись нескольких ячеек, присоединенных к общему стоку производится одновременно, существует опасность в преждевременной записи некоторых ячеек, что привело бы к понижению уровня программирующего импульса. Чтобы избежать этой опасности, в режиме записи потенциал истоков FLOTOX транзисторов V_A=5V, что повышает пороговое напряжение запоминающих транзисторов и они, будучи программированными, остаются в закрытом состоянии.

Для надежного хранения информации потенциал стока FLOTOX транзисторов не должен превышать 2V в обоих состояниях. Из-за этого используется усилитель считывания, реагирующий на очень малую разницу в логических состояниях /0.3V/. Обратная связь /фиг.4 осуществляется одним двухвходовым элементом ИЛИ-НЕ, ограничивающий повышение потенциала разрядной шины матрицы над величиной 1.6V. Это однако, не мешает восприятию сигнала как 1. Потенциал на разрядной шине ниже 1.3V воспринимается как 0. На фиг.4 показана переходная характеристика усилителя для программированного /V_T=2V/ и непрограммированного /V_T=7V/ FLOTOX транзистора.

Заключение

Проведенные исследования позволяют реализовать электрически репрограммируемые схемы- таймеры, цифровые одновибраторы и др.

Литература

1.W.Johnson et al., Electronics 53, Feb.28, 11 (1980).
2.M.Dracova, "Physical Problems in Microelectronics", Proc.of the IV Intern. School, ISPPME'85, Varna, May 12-18, p.589 (1985)

WANDLER-SCHALTKREISE UND IHR EINSATZ (A/D UND D/A)

Kahl, B., Dr.-Ing., VEB Halbleiterwerk Frankfurt (Oder), DDR

In der Industrie wächst kontinuierlich der Bedarf an monolithischen AD- und DA-Wandlern für die unterschiedlichsten Einsatzfälle. Dabei reichen die Anforderungen von schnellen Wandlern mit geringerer Auflösung und Genauigkeit bis zu sehr langsamen, speziell AD-Wandlern, für Präzisionsanwendungen mit sehr hoher Auflösung. Dieser Trend wird wesentlich vom wachsenden Einsatz der Mikrorechentechnik in MSR-Technik unterstützt. D.h., daß von den Bauelementeproduzenten sowohl Systeme für die Meßwertanzeige, als auch für die Meßwertverarbeitung zur Verfügung gestellt werden müssen.
Im VEB Halbleiterwerk Frankfurt (Oder) sind in den letzten Jahren eine Reihe von AD- und DA-Wandlern entwickelt worden, die auch international als Industriestandard eingesetzt werden.

Digital-Analog-Wandler:
Die Wandlerschaltkreise C 565 C und C 5650 C sind schnelle DA-Wandler mit 12 bit (0,012 % Fehler) und 10 bit (0,05 % Fehler) Genauigkeit. Wie das Blockschaltbild zeigt, haben diese Bauelemente einen Stromausgang (0...-2 mA, $\pm$1 mA), so daß normalerweise ein OPV als Strom-Spannungs-Wandler nachgeschaltet wird. Als Betriebsspannungsversorgung sind $\pm$11,4 V...$\pm$16,5 V erforderlich, wobei die positive nur für die Referenz erforderlich ist. Die Bauelemente enthalten alle wichtigen Schaltungsteile, wie Widerstandsnetzwerke, Stromquellen, Stromquellenschalter, 10 V-Referenzspannungsquelle, Regel-OPV und Rückkopplungswiderstände für den I/U-Wandler auf dem Chip. Die Dünnschicht-Widerstandsnetzwerke werden mittels Laserstrahl getrimmt. Die Eingangsstufen sind TTL- und 5 V-CMOS-kompatibel. Die Einschwingzeiten für 12/10 bit auf $\pm$0,5 LSB betragen typisch 250/200 ns. Damit sind diese Schaltkreise für Signalerzeugungen und Rückgewinnung bis in den Videobereich anwendbar.
Für den Bereich der 8 bit-DA-Wandler wird vom VEB HFO auf den Einsatz des C 560 C orientiert. Der C 560 C ist ein 8 bit-DA-Wandler für den Einsatz in Mikroprozessorsystemen. Der Baustein ist mit einem 8 bit-Eingangs-Latch ausgerüstet, vereinfacht damit die Ansteuerung und gestattet den Einsatz bei nur einer Betriebsspannung

von +5 V...+15 V. Die Eingänge sind TTL- und 5 V-CMOS-kompatibel. Im Gegensatz zu der C 565er-Reihe enthält der C 560 C auf dem Chip einen OPV zur Strom-Spannungswandlung, so daß je nach Betriebsspannung und Pinprogrammierung Ausgangsspannungen von 0...+2,5 (2,55) V und 0...+10,0(10,23) V gewählt werden können. Für die optimale Ankopplung an µR-Systeme stehen 2 Steuereingänge zur Verfügung. Die Einschwingzeit am OPV-Ausgang auf 8 bit Genauigkeit liegt bei etwa 2 µs.

Integrierende Analog-Digital-Wandler
C 500er-Reihe:
Die 4 Bauelemente der C 500er-Reihe stellen ein universell zusammenstellbares A/D-Wandlersystem für 3 1/2- und 4 1/2 stellige Auflösung und Genauigkeit dar. Die AD-Umsetzung erfolgt mit dem Dual-Slope-Verfahren und automatischer Nullpunktkorrektur. Ein kompletter Wandler besteht jeweils aus einem Analog- und einem Digitalteil. Die Bausteine C 500 D und C 501 D sind die Analog-Bausteine für 4 1/2- und 3 1/2 stelligen Einsatz. Der C 502 D ist der dazugehörige digitale Steuerbaustein mit gemultiplexter 7-Segment-Ziffernausgabe des Meßwertes und auf dem Chip integrierten 7-Segment-Treiberstufen. Der C 504 D ist ein komfortabler Steuerbaustein mit gemultiplexter Meßwertausgabe im BCD-Kode und einer Reihe von Steuerfunktionen, die den Einsatz zur Meßwerterfassung und in Digitalmultimetern mit Auto-Ranging-Betrieb ermöglichen. Im 4 1/2 stelligen Betrieb wird bei einem maximalen Anzeigeumfang von $\pm$19999 für den C 500 D ein maximaler Kennlinienfehler von $\pm$1 LSB ($\pm$0,005 % vom Endwert) garantiert. Die genauigkeitsbestimmende Komponente für das System ist im wesentlichen die Referenzspannung.

C 7136 D:
Als Weiterentwicklung für batteriebetriebene Meßgeräte wurde der C 7136 D entwickelt. Er enthält alle Schaltungsteile eines 3 1/2-Digit-CMOS-A/D-Wandlers, der LC-Displays mit paralleler Ansteuerung aller Segmente. Zur Wandlung wird ebenfalls das Dual-Slope-Verfahren mit zusätzlicher automatischer Nullpunktkorrektur eingesetzt. Der Wandler zeichnet sich durch eine extrem kleine Stromaufnahme aus. Sie beträgt typisch 50...60 µA bei einer Batteriespannung von +9 V. Das Konzept der Betriebsspannungsversorgung gestattet sowohl den Betrieb aus einer Batterie von 9 V

als auch den symmetrischen Netzteilbetrieb mit ±5 V. Hier bietet sich der Einsatz des DC/DC-Wandlers U 7660 D zur Erzeugung der negativen Betriebsspannung aus +5 V an, da die Belastung sehr klein ist. Hervorzuheben sind bei diesem Bauelement die ebenfalls extrem geringen Eingangsströme von typ 1...3 pA. Bei entsprechender Dimensionierung ist mit diesem AD-Wandler eine Auflösung von 50 µV/LSB erreichbar, so daß die meisten Sensorsignale von diesem AD-Wandler verarbeitet werden können. Da der Wandler stets das Verhältnis von Eingangsspannung zur Referenzspannung auswertet, kann das Bauelement auch zur Quotientenbildung eingesetzt werden.

U 739 DC:
Der U 739 DC ist eine Weiterentwicklung des C 7136 DC für die Meßwerterfassung und rechnergerechten Datenausgabe in Systemen mit geringer Stromaufnahme. Die Datenausgabe des 3 1/2-Digit-CMOS-ADU erfolgt byteweise jeweils für 2 Dekaden im BCD-Format. Für die Steuerung stehen die Eingänge OEL (Output Enable für die 3-state-Steuerung der Ausgänge) und LHS (Low- und High-Byte-Select zur Umschaltung der Datenausgabe) sowie der EOC-Ausgang (End of Con-version) zur Verfügung. Der gesamte Analogteil entspricht weitgehend dem C 7136 DC. Als Einsatzgebiete ist die batteriebetriebene, langsame Meßwerterfassung von der MSR- bis zur Medizintechnik zu sehen. Sehr einfache Meßwerterfassungssysteme ergeben sich bei der Kopplung des U 739 DC mit der EMR U 88xx.

Schnelle Analog-Digital-Wandler
Die Palette der schnellen AD-Wandler mit 8, 10 und 12 bit Auflösung arbeiten alle nach dem Verfahren der sukzessiven Approximation. Die Bauelemente werden mittels Lasertrimmung von SiCr-Dünnschichtwiderstandsnetzwerken auf ihre Genauigkeit abgeglichen. Alle Wandler arbeiten mit Umsetzzeiten von typisch 20...25 µs. Alle BE erfordern für den Betrieb sehr wenig externe Komponenten und sind mit einem Mikroprozessor-Interface ausgestattet. Damit sind diese BE für die schnellere Meßwerterfassung bis 12 bit Genauigkeit geeignet.

8 bit AD-Wandler:
Mit dem C 670 C steht ein einfacher 8 bit-ADU zur Verfügung, der den 8 bit AD-Wandler C 570 C ablösen soll. Er hat gegenüber dem

C 570 C den Vorteil, daß über ein zusätzliches Steuerpin, unabhängig vom Startsignal, die Ausgänge in den aktiven Zustand geschaltet werden können.
In der Klasse der 10 bit-ADU steht der C 571 C mit fast der gleichen Anschlußbelegung wie der C 570/670 C zur Verfügung. Alle 8- und 10 bit AD-Wandler verarbeiten Eingangssignale von 0...10 V und $\pm$5 V. Ihre Eingänge sind relativ niederohmig mit typisch 5 kOhm, so daß in der Regel ein OPV vorgeschaltet werden muß, um den Eingangswiderstand zu erhöhen.

12 bit-AD-Wandler:
Für den Bereich der 12 bit-Meßwerterfassung wird der C 574 C hergestellt. Er besteht aus 2 Chips: dem 12 bit DAU C 565 und einer digitalen Steuerschaltung auf der die Approximationslogik, ein komfortables MR-Interface und der Komparator integriert sind. Dieser Wandler kann 4 verschiedene Eingangsspannungsbereiche verarbeiten. Das MR-Interface ist so umfangreich und vielseitig, daß praktisch alle 8- und 16 bit Mikroprozessoren mit dem C 574 C problemlos zusammenarbeiten können.

HIGH VOLTAGE DYNAMIC LDMOS-JFET DRIVER CIRCUIT

Podmiotko, W., Warszawa, VRP

1. Introduction

Recently there has been considerable interest in the developing monolithic high voltage IC that combine high voltage devices with low voltage control circuitry on a single chip. These technologies usually mix different kinds of active devices such as conventional bipolar and MOS transistors, double-diffused MOS transistors, JFET devices and others.

The purpose of reported work was developing of high voltage IC intended for vacuum fluorescent display driving. A primary requirement for the driver circuit was output voltage up to 60V, propagation time less than 2us and totem-pole output configuration.

Some approaches that utilize all bipolar and mixed DMOS-bipolar technology with bipolar transistors in ouput stage are known [1]. Moreover an interesting combination DIMOS high-voltage transitors with dynamic bootstrap circuitry [2] and the use of inverter composed of n-DMOS and P-MOS with extended drain [3] have been reported.

2. General aspects

The circuit presented here has been realized in slightly modified version of CMOS-DMOS technology which was developped earlier in our Instiut for thermal printer head driver circuit [4,5]. CMOS-DMOS technology is a relatively straight-forward process based on a standard 7.5μm metal gate CMOS fabrication sequence. This technology utilizes 8 masks and allows to integrate low-voltage CMOS devices, high-voltage lateral DMOS transistors and JFET load devices.

The driver circuit has been built of n-channel lateral DMOS transistors, two kinds of JFET devices, low voltage n-MOS transistor and MOS capacitor.

In Fig.1 cross-section of LDMOS transistor and JFET device is shown. The source and channel of DMOS transistor are diffused n^+ and p^- regions, respectively. The channel length is determined by the difference in the lateral diffusion of dopants and can be controlled down to about 1μm.

JFET's load devices are made without any additional process steps. The channel region is formed in n-type epitaxial layer by p-type isolation walls, source and drain are formed by n^+ diffused regions and the upper gate is composed by p^+ diffused region the same as used for p^+ regions of DMOS transistors.

The effective channel thickness is determined by a distance between p^+-n /epi/ and n/epi/-p/substrate/ junctions.This value results in a pinch-off voltage which is proportional to square of channel thickness.

In the JFET of second kind the upper gate is ommited that results in much higher of pinch-off voltage.

3. Circuit performance

Schematic diagram of the circuit is shown in Fig.2. The circuit consists of three parts; an input DMOS-JFET inverter, dynamic bootstrap DMOS inverter and output totem-pole DMOS stage. Input inverter consisting of DMOS transistor (DM1) as a driving device and JFET (JF1) as a load element operates in conventional way when the input signal is in a high state. Then the output voltage level is close to zero. In the opposite state the output voltage of the inverter is equal to the absolute value of pinch-off voltage of JFET device.When the high level voltage is applied to the circuit input transistors DM2 and DM5 go in the off-state and the switching operation starts in the bootstrap stage consisting of transistors DM2, DM3, JF2 and capacitor C_b. The use of the bootstrap circuit enables to drive the output transistor DM4 with all supply voltage.

The output stage delivers two n-channel LDMOS transistors in the totem-pole circuit.The upper device is driven from the bootstrap inverter whereas the bottom one is driven from the input inverter. Transistor DM4 is high W/L ratio device, that should assure low voltage drop in the active state of the circuit. Transistor's DM5 task is to pull down the output voltage to 0 in the inactive state.

Therefore the circuit produces without inversion high voltage ouput pulses in the answer to low volgate input signals. As a consequence of the dynamic inverter utilization in the circuit there is necessity to apply input signals with minimum frequence to sustain output signal in the high state. The level of this frequency depends on the technology quality and usually is less than 10 Hz.

4. Experimental results

The circuit is designed as a chip consisted of seven independent signal channels. With nonoptimized design from the point of view of packing desity, one driver occupies about 0.4mm sq.

Experimental devices were fabricated with using mentioned earlier high-voltage CMOS-DMOS technology. The starting material is silicon substrate p-type,resistivity 9-14 Ohmcm with epilayer n-type,resistivity 1.5 Ohmcm and thickness about 9 μm. The relevent technological parameters of the fabricated structures are following :

$x_{p^+} \approx 6\mu m$; $x_{p^-} \approx 2.9um$; $x_{n^+} \approx 1.3um$; $t_{ox} = 140nm$.

The electrical parameters of the circuit devices are given in Table 1 and the main electrical parameters of the

circuit are presented in Table 2.

Table 1 .

Element	U_T / U_p / @1uA	BU_{DSS} @10uA	R_{ON} W @ U_{GS} =40V
LDMOS	1.5 V	⩾ 90 V	2.8 Ohmcm
JFET(1)	/ - 40 V /	⩾ 90 V	——
JFET(2)	/ -8 V /	⩾ 90 V	——

Table 2
Electrical parameters at U_{DD1} = 9 v , U_{DD2} = 65 V.

Input voltage	U_{IL} < 1 V, U_{IH} > 2.5 V	
Output voltage	U_{OH} > 60 V (62 V typ.) U_{OL} < 2.5 V @ I_{OL} =-5 mA	
Supply current with open output (all 7 drivers)	I_{DD2} = 4 mA typ.	
Time delay of output voltage	t_{DLH} = 0.5 µs typ. t_{DHL} = 0.3 µs typ.	

5. Conclusions

High voltage (60v) integrated circuit pretended mainly for vacuum fluorescent display driving is presented. In the circuit realized in relatively simple CMOS-DMOS technology n-channel LDMOS transistor and two kinds of JFET devices are utilized.

Modified dynamic bootstrap LDMOS-JFET circuit application allowed to achieve high voltage driver circuit with appropriate dynamic and static parameters.

References

1. G.Heftman, Electronic Design,33(1986),6,29-34
2. M.Pomper,L.Leipold,J.Tihanyi, H-E.Longo, IEEE Journ. of Solid-St. Circ.,SC-15 (1980),3,328-330
3. G.Thomas, G.Troussel, F.Vialettes, IEEE Trans.on El. Devic. ED-33 (1986),12,2016-2024
4. W.Podmiotko, A.Bąkowski, Microelectronics 86, pp.45-55 (sect.1), Plowdiw 86
5. W.Podmiotko, A.Bąkowski, Microel. Reliabil.,27 (1987),1,33-37

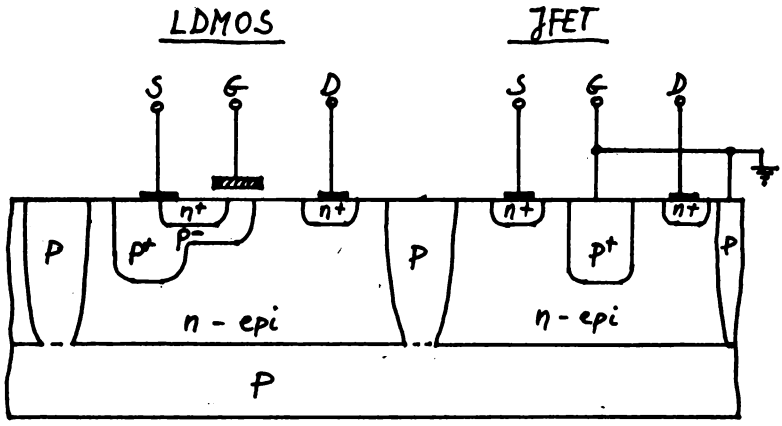


Fig.1 Cross-section of the structure

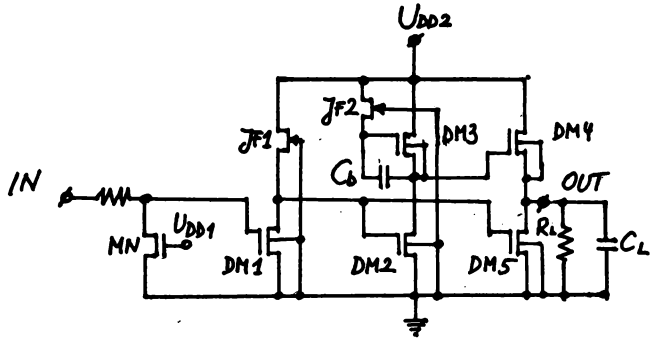


Fig.2 Schematic diagram

ИНТЕРАКТИВНОЕ ПОСТРОЕНИЕ ТЕСТОВ ДЛЯ СХЕМ С МИКРОПРОЦЕССОРНЫМИ ЭЛЕМЕНТАМИ

Шейнаускас, Р.И., проф. д.т.н., КПИ, Каунас, СССР

Повышение интеграции элементов значительно усложнило проверку работоспособности конструктивных узлов. Резко выросли время построения и длина тестов логических схем. Алгоритмические методы построения тестов являются малоэффективными в случае проверки схем, содержащих счетчики, регистры, сумматоры и другие функционально сложные элементы в интегральном исполнении одного корпуса. В настоящее время в схемах широко используются микропроцессорные элементы для которых ввод моделей является трудоемким. Замена микропроцессорных и функционально сложных элементов эквивалентными схемами на уровне вентилей является практически неприемлемой. В связи с этим остается актуальной проблема разработки эффективных методов и средств проверки конструктивных узлов с микропроцессорами.

Для каждого микропроцессорного элемента существуют таблицы функционального контроля, содержащие от нескольких сот до нескольких тысяч наборов. Практически возможно построить модель активности микропроцессорных элементов для алгоритмических методов синтеза тестов, который позволяет проверять только входы и выходы элемента.

Проверяющие свойства тестовых последовательностей, вычисленных согласно такой модели, не удовлетворяет наладчиков вычислительных устройств. Кроме того, микропроцессорные элементы резко увеличивают объем перебора алгоритмических методов построения тестов, что не всегда позволяет практически приемлемое время получить тест необходимой полноты. При этом разработчик схемы, хорошо зная закон функционирования, может легко составить функциональный тест, проверяющий значительную часть неисправностей. Поэтому необходимо оптимально использовать алгоритмические методы и человеческие возможности при выражении функционального теста. Это позволяют программные средства интерактивного построения тестов.

В настоящее время все шире используются микропроцессорные элементы. Возможности микропроцессорных элементов часто используются далеко неполно и в конкретной схеме может применяться только незначительная часть функциональных возможностей микропроцессора.

Поэтому нет необходимости проверять все функции микропроцессора, что позволяет значительно сократить проверяющую последовательность при определении работоспособности конструктивного узла.

При определении функционального теста требуются более тесные связи с разработчиками схем. При разработке микропроцессорных схем используются разные средства разработки и отладки микропрограмм. Отлаживаемые микропрограммы могут составить часть функционального теста. При интерактивном построении тестов являются необходимыми входной язык, позволяющий описать функционирование схемы, и программа, формирующая согласно описанию функционального теста наборы проверяющего теста. Аналогичным образом могут быть построены тесты и для схем с большим числом состояний, которые оказались слишком сложными для используемых методов построения тестов. Часто такие схемы (особенно счетные схемы) имеют регулярную структуру и очевидный закон функционирования.

Разработчики схем для иллюстрации функционирования схемы приводят временные диаграммы. Выбранный входной язык для интерактивного построения и пополнения теста позволяет описать временную диаграмму каждого входа схемы. Таким образом выражается функциональный тест схемы.

Кроме того, на входном языке предусмотрена реализация на некоторых входах схемы заданных регулярных последовательностей и определенных кодов, например, кода, включающего все возможные наборы отмеченных входов схемы, когда соседние наборы отличаются значением сигнала только одной переменной.

Когда схема конструкторского узла выполняет соответствующие команды над данными, предусмотрена возможность указания вероятности появления определенного значения сигнала. В этом случае значения сигналов данным соответствующих входов генерируются стохастически, согласно указанной вероятности появления определенного значения сигнала.

Тесты проверки микропроцессорных и других функционально сложных интегральных элементов поставляются заводами изготовителями. Такой функциональный тест может быть использован во время интерактивного построения теста. Разработанные программы позволяют для внутренних цепей схемы задавать проверяющие наборы, которые алгоритмически доопределяются до входов схемы. Это позволяет тесты микропроцессорных элементов задавать на их входах. При реализации теста микропроцессорного элемента необходимо обеспечить активиза-

цию всех выходов микропроцессора до выходов схемы. Это осуществляется указывая некоторым внутренним цепям значения сигналов, обеспечивающие активность выходов микропроцессорного элемента. При доопределении заданных значений сигналов внутренних цепей, в том числе и активных, программным образом активизируются все пути от активных входов элемента до входов схемы. Таким образом проверяется подсхема, формирующая сигналы для микропроцессорных элементов.

Необходимо отметить, что тесты микропроцессорных элементов построены в предположении, что изменение значения сигнала на входах происходит без риска сбоя. Когда микропроцессорный элемент включен в схему, необходимо выполнить эти условия при доопределении значений сигналов.

Наличие в схеме обратных связей, охватывающих микропроцессорные элементы, а также необходимость активизации и доопределения через другие микропроцессорные элементы, снижает эффективность интерактивного построения тестов. Однако, в общем случае, методы интерактивного построения тестов на основе информации о функционировании схемы и на основе тестов отдельных микропроцессорных элементов позволяет получить проверяющий тест конструктивных узлов с микропроцессорными элементами.

Процесс интерактивного построения тестов имеет итерационный характер. После определения проверяющего теста выполняется анализ его проверяющих свойств. В случае недостаточной полноты проверки корректируется или расширяется описание теста на входном языке. Итерации продолжаются до тех пор, пока расширение описания на входном языке мало сказывается на полноту проверки. Далее выполняется этап интерактивного пополнения теста.

При интерактивном пополнении теста необходимо на входном языке непосредственно указать наборы для проверки одной или нескольких непроверенных неисправностей. Наборы могут содержать значения сигналов некоторых внутренних цепей, которые доопределяются до входов схемы. Наборы указываются для проверки константных неисправностей и коротких замыканий. Естественно, что после пополнения теста проводится анализ, действительно ли проверяются неисправности, для проверки которых включены новые наборы.

Процесс интерактивного построения и пополнения теста может проводиться как в пакетном режиме, так и в режиме реального времени. Интерактивное построение теста требует хорошего ознакомле-

ния с функционированием схемы и поэтому вполне устраивает пакетный режим работы. Непосредственно за пультом терминала может проводиться только исправление синтаксических ошибок описания функционального теста на входном языке.

Интерактивное пополнение теста наборами, проверяющими конкретные неисправности, целесообразно проводить непосредственно за пультом терминала, указывая необходимое значения сигналов для внутренних цепей схемы и автоматически вычисляя входные наборы, формирующие эти значения. При столкновении со значительным перебором, возможно прекращение вычислений, выявление противоречивших переменных и указание направленности дальнейшего перебора. Кроме того, для полученных наборов непосредственно определяются действительно проверяемые неисправности, что позволяет оценить полученные наборы. Следует отметить, что при пополнении теста форма диалога с ЭВМ постоянно расширяется и зависит от используемых терминальных устройств.

SCHALTUNGSTECHNIK MIT MODERNEN SCHALTREGLER-IS

Jungnickel, H., Dr.-Ing., KDT, Karl-Marx-Stadt, DDR

Der zunehmende Einsatz von elektronischen Einrichtungen in allen Wirtschaftszweigen führt zu einen steigenden Bedarf an modernen Stromversorgungseinrichtungen.
Es ist leider eine Tatsache, daß die Stromversorgung mit der modernen Elektronik nicht immer Schritt halten konnte. So sind die relativ großen und kostenaufwendigen Netzteile oft volumen- und preisbestimmend, besonders für kleine und mittlere Geräte. Die Wärmeentwicklung der Netzteile ist meist beträchtlich und zwingt den Entwickler zu besonders aufwendigen technologischen Maßnahmen.
Als Ausweg wird meist ein Schaltregler gesehen. So gelten Netztransformatorlose Schaltnetzteile allgemein als "moderne Lösung". Für Leistungen größer als etwa 50 Watt ist dies sicherlich zutreffend. Bei kleinen Leistungen, sehr viele Geräte benötigen z. B. nur 5V bei 1-3A, werden mit netztransformatorlosen Schaltnetzteilen kaum Vorteile erreicht. Es ist bekannt, daß derartige Netzteile, unabhängig von der Ausgangsleistung, einen etwa konstanten Aufwand für die Ansteuerung benötigen. Hier werden sehr schnell ökonomische Grenzen erreicht. Es muß auch berücksichtigt werden, daß die Vorteile derartiger Netzteile wie geringes Volumen, geringe Masse, hoher Wirkungsgrad, mit verschiedenen Nachteilen wie geringere Zuverlässigkeit, höhere Kosten und sehr großen technologischen Aufwand erkauft werden.
Diese und andere Gründe zwingen auf dem Gebiet der Stromversorgung zum Umdenken. Der Begriff "Moderne Stromversorgung" darf kein Synonym für netztransformatorlose Schaltnetzteile sein! Unter "Moderner Stromversorgung" sollte jetzt eine schaltungstechnische Lösung verstanden werden, die für den konkreten Anwendungsfall ein optimales Ergebnis liefert. Das kann dann auch eine scheinbar veraltete Lösung sein wie z.B. Transformator/Gleichrichter/Ladekondensator/Z-Diode für die Versorgung kleinerer Schaltungen mit CMOS-IS. Die Zuverlässigkeit ist sehr hoch, der technologische Aufwand ist sehr gering.
Moderne Schaltkreisfamilien vereinfachen oftmals die Stromversorgung. So benötigen IS der Reihe U74HCT... bedeutend weniger Strom und die Forderungen an die Spannungstoleranzen sind wesentlich

günstiger. Moderne Mikrorechner-IS und deren Peripherie benötigen grundsätzlich nur noch eine Betriebsspannung von +5V. Die früher übliche Hilfsspannungen -5V und +12V sind entfallen.

International existieren eine Vielzahl von Lösungen und auch viele spezielle integrierte Schaltungen zur Stromversorgung.
Die weiteren Ausführungen beziehen sich auf den integrierten Schaltregler L296.
Diese IS ist ein Sekundärregler für Schaltfrequenzen bis über 100 kHz. Der Ausgangsstrom beträgt 4A. Der Eingangsspannungsbereich reicht von 9V bis 46V und der Ausgangsspannungsbereich von 5,1V bis 40V. Hervorzuheben ist die hohe Stabilität der Ausgangsspannung. So ändert sich eine Ausgangsspannung bei einer Eingangsspannungsänderung von 10V bis 40V oder bei einer Laständerung von 0,5A bis 4A nur um etwa 15mV. Durch die hohe Schaltfrequenz wird ein guter Wirkungsgrad erreicht. Die IS ist mit diversen Schutz- und Zusatzschaltungen ausgerüstet wie direkte Ansteuerung eines externen Thyristors als Überspannungsschutz (crowbar), dabei kann der Thyristor am Eingang oder am Ausgang der Regelschaltung angeordnet sein. Sanftanlauf, Fernab- und Einschaltung mit TTL/CMOS-Pegel, Resetsignal für Mikrorechner zum Retten von Informationen in gestützte Speicherbereiche bei Netzausfall, einstellbare Strombegrenzung, Übertemperaturschutz, Synchronisationseingang u.a. sind weitere Einrichtungen.
Bild 1 zeigt das Blockschaltbild, Bild 2 eine Variante mit Minimalbeschaltung für +5V und Bild 3 eine vollständige Anwenderschaltung mit allen möglichen Zusatzeinrichtungen.
Alle Schaltungen sind mit Bauelementen der Typenliste realisierbar. Die Unterbringung des Schaltkreises im Multiwattgehäuse ermöglicht eine optimale Layoutgestaltung. Hier sind die einzigen Anwenderprobleme zu sehen, nur ein gut durchdachtes Layout ergibt störungsarme Ausgangswerte. Als Drossel wurde ein Wickelgut auf Manifer-Ringkern, Mf194, 16mm, TGL 24724 mit 15 Wdg. eingesetzt. Bild 4 zeigt die Möglichkeit einer synchronen Betriebsweise mehrerer Regler. Durch die gleiche Frequenz bleibt der Störspannungsanteil äußerst gering. Die synchron betriebenen Regler können beliebig unterschiedliche Ausgangswerte aufweisen.

Es gibt selbstverständlich einfache Möglichkeiten zur Erhöhung des Ausgangsstromes bis etwa 10A, Bild 5. Auch Ausgangsspannungen ab 0V sind machbar. Der Schaltkreis läßt sich als Aufwärtsregler einsetzen, Bild 6. Bei Bedarf lassen sich durch Zusatzwicklungen auf der Drossel weitere Spannungen bereitstellen, Bild 7.

EINSATZ MIKROELEKTRONISCHER BAUELEMENTE UND PROBLEME ZUR GEWÄHRLEISTUNG DER ELEKTROMAGNETISCHEN VERTRÄGLICHKEIT

John, H.-J., Dr.-Ing., KDT, Berlin

Elektromagnetische Verträglichkeit eines beliebigen elektronischen Schaltungskonzeptes, d. h. dessen Fähigkeit in einer vorgegebenen elektromagnetischen Umwelt zuverlässig zu funktionieren ohne dabei diese einsatzbedingte Umwelt unzulässig zu beeinflussen, gewinnt als entscheidender Qualitätsparameter zunehmende Bedeutung.
Schwierigkeiten ergeben sich auf der einen Seite durch die funktionell immer komplexer werdenden Schaltungen und den damit verbundenen Konsequenzen bei einem Ausfall. Diese Konsequenzen sind dabei in der Regel nicht nur auf den reinen Hardware-Schaden begrenzt, sondern beziehen sich auch auf die oftmals wesentlich größeren Folgeschäden (Produktionsausfälle, Nichtverfügbarkeit von Rechner- oder Nachrichtensystemen etc.).
Auf der anderen Seite wird durch die unmittelbare Verbindung von Mikroelektronik und Leistungselektronik das Angebot an potentiellen Beeinflussungsfaktoren größer.

1. URSACHEN DER GEFÄHRDUNG

Gefährliche Überspannungen an externen Geräteschnittstellen infolge natürlicher Entladungen oder besonderer Bedingungen in Starkstromnetzen (Kurzschlüsse oder betriebsbedingte Schaltvorgänge) sind grundsätzlich nicht vermeidbar. Durch den Anschluß informationstechnischer Anlagen an mindestens zwei topologisch unterschiedlich gestaltete Netze (Niederspannungsversorgung, Informationsleitungen), entstehen immer Leiterschleifen mit zum Teil beachtlichen Flächen, in denen Spannungen induziert werden können, die ein an diese Leiterschleife angeschaltetes Gerät hinsichtlich seiner Verträglichkeit beanspruchen. Diese induzierten Spannungen lassen sich auch durch einen perfekten äußeren Blitzschutz einschließlich Blitzschutz-Potentialausgleich nach /1/ nicht vermeiden. Es sind grundsätzlich zusätzliche Maßnahmen, sogenannte innere Blitzschutzmaßnahmen erforderlich. Die konkrete Auswahl entsprechender innerer Blitzschutzmaßnahmen hängt in erster Linie von den jeweiligen Betriebsbedingungen des zu schützenden Gerätes und der dem Gerät eigenen Verträglichkeit ab.

2. WIRKUNGSPARAMETER FÜR DIE GEFÄHRDUNG ELEKTRONISCHER SYSTEME

Stoßspannungen bzw. bei entsprechenden Betriebsbedingungen die daraus resultierenden Stoßströme an Geräteschnittstellen lassen sich durch jeweils drei Wirkungsparameter charakterisieren und bewerten:

- Spitzenwert und Zeitparameter der Überspannung: U_{peak}, $\int u(t)dt$
- Spannungsquadratimpuls: $\int u(t)^2 dt$
- Maximale zeitliche Änderung der Überspannung: $(du/dt)_{max}$
- Spitzenwert und Zeitparameter des Stoßstromes: i_{peak}, $\int i(t)dt$
- Stromquadratimpuls: $\int i(t)^2 dt$
- Maximale zeitliche Änderung des Stoßstromes: $(di/dt)_{max}$

Welcher bzw. welche der vorstehenden Parameter im jeweiligen Einsatzfall bei der Gewährleistung der Elektromagnetischen Verträglichkeit die Priorität besitzt, muß für jede Schaltungskonfiguration exakt ermittelt werden.

3. VERTRÄGLICHKEIT ELEKTRONISCHER BAUGRUPPEN

In der klassischen Elektrotechnik (Relais, Übertrager etc.) waren ohne Schwierigkeiten Spannungsfestigkeiten von 500 V_{eff} und mehr erreichbar (geometrisch große Abmessungen). Diese reduzierten sich zusehends mit miniaturisierten Bauweisen und Bauelementen. Für die Auswahl geeigneter Schutzelemente müssen die Grenzwerte heute vielfach neu bestimmt werden (nicht nur zur Ermittlung der Verträglichkeitsgrenzen sondern auch zur Eignungsprüfung bestimmter Bauelemente für Überspannungschutzaufgaben). Diese Bestimmung der Verträglichkeitsgrenzen ist ein langwieriger Prozeß, der vielen statistisch nicht gesicherten Faktoren unterliegt (Prüflingsanzahl begrenzt, Fertigungsstreuungen, Langzeiteinflüsse durch klimatische und mechanische Beanspruchung). In jedem Fall werden dabei die Bauelemente über die von den Herstellern spezifizierten Grenzwerte hinaus belastet. Für jedes Bauelement ergibt sich im Ergebnis dieser Bestimmung der Verträglichkeitsgrenzen eine sogenannte Verträglichkeitskurve mit grundsätzlich hyperbolischem Verlauf nach Bild 1. Entsprechend den Betriebsbedingungen ist die Spannung oder der Strom die charakteristische Größe.

Jede Dimensionierung einer Schutzmaßnahme muß garantieren, daß die Ausgangswerte der Schutzmaßnahme stets unterhalb der Verträglichkeitskurve bleiben.

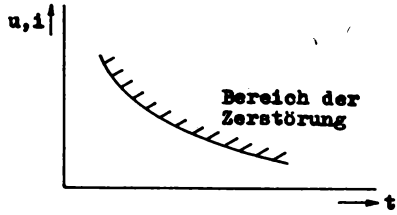
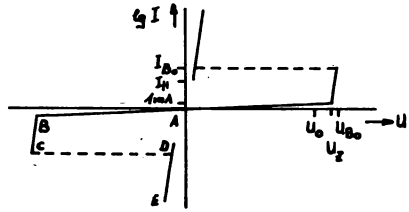


Bild 1: Qualitativer Verlauf einer Verträglichkeitskurve

Für eine Reihe von Anwendungsfällen ist das mit klassischen Schutzelementen (Überspannungsableiter, Metall-Oxidvaristoren o. ä.) nicht mehr möglich.

Deshalb kommen für den Schutz mikroelektronischer Schaltungen zunehmend Halbleiter-Bauelemente mit sogenannter "crowbar"-Kennlinie nach Bild 2 mit unipolarer (z. B. Thyristor) oder bipolarer (z. B. TRIAC) Charakteristik zum Einsatz.

Dieses Schaltverhalten ist der grundsätzliche Unterschied zu konventionellen Schutzelementen (Ausnahme: Überspannungsableiter, dessen dynamische Ansprechspannung aber zu hoch ist). Dadurch ist es möglich, daß die maximale Impulsstrombelastbarkeit des Schutzelementes unabhängig von der Durchbruchspannung ist und die spannungsmäßige Beanspruchung der nachfolgenden zu schützenden Baugruppen zeitlich entschieden reduziert werden kann. Die Probleme, die sich aus dem Kurzschluß der an dem Leitungseingang anliegenden Betriebsspannung im Beeinflussungsfall ergeben, sind in der Regel von untergeordneter Bedeutung.

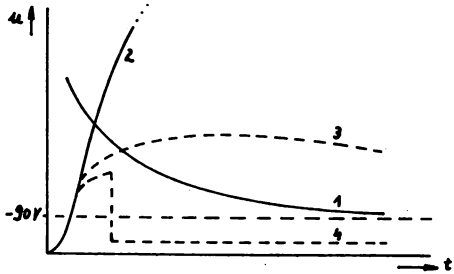


AB - "Aus"-Zustand
BC - Zenerbetrieb
DE - "Ein"-Zustand

Bild 2: Kennlinie eines bipolaren Schutzelementes mit kurzschließendem Verhalten

Am Beispiel eines fiktiven Schaltkreises in Hochvolt-Technologie sollen einige Aspekte zum Schutz seiner Eingänge aufgezeigt werden. Dieser Schaltkreis soll eine Betriebsspannung von $-U_{CC}$ = 90 V haben. Betriebsmäßig können an der Leitungsschnittstelle Spannungen bis zu -85 V anliegen. Daraus muß abgeleitet

werden, daß eine Schutzmaßnahme an der Leitungsschnittstelle ohne Kenntnis der Verträglichkeitskurve für diesen Schaltkreis negative Überspannungen auf maximal -90 V begrenzen müßte. Eine solche Forderung ist schon wegen der Toleranzen der einsetzbaren Schutzelemente nicht realistisch.
Weiterhin ist bei den klassischen Schutzelementen der Begrenzungspegel immer eine Funktion des abzuleitenden Stromes (Varistoren, Z-Dioden) oder eine Funktion des Spannungsanstiegs der Überspannung (Überspannungsableiter). Jeder MOV oder jede Suppressor-Diode, die für Betriebsspannungen bis 85 V einsetzbar wären, weisen Begrenzungsspannungen von weit über 100 V in Abhängigkeit vom fließenden Strom für die gesamte Impulsdauer auf. Solche Spannungsamplituden für mehrere zehn Mikrosekunden sind für diesen Schaltkreis unverträglich. Deshalb sind für einen solchen Einsatzfall kurzschließende Schutzelemente notwendig. Bild 3 verdeutlicht diese Zusammenhänge.



1 - Verträglichkeitskurve dieses Schaltkreises
2 - Von der Leitung angebotene Überspannung
3 - Begrenzungsspannung eines Varistors
4 - Mit kurzschließendem HL-Bauelement begrenzte Überspannung

Bild 3

Zusammenfassend kann man feststellen, daß eine geeignete Dimensionierung von Schutzmaßnahmen an Leitungsschnittstellen nur möglich ist, wenn folgende Faktoren ermittelt werden bzw. bekannt sind:

1. Kennwerte der zu erwartenden Beeinflussungen
2. Verträglichkeitsgrenzen der zu schützenden Schaltung
3. Betriebsbedingungen der zu schützenden Schaltung

In der Regel ist es nicht möglich mit einem einzigen Schutzbauelement alle drei Faktoren zu beherrschen. Dann muß eine Kombination verschiedener Schutzelemente gewählt werden, die untereinander ebenfalls nach dem Prinzip der maximal möglichen Verträglichkeit angepaßt werden müssen.

/1/ TGL 200-0616 Blitzschutzmaßnahmen, 10/85

ZUM EINSATZ DER LCCC

Szendiuch, I., Dipl.-Ing., Lorencová, H., Dipl.-Ing., Brno/CSSR

Einfuhrung

In der CSSR werden derzeitig zwei Typen von LCCC entwickelt und zwar ein Typ mit 18 Anschlüßflächen /Abmessungen 8,89 mm x 7,25 mm x 1,14 mm/ und ein weiteres mit 52 Anschlüßflächen /Abmessungen 19,05 mm x 19,05 mm x 2,05 mm/. Beide Typen wurden aus Al_2O_3 Keramik hergestellt und die Kontakte wurden aus feuerfesten Material mit Goldüberzug hergestellt. Bild 1 zeigt Abmessungen und ihre Haupteigenschaften sehen sie in Tabelle I.

Um eine hohe Zuverlässigkeit zu gewährleisten, ist es notwendig, den technologischen Prozeß zu beherschen und einen richtigen Entwurf zu machen. Eine der notwendigen Voraussetzungen dazu ist es, die Temperaturverhältnise zu kennen. Die Wärme kann als Folge der Verlustleistung in einem Chip entstehen. Das Chip, das sich im LCCC befindet, erzeugt einen Temperaturgradienten zwischen ihm selbst, dem Gehäuse und dem Substrat. Diese Temperaturunterschiede verursachen mechanische Spannungen in den Verbindungstellen. Dies kann von großem Nachteil sein. In diesem Vortrag werden dieser einige Probleme diskutiert.

Die Berechnung der in der Anordnung entstehenden Wärme

Wärme in elektronischen Bauelementen verursacht durch unterschiedliche Ausdehnungskoeffizienten mechanische Spannungen. Das tritt zum Beispiel zwischen keramischem Gehäuse und Leiterplattenmaterial auf. Andererseits können mechanische Spannungen auch bei gleichartigen Materialen entstehen, wenn zwischen Gehäuse und Substrat ein Temperaturgradient besteht. Deshalb muß man die Temperaturverteilung kennen.

Das Bild 2 a. zeigt den Querschnitt des auf dem Substrat gelöteten LCCC. Das dazugehörige Temperaturersatzschaltbild ist dann im Bild 2 b. dargestellt. Auf Grund der geringen geometrischen Abmessungen des LCCC kann man die Abkühlung durch die Umgebung vernachlässigen. Deshalb betrachten wir ausschließlich den Wärmeübergang zwischen Gehäuse und Substrat.

Zum Vereinfachung der mathematischen Berechnung geht man von einem kreisförmigen Grundriß des Gehäuses aus. Für einen LCCC mit

18 Anschlüssen beträgt der Durchmesser $d_1=2r_1=7,5$mm, für einen LCCC mit 52 Anschlüssen ist $d_2=2r_2=19,5$mm. Diese Vereinfachung ist zulässig, weil sich alle Anschlüsse am Rand des Gehäuses befinden. Der Durchmesser der Wärmequlle beträgt für unsere Anwendung 3mm.

Zur Berechnung des Wärmewiderstandes wird für das Gehäuse die Höhe h und Ausdehnungskoeffizient mit λ_1 bezeichnet. Daraus folgt:

$$R_{t1} = \frac{1}{2\pi.h.\lambda_1} \ln \frac{r_1}{r_2} \qquad /1/$$

Für den Temperaturgradient zwischen Wärmequelle, deren Leistung dem Wärmefluß ϕ entspricht, und dem Gehäuserand gilt dann:

$$\Delta T_1 = \frac{\phi}{2\pi.h.\lambda_1} \ln \frac{r_1}{r_2} \qquad /2/$$

Beim LCCC mit 18 Anschlüssen ergab sich zum Beispiel nach Gleichung /2/ ein Temperaturgradient $\Delta T_1=2,2^{\circ}C$ für eine Verlustleistung von 0,5W.

Zur Berechnung des Temperaturgradienten zwischen Gehäuse und Substrat wird ein Abstand von $l=0,2$mm angenommen /siehe Bild 2.a./. Folgende Gleichung kann man für eine rechteckige Grundfläche s des Kontaktes anwenden:

$$\Delta T_2 = \frac{\phi . l}{\lambda_2 . s} \qquad /3/$$

Bei Annahme der gleichen Verlustleistung von 0,5W ergibt sich aus Gleichung /3/ ein Temperaturgradient $T_2=0,16^{\circ}C$.

Zur Berechnung der Erwärmung der gesamten Anordnung ist es außerdem notwendig den Temperaturwiderstand des Substrates zu ermitteln. Das Substrat hat die Dicke d und die Fläche A. Weil die Berechnung sehr kompliziert ist, wird folgender analytischer Ausdruck verwendet /nach [1] /:

$$R_{t3} = \frac{3,3}{\sqrt{\lambda_3 . d}} : \beta^{\frac{1}{4}} + \frac{650}{A} . \beta \qquad /4/$$

wobei β der Lagekoeffizient ist /0,75 gilt für horizontale und 0,64 für vertikale Lage/. Im ungünstigsten Fall beträgt $R_{t3}\sim 36kW^{-1}$.

Verwendet man Gl. /2/, erhält man zum Beispiel für eine Anordnung von vier 18-poligen LCCC mit einer Gesamtverlustleistung von 1,8W, eine Erwärmung von $64,8^{\circ}C$. Das bedeutet bei einer Umgebungstemperatur von $20^{\circ}C$ eine Gesamttemperatur von ungefähr $85^{\circ}C$, wobei die Temperatur im Chip noch etwas höher liegen kann, jedoch $90^{\circ}C$ nicht übersteigt.

Temperaturverteilung im Substrat

Zur Ermittlung der Temperaturverteilung wurden zuerst die Verhältnisse für verschiedene Anordnungen in der Thermovisionseinrichtung AGA 680 gemessen.Zur theoretischen Bestimmung der Temperaturverteilung wurde ein in der Literatur[2] für Leiterplatten angesetztes Programm für unsere Verhältnisse modifiziert. Sein Grundprinzip besteht in der Lösung der Laplace-Gleichung für Temperaturübergänge. Nach dieser Methode wird das Substrat in differentiell kleine Elemente aufgeteilt, wobei jedes einzelne als Wärmequelle fungieren kann. Eingabedaten sind die jeweiligen Einzelleistungen der Elemente, die Materialparameter, Substratabmessungen und exposed surface ratio. Ausgabedaten sind die Temperaturwerte der Einzelelemente, die praktisch die Temperaturverteilung in der Anordnung darstellen.

Nachfolgend werden 3 Beispiele vorgestellt. Bild 3 zeigt einen LCCC mit 18 Anschlüssen, der auf einem Substrat 50mm x 35mm x 0,6mm angeordnet ist /Verlustleistung von 0,5W/. Bild 3 a. stellt den theoretischen Verlauf der Temperaturverteilung dar. Bild 3 b. ist die Draufsicht der Anordnung, die mit Hilfe des Farbmonitors AGA aufgenommen wurde und Bild 3 c. zeigt das Temperaturprofil, welches mit Hilfe des AGA-Profiladapter aufgestellt wurde.

Hier in Bild 4 sehen sie die entsprechenden Darstellungen für eine Anordnung von vier LCCC mit jeweils 18 Anschlüssen auf einem Substrat 50mm x 50mm x 0,6mm, wobei zwei der LCCC mit einer Verlustleistung von 0,5W belastet sind.

Abschliesend stellen wir in Bild 5 die Verhältnisse in der Anordnung zwei LCCC mit 52 Anschlüssen auf einem Substrat der Abmessungen 50mm x 50mm x 0,6mm vor. In gleicher Art und Weise kann man beliebige Anordnungen simulieren, wobei auch zweiseitig bestückte Anordnungen untersucht werden können.

Aus den erhaltenen Ergebnissen kann man nachfolgende Schlußfolgerungen ziehen:

- für LCCC mit 18 Anschlüssen stimmen die Werte der theoretisch ermittelten Temperaturverteilung weitgehend mit den gemessenen überein; die mit den Programm berechneten Werte geben eine gute Vorstellung von den tatsächlich in der Anordnung bestehenden Verhältnissen,
- bei LCCC mit 52 Anschlüssen, deren Fläche im Verhältnis zum Substrat nicht vernachlässigt werden kann, stimmen die berechnete Werte mit den gemessenen nicht so gut überein; diese Aussage un-

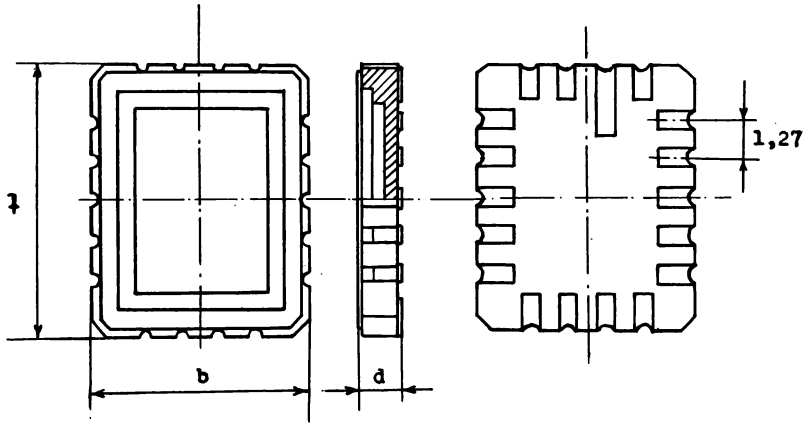
terstreicht ebenfalls der Fakt, das aufgrund der veränderten Größenverhältnisse von LCCC zu Substrat eine inhomogene Temperaturverteilung auftritt und damit die Laplace-Gleichung nicht mehr vollständig gültig ist,
- das exposed surface ratio sinkt mit wachseder Packungsdichte der Anordnung, jedoch liefern die Elemente, die nicht als Wärmequelle fungieren, keinen Beitrag zur Temperaturverteilung,
- der Abstand l zwischen Substrat und Gehäuse /siehe Bild 2/ ist vor allem bei kleinen LCCC ein kritischer Parameter; in diesem Fall entsteht der gröste Temperaturgradient zwischen Gehäuse und Substrat; diese erzeugt mechanische Spannungen in den Kontakten; bei gröseren LCCC entsteht der gröste Temperaturgradient gewöhnlich direkt im Gehäuse und demzufolge werden die Kontakte nicht so stark mechanisch belastet.

Zusammenfassung

LCCC eignen sich besonders für anspruchsvolle Anwendungen. Sie gewähren eine hohe Zuverlässigkeit auch bei Leistungsbauelementen. Es ist jedoch notwendig, die Temperaturverhältnisse genau zu kennen. Damit schaffen wir alle Voraussetzungen, durch einen geeigneten technologischen Prozeß mit angepaßter Materialauswahl gute Verbindungseigenschaften zu erreichen.

Literatur:

[1] Anonym: Nomogramy v tranzistorové technice, SNTL, Praha 197(
[2] Howell,J.: Heatsink simulation on a personal computer, Electronics&Wireless World, November 1986



Anschlüsse	Abmessungen		
	l [mm]	b [mm]	d [mm]
18	8,89	7,24	1,9
52	19,05	19,05	2,8

Bild 1. Abmessungen der beiden Typen in der CSSR entwickelte LCCC

Tabelle I. Haupteigenschaften des verwendeten Al_2O_3 Keramik-Material

Farbe	dunkel violet
Ansaugfähigkeit	0 %
Biegungfestigkeit	200 MPa
Wärmeleitfähigkeit	min. 16 $Jm^{-1}s^{-1}K^{-1}$
Ausdehnungskoeffizient	bis 800°C $7,5.\ 10^{-6}\ K^{-1}$
Isolationswiderstand	bei 20°C 10^{11}
	bei 300°C 10^{6}
	bei 500°C 10^{4}

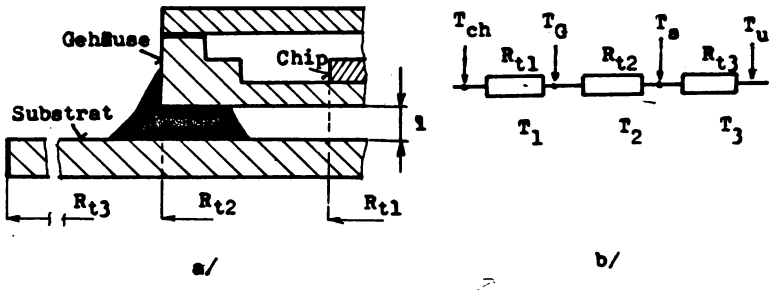
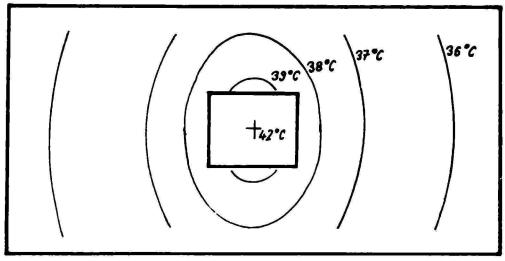
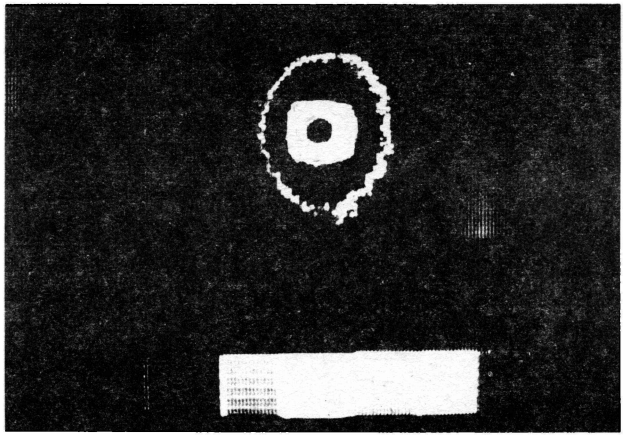


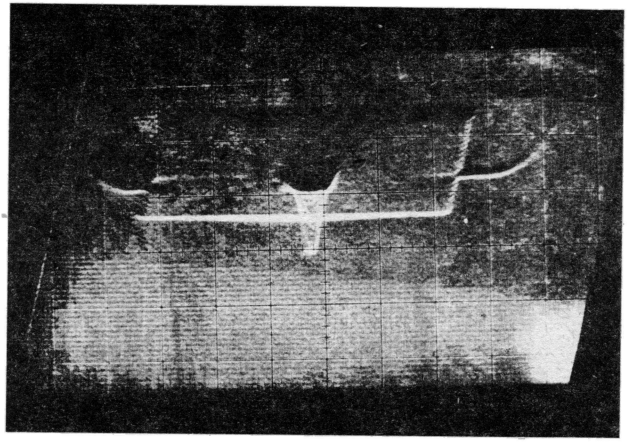
Bild 2. Querschnitt des auf dem Substrat gelöteten LCCC mit einem Chip



a/

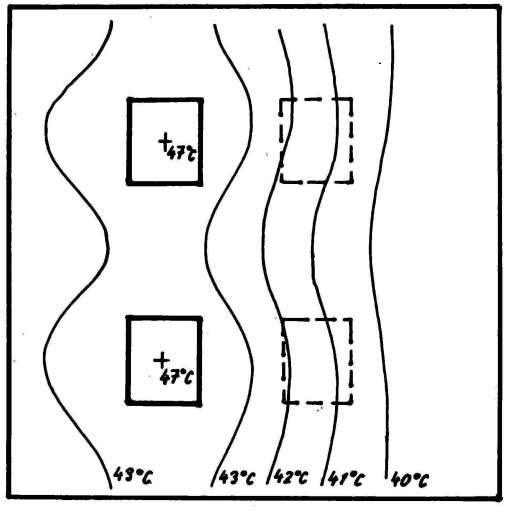


b/

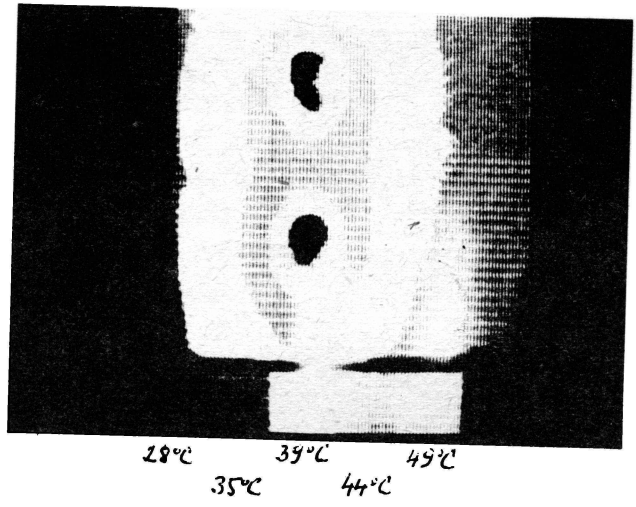


c/

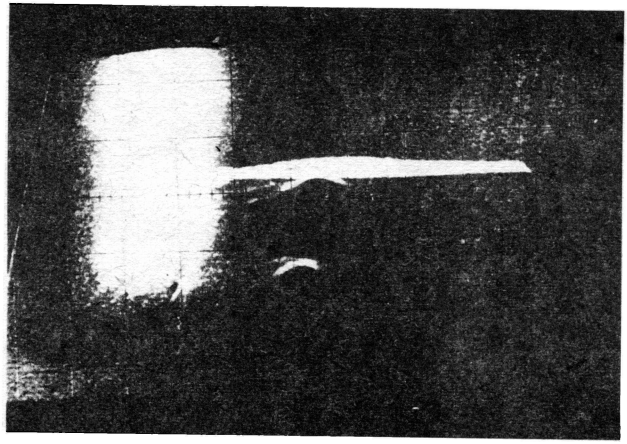
Bild 3. Temperaturverteilung auf einem Substrat /50 x 25 x 0,6/ mm bestückte von einem LCCC mit 18 Anschlüssen /Verlustleistung von 0,5 W/.



a/

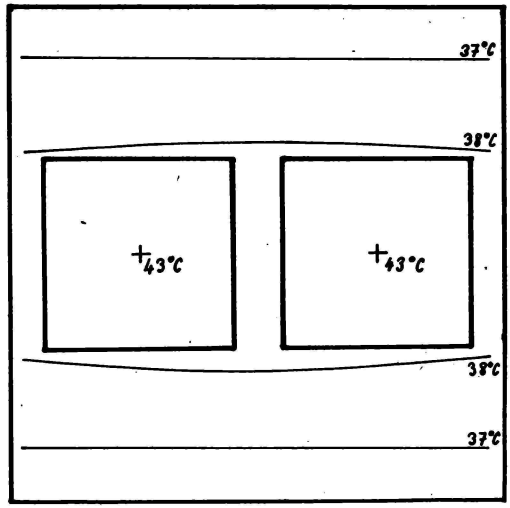


b/

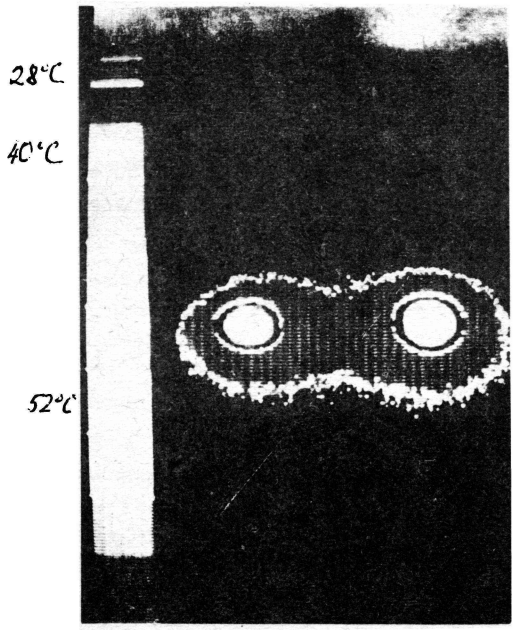


c/

Bild 4. Temperaturverteilung auf einem Substrat /50 x 50 x 0,6/ mm bestückte von zwei LCCC mit 18 Anschlüssen /Verlustleistung zweimal 0,5 W/.

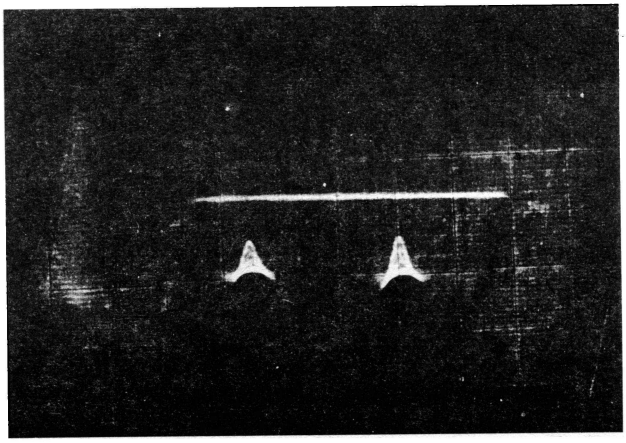


a/



b/

C19110



c/

Bild 5. Temperaturverteilung auf einem Substrat /50 x 50 x 0,6/ mm bestückten von zwei LCCC mit 52 Anschlüssen /Verlustleistung zweimal 0,5 W/.

SORTIMENTSSCHWERPUNKTE UND ÖKONOMISCHE EFFEKTE BEIM EINSATZ VON ASIC'S

Benning, K., Dipl.-Ing., Dresden, DDR

Mit den Systemen U 1500 (Standardzellenentwurfssystem) und U 5200 (Gate Array) stehen den Anwendern die ersten ASIC-Systeme zur Verfügung, mit denen digitale anwendungsspezifische Schaltkreise im LSI-Niveau entworfen werden können.
Jedes System hat ganz spezielle Einsatzgebiete, für die es eine optimale Lösung des Anwenderproblems darstellt. Die Auswahl des ASIC-Systems kann unter verschiedenen Aspekten durch den Anwender erfolgen:

1. Anwendungsspezifisch-technische Forderungen
   Taktfrequenz, Verlustleistung, Integrationsgrad, realisierbare Strukturen, Gehäuse, Zuverlässigkeitsproblematik usw.
2. Ökonomie
   Entwicklungskosten, Bauelementepreis, Entwicklungszeit, vorgesehene Stückzahlen, Musterbereitstellungszeit usw.
3. Entwurfsunterstützung
   Umfang und Leistungsfähigkeit des Zellenkataloges, CAD-System, Systemdokumentation usw.
4. Freiheitsgrade im Entwurf
5. Secound-Source-Problematik.

Einsatzgebiete und Anwendernutzen von ASIC's

Nahezu alle Bereiche der Industrie fordern zunehmend problemangepaßte Schaltkreise zur Lösung ihrer Entwicklungen, da sich mit ihnen der Entwicklungs- und Herstellungsaufwand senken läßt, bedeutende Steigerungen in der Arbeitsproduktivität sowohl in Entwicklung als auch bei der Produktion der Finalerzeugnisse erreichbar sind. Erzeugnisbezogen bringt der ASIC-Einsatz folgende Effekte:

- Einsparung von 0,5 ... 2 Leiterplatten
- Einsparung von Fertigungszeit (1 ... 3 Stunden)
- Reduzierung von Masse, Volumen und Energieverbrauch bei gleichem Schaltungsäquivalent um den Faktor 10 ... 100
- Zuverlässigkeitserhöhung für die in ASIC's integrierten Schaltungsteile um den Faktor 100
- Reduzierung der Aufwände für Lagerhaltung, Service.

Der Einsatz von ASIC-Schaltkreisen ermöglicht für die Finalerzeugnisse bedeutende Erweiterungen im Funktionsumfang und die Realisierung batteriebetriebener Geräte.

Diese Effekte werden aber durch ASIC's nur bei verhältnismäßig kleinen Stückzahlen (wenige Tausend jährlich) wirksam, wobei der Standardzellenweg gegenüber dem Gate-Array-Weg für die größeren Stückzahlen günstiger ist.

Unter den ca. 80 ASIC-Typen dieser Systeme sind die hauptsächlichsten Anwendungsgebiete derzeit die Nachrichtentechnik, Steuerungs-/ Regelungs-/ Automatisierungstechnik und die Rechentechnik einschließlich der Bildverarbeitungstechnik.
Dabei entstehen ASIC-Schaltkreise als ökonomisch günstigste Lösung bei neuen Erzeugnissen mit vielfach völlig neuen Eigenschaften (Mehrzahl der Entwürfe) als Ersatz von bisherigen Leiterkartenbaugruppen (lohnenswert nur bei sehr langfristigen Erzeugnislinien, deshalb wenig vertreten) und als Entwicklungsunterstützung für spätere VLSI-Schaltkreise.

Einige Schaltkreisrealisierungen, die nachfolgend vorgestellt werden, sollen die Vielfalt der Einsatzgebiete sowie die damit erzielten Effekte belegen:

U 5201 PC - 133 IEC-Bus-Interface-Schaltkreis

Das Bauelement ist ein Schaltkreis für den Einsatz in elektronischen Geräten mit byteseriellem bitparallelen Interface nach TGL 42039 bzw. IEC-Standard 625. Er ist konzipiert für Geräte des Typs Listener und/oder Talker und/oder Controller. Hardwaremäßig sind alle in der Norm enthaltenen IMS-2-Interfacefunktionen mit Ausnahme der Controllerfunktion realisiert. Zur Implementierung der Controllerfunktion sind zwei Steuersignale vorgesehen. Die Kopplung mit dem IMS-2-Bus ist über externe invertierende Treiber und Empfänger vorgesehen. Bei einer typischen Taktfrequenz von 2 MHz beträgt die übertragene Datenrate 250 k Byte/s.
Der Schaltkreis ist ähnlich dem HEF 4738.

Erzielte Effekte durch den Gate-Array-Einsatz im Vergleich zu der diskreten Lösung mit der gezeigten Kartenbaugruppe (Dia 1):
- Ersatz von 82 Standardschaltkreisen
- Einsparung von drei Leiterkarten, dadurch rapide Volumenreduzierung

- Einsparung von 36 Stunden Montage - sowie ca. 10 Stunden Inbetriebnahmezeit pro Gerät
- Verlustleistungsreduzierung von 2 W auf 50 mW, d.h. auf 2,5 %
- Erhöhung der ausfallfreien Betriebsdauer um 500 %
- Reduzierung der Lagerhaltungskosten um Faktor 90

U 5201 PC - 106 Zählerschaltkreis

Dieser Schaltkreis ist für Bilderkennungssysteme in vollautomatischen Drahtbondern konzipiert. Er enthält als Funktionsgruppen 4 · 12 bit Zähler, 3 12 bit Größenkomparatoren zur Minimalwertsuche und 2 bit Erkennungslogik zur Zählerkodierung.

Erzielter Anwendernutzen:

durch den Einsatz von 6 Bauelementen U 5201 PC-106 werden funktionell eingespart
- 72 Logikschaltkreise, 4 Mikroprozessoren U 880, 50 Interfaceschaltkreise
- 4 Steckplätze im Bilderkennungssystem
- 8 A Stromeinsparung.

Das Dia 2 zeigt den Vergleich der Ablösung von vier Kartenbaugruppen des K 1520-Formats durch 6 Gate-Array-Bauelemente.

U 5201 PC - 111 Floppy-Disk-Steuerschaltkreis

Dieser Gate-Array-Schaltkreis realisiert sämtliche Logikfunktionen eines Folienspeicherlaufwerkes mit den Baugruppen:
- Interfacelogik
- interne Steuerlogik
- Schrittmotorsteuerung.

Dia 3 und 4 zeigen die konventionelle und Gate-Array- bestückte Leiterkarte der Laufwerksteuerung. Neben den 30 % Leiterplatteneinsparung ermöglicht der Schaltkreis eine Erhöhung des Funktionsangebotes durch zusätzlich implementierte Selbsttestlogik. Dies führt zu einer Erhöhung der Störsicherheit des Laufwerkes.

U 5201 PC - 124 Fernsehimpulsgeberschaltkreis

Dieser Schaltkreis wird eingesetzt zur Impulserzeugung in Fernsehkameras. Er erzeugt sämtliche quarz-, netz- als auch fremdsynchronen Impulse für Fernsehkameras, Impulszentralen sowie Einrichtungen

der Bildsignalmischung und -auswertung.
Erzielte Effekte:
- Realisierung einer derartigen Vielfalt an Normen und Synchronisationsarten ist mit konventionellen Methoden bei vertretbarem Aufwand nicht möglich.
- Erhöhung der Zuverlässigkeit durch vorzugsweise Anwendung digitaler Strukturen.
- Gate-Array ermöglicht eine rechnergestützte Baugruppenprüfung.
- Reduzierung der Stromaufnahme und des Volums gegenüber dem Aufbau als diskrete Schaltung um den Faktor 100.

U 1500 PC - 004 Biteinheit zur Verarbeitung Boolscher Gleichungen

Die Biteinheit ist ein Standardzellenschaltkreis, der für die Verarbeitung Boolscher Gleichungen in speicherprogrammierbaren Steuerungen entwickelt wurde. Die IS setzt die Boolschen Gleichungen in eine Folge von bedingten Sprungoperationen um.

Erzielte Effekte:
- Ersatz von 23 Standard-Schaltkreisen
- Verbesserung des Masse-Leistungsverhältnisses der Verarbeitungseinheit
- 88 % Energieeinsparung

U 1520 PC - 001 16 x 16 bit Multiplizier- und Akkumulatorschaltkreis

Dieser Schaltkreis ist konzipiert für Einsatzgebiete der digitalen Signalverarbeitung, digitalen Filtertechnik und Rechner-Erweiterungen (Hardware-Arithmetik). Er realisiert folgende Funktionen:

16 x 16 Bit-Parallelmultiplikation
16 x 16 Bit-Parallelmultiplikation mit Akkumulation zu 19 Bit-Ergebnis in 400 ns
Datenzwischenspeicherung
Zahlendarstellung als vorzeichenbehaftete Dinärzahl oder im Zweierkomplement

Erzielte Effekte:
Mit dem U 1520 PC -001 ist bei geringem Hardwareaufwand und Stromaufnahme eine 16 x 16 Bit-Multiplikation in weniger als 400 ns möglich.

Erreichter Arbeitsstand und perspektivische Aufgaben des VEB KCZ auf dem ASIC-Sektor

Ausgangspunkt der Entwurfsarbeiten in den Systemen U 1500 / U 5200 sind das Schaltungsproblem beschreibende Boolsche Gleichungen. Sie werden auf Logikebene mittels des CAD-Systems in den strukturellen Bereich des jeweiligen ASIC-Systems überführt. Die so erzeugte Schaltungsstruktur aus Gattern und Flipflops wird vom CAD-System auf die Zellstruktur des physikalisch/ geometrischen Bereichs und damit auf den Schaltkreis projeziert.

Ziel der Weiterentwicklungen ist gegenwärtig eine bedeutende Erhöhung des Integrationsgrades, der Verarbeitungsgeschwindigkeit, eine Verkleinerung der eingesetzten Strukturen und wesentliche Erweiterungen des Funktionsangebotes. Es wird mit den nächsten Systemen möglich sein, komplexere Funktionsgruppen im Sinne von parametrisierbaren Modulen zu verwenden (RAM, ROM, RLA).

Neben der Einbindung neuer Funktionsgruppen in die CAD-Systeme, der Weiterentwicklung von Programmkomponenten werden neue Möglichkeiten der Schaltungseingabe die CAD-Systeme erweitern. So werden zukünftig neben der Netzbeschreibungssprache auch Grafikeingabe und höhere Beschreibungssprachen zum Einsatz gelangen, da VLSI-Schaltkreise nicht mehr überschaubar auf Gatterniveau darstellbar sind.

KUNDENWUNSCHSCHALTKREISE DES ISA-SYSTEMS

Neugebauer, G., Frankfurt (O), DDR

1. ISA-Konzept

Das ISA-System ist ein bipolares Schaltkreisentwurfssystem zur Realisierung digitaler und analoger ASIC's. Die Systembezeichnung "ISA" steht für Integrierte Schaltungs-Anordnung. Das ISA-System wird vom VEB Halbleiterwerk Frankfurt (O) angeboten und produziert.

Dem ISA-Konzept liegen erprobte Grundchips (Master) mit fester Elementeanordnung zugrunde, auf denen die Verdrahtung variabel aufgebaut wird. Alle Einzelelemente sind frei zugänglich und es gibt eine sehr große Anzahl von Möglichkeiten, diese Elemente durch ein entsprechendes Leitbahnmuster zu verbinden.

Dem Anwender stehen mehrere ISA-Grundchips und ein entsprechendes DIP-Gehäusesortiment zur Verfügung. Zur Herstellung eines ISA-Kunden-Schaltkreises sind nur die kundenspezifischen Ebenen, d. h 1x Kontakt und 1x Alu zu entwerfen. Für diesen Entwurf steht die Entwurfssoftware ISACAD zur Verfügung.

2. Entwicklungsablauf

Die Entwicklung von ISA-Schaltkreisen setzt die Arbeitsteilung zwischen dem ISA-Kunden und dem IS-Hersteller voraus. Die Leistungen, die der ISA-Kunde für die IS-Entwciklung zu erbringen hat, sind:

- der Schaltungsentwurf
- der Layoutentwurf
- und der Entwurf und der Bau der typspezifischen Serienmeßtechnik.

Der ISA-Kunde erhält nach Abgabe der Layoutdaten im Halbleiterwerk Frankfurt (O) innerhalb von 4 Monaten geprüfte Schaltkreismuster. Nach der Bereitstellung funktionstüchtiger und kenndatengerechter Muster erfolgt die Produktionseinführung des Kunden-IS im Halbleiterwerk Frankfurt (O). Damit werden die Voraussetzungen für eine bedarfs- und qualitätsgerechte Serienproduktion geschaffen.

3. Chipsystem

Um verschiedene Anwenderforderungen rationell und schnell zu lösen, stehen mehrere bipolare Grundchips zur Verfügung (Abb. 1). Die Grundchips ID 80 und ID 90 sind für den Entwurf von analogen IS konzipiert und die Grundchips ID 40, ID 50, ID 60 und ID 70 sind für digitale und digital-analoge Schaltungen geeignet.

Abb. 1

Grundchip		ID 40	ID 50	ID 60	ID 70	ID 80	ID 90
U_{CC} (V)		----------	----------	20	----------	----------	
Bondinseln		40	40	28	40	28	16
Gehäuse	DIP 14/S 014						x
	DIP 16/S 016						x
	DIP 18					x	
	DIP 28	x	x	x	x	x	
	DIP 40	x	x		x		
	QFP 48	x	x		x		
Transistoren		1072	648	586	754	288	90
Analog-Zellen		-	15	-	9	12	4
Digital-Zellen		24	6	12	12	-	-

Alle Grundchips sind aus identischen Elementen (Transistoren, Kapazitäten, Widerstände) aufgebaut. Mehrere Elemente sind zu Zellen zusammengefügt. Je nach vorbestimmtem Einsatzzweck enthalten die Grundchips analoge, digitale und Interface-Zellen. Die Zellen sind so ausgeführt, daß eine Verdrahtung in einer Metallebene problemlos möglich ist. Die Grundchips besitzen Hauptverdrahtungsbereiche für U_{CC} und Masse, die kammartig ineinander greifen können, ohne die Zellenverdrahtung zu stören.
Die Layoutkonstruktionspunkte, d. h. die möglichen Leitbahnführungen und die zugelassenen Kontakte liegen in einem 90^{o} Raster. Damit sind fast immer gerade Leitbahnführungen möglich.

4. Entwurfssoftware ISACAD

Das Programmsystem ISACAD setzt die kundenspezifische Schaltung in das Symbollayout der Leitbahnen und Kontaktfenster um.

Das Programm besteht aus zwei Teilen:

1. dem Programm zum Entwurf der digitalen Layoutteile (DISA)
2. dem Programm zum Entwurf der analogen Layoutteile (AISA), einschließlich der Randelektronik.

Die Schritte, die der ISA-Kunde durchführen muß, um vom Schaltplan zum Layout zu gelangen, sind:

- die Netzwerkeingabe
- die Schaltungssimulation
- und die Symbollayouterzeugung.

Die Netzwerkeingabe kann auf verschiedenen Niveaus erfolgen:
- als Transistoreingabe (AISA, DISA), als Logikeingabe (DISA), durch Boolsche Beschreibung (DISA), als Blockeingabe (DISA) und als Symbollayout (AISA, DISA).

Aus der nach der Netzwerkeingabe vorhandenen und simulationsgeprüften Schaltungsstruktur wird das Symbollayout automatisch erzeugt. Nach Fertigstellung des A- und DISA-Symbollayouts müssen beide Teile manuell zusammengefügt werden. Dies kann grafisch und alphanumerisch erfolgen. Das so entstandene Gesamtlayout wird anschließend ins Maskenlayout umgesetzt und der Prozeß der Musterpräparation kann beginnen.

Das ISA-System wird in dieser Form seit Ende 1987 im VEB Halbleiterwerk Frankfurt (O) für den Kunden-IS-Entwurf eingesetzt. Dieses System steht außerdem den Entwurfszentren der Anwenderkombinate, den Ingenieurbetrieben und sonstigen Interessenten zur Nachnutzung und Nutzung im Halbleiterwerk Frankfurt (O) zur Verfügung.

CM 820 ein kundenspezifische integrierte Schaltung mit Standardzellen realisiert

Nikolova N., Dipl.Ing., Institut für Mikroelektronik - Sofia

Kokalitschev N., Dipl.Phys.,Institut für Mikroelektronik - Sofia

Einleitung

Kundenspezifischen oder applikationspezifischen IC's (ASIC) finden heute in fast allen Bereichen der Konsum- und Kommunikationselektronik, in verschiedenen Computersystemen und Peripheriegeräten, bei Werkeugmaschienen und Idustrieroboter-steuerung als auch in der Automobilindustrie Verwendung.

Welches ASIC-Baustein (Gate Array, Standardzellen, PLD usw.) in konkreten Anwendungsfall am besten einsetzbar ist läßt sich anhand der folgenden Randparameter relativ leicht über prüfen:

- Entwicklungszeit,
- Entwicklungskosten,
- Einsetzbare CAD - System,
- Bausteinkosten.

Standardzellen bieten jedoch mehr Flexibilität als Gate Arrays. Hersteller hat eine "Bibliothek" von elementaren Logikzellen (Gatter,Flipflops) auch hochkomplexer Macros (ROM,RAM) entwikkelt;der Kunde kann sich dann daran seine individuelle Schaltung zusammensetzen und ganz für sich produzieren lassen. Derartigen Bausteinen sind zwar teurer und benötigen längere Entwicklungszeit, dafür sind sie aber flexibler und bringen mehr Funktionen auf einem Chip.

CM820 - Schaltungsbeschreibung

Als Ergebnis diesen Überlegungen war für CM820 die Standardzellenrealisation ausgewält. Der Baustein wird im Automobilelektronik Anwendung haben. Es ist für einen direkten Betrieb in 8-bit Mikrocomputer Systeme (I 8048) konzipiert.

CM820 - Block Diagram - Fig.1.

- Quartzoscillator - 6MHz - Taktgeber für die ganze Systeme;
- Echzeituhren:

  TIMER 1 - 23 Stunden, 59 Minuten,

  TIMER 2 - 167 Stunden 59 Minuten,

  TIMER 3 - 59 Minuten,59,9 Sekunden;
- Speicher - RAM mit 64 x 8 Byte Organisation;
- Peripheriendaten Verarbeitung und Display Steuerung;
- Befehlsregister- 8 bits und Statusregister- 8 bits.

Die Kommunikation zwischen CM820 und der Mikrocomputer erfolgt über 8 bidirektionale Data Busses (D7 - D0) und 4 Steuerungssignale (ALE,CS,RD,WR).

TIMER 1 und TIMER 2 ermöglichen schreiben und lesen. Auch Alarm Funktion ist möglich.Resultat wird in den Statusregister eingeladet.

TIMER 3 ist nur für lesen. Mit aktiv low in bit 2 von Befehlsregister ist der Start/Stop Kommando erlaubt. Jedes Stop Kommando stellt logisch 0 in allen Zählern von TIMER 3.

Mit Hilfe den Display Drivern wird Intesität gesteuert

Zellenbibliothek

Die Zellenbibliothek ist in der Institiut für Mikroelektronik Sofia entwickelt.

Es stellt folgenden Standardzellengruppen zu verfügung:

gung:

- Einfachsgatter (Inverter, verschiedene NAND- NOR-Gatter)

- Komplexgatter (z.B. EXOR- ,EXNOR-, AND-NOR und OR-NAND-Gatter,Multiplexer),

- Latches (verschiedene RS-und D- stastische Latches),

- Flipflops (RS- und D-flipflops),

- Spezialzellen (z.B. RAM, Oscillatoren),

- Eingangsschaltungen (CMOS- oder TTL-kompatibel, invertierend oder nicht invertierend, mit oder ohne Tristate-Logic, mit oder ohne Pullup Widerstand),

- Ausganzellen (CMOS- oder TTL-kompatibel,invertierend oder nichtinvertierend, mit oder ohne Tristate-Logik, mit oder ohne Pullup Widerstand, Open-Drain-Version),

- Bidirektionale E/A Schatungen(TTL-kompatibel, Tristate Ausgang).

Die Höhe der elementaren Logikzellen ist festgelegt, Breite ist Funktion von der Komplexität. Fig.2. zeigt eine typische Flipflopzelle.

Zusammenfassung

Mit Hilfe einen Standardzellenbibliothek ist eine Kundenschaltung entwickelt.Auf eine Chipfläche von ungefähr 42.25 mm sind nahe 11000 Transistoren integriert.Die Herstellung von CM820 erfolgt in einem P-Well Si-Gate-CMOS Prozeß mit 4 µm Kanallänge.

Alle Phasen der Entwicklung wurden mit entsprechenden CAD-Hilfen erfolgt.Fig.3.zeigt zum Beispiel Resultat von Simulation.

Das Produkt ist im Temperaturbereich -40...+105°C verfügbar.

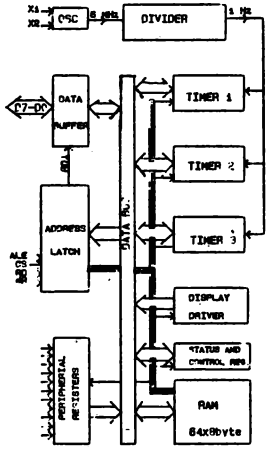


Fig.1. CMA20 - Block Diagram

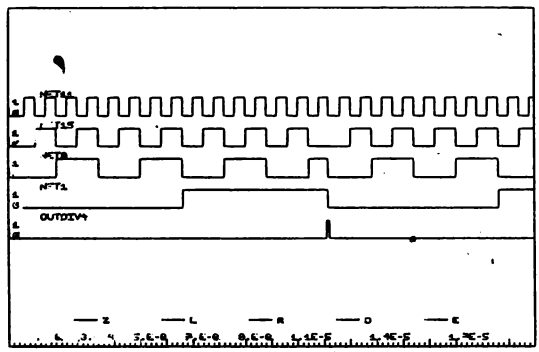


Fig.2.

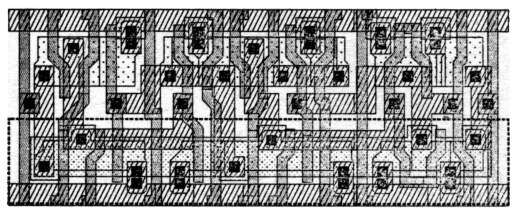


Fig.3.

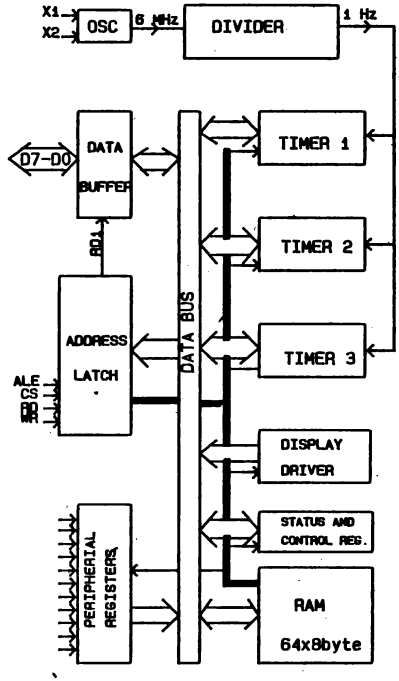
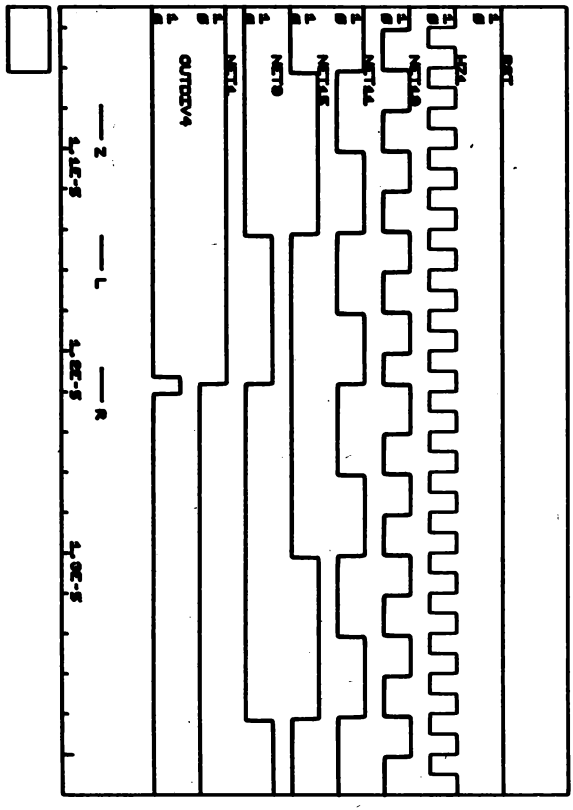


Fig.1. CM820 - Block Diagram


VCC
NET4
NET4A
NET4B
NET4C
NET4D
NET3
OUTDRV4
NET4
— Z
— L
— R
1.0E-9
1.0E-9
1.0E-9

CMOS GATE-ARRAY CIRCUIT - MAGNETIC TAPE UNIT DECODER

Borshukov D.,Dr.,IME,Sofia,Bulgaria
Hristova I.,Dipl.Eng.,IME,Sofia,Bulgaria
Milanova T.,Dipl.Eng.,IME,Sofia,Bulgaria
Kisyov V.,Dipl.Eng.,CIITT,Sofia,Bulgaria
Markov L.,Dipl.Eng.,CIITT,Sofia,Bulgaria

ABSTRACT

The MTU decoder is a semicustom integrated circuit with an universal application in formatters and controllers for 9-track magnetic tape units utilizing standard phase encoding (PE) and non return to zero (NRZI) data recording modes.
The decoder circuit operation is described and main parameters are provided. The decoder is implemented as a 3 micron CMOS 800 gates gate array.

1.INTRODUCTION

There are many technics for digital information recording onto magnetic tape. The most widely accepted methods for parallel data recording onto 9-track 12.7 mm wide tape are the NRZI and the PE modes. There are several international standards for these technics [1].
A series of magnetic tape units /MTU/ for mini-computers produced in Bulgaria comprises PE/NRZI MTU with tape velocity of 12.5, 25, 45 and 75 ips and streaming PE MTU with tape speed of 25, 50 and 100 ips. The NRZI/PE data formatting is done by a separate formatter with Industry Standard Interface [2], while the interface adapter is placed in the computer and the formatter is integrated in one of the MTU's. The heart of such formatter is the present CMOS decoder IC.

2.DECODER OPERATION AND CHARACTERISIICS

The block diagram in FIG.1 represents one PE/NRZI decoding channel realized on a single chip CMOS gate array IC - CMM 08C002.The formatted data (RDDT), read from the MTU, are multiplexed with

the data to be written (WDDT). WDDT data is enabled only during the diagnostic mode "loop write-to-read" (LWR). RDDT data is fed through a schmitt trigger input buffer, the multiplexer output signal is filtered using a pulse-width discriminator /FILT/ and is then differentiated. Differentiated PE data /PEDIFF/ enter the PE programmable decoder and 8-bit FIFO buffer. Correction (if needed) is carried out and postambule and interrecord gap are detected as well. The PE control signal WNDW is active at about 75% of the data period after the last data transmission of RDDT. The signal ERRT is active at about 130% of the data period if no data transition has been detected. The presence of ERRT together with parity control error signal /*ODDP=1/ activate decoded data /DCDT/ correction, and corrected data is transferred to output CDCDTA. The WNDW and ERRT gates can be optionally altered by a step of 4% within ranges 64%-80% and 124%-140% respectively, according to different patterns applied on CTL1, CTL2 and CTL3 inputs. Two more signals are generated from this block - a FIFO buffer overflow /*SKW/ and a detected phase error signal.

FIFO-buffer decoded data are read out with the rising edge of FCLK. All decoded PE/NRZ1 data, corrected data, the CRC bit and the error correction pointers are multiplexed to DCDTA output. The multiplexer is controlled by PE, CTL1, CTL2 and CTL3 signals. Through a 4-to-1 multiplexer DCDTA and PE/NRZ1 corrected data appear at the CDCDTA output. The existing multiplexers allow for simple external out-control circuit. Aiming at universal application, some of the multiplexed signals are available at explicit outputs. The decoder is synchronized with the rising edge of the VFO frequency, which is 23.5 times tne MTU nominal read data frequency for a given velocity. All input signals, except for RDDT and WDDT, are generated from external input-control circuit.

The described gate array MTU decoder circuit has broad application in formatters and controllers for PE/NRZ1 MTU with up to 3.19 m/S tape velocity. TABLE 1 summarizes the main decoder parameters.

3.GATE ARRAY IMPLEMENTATION

The MTU decoder IC utilizes one of the basic chips (master slices)developed by IME - Sofia within the 3-micron CMOS BMK series [3].The basic chip contains 800 gate-equivalents (2-input NAND gates),features 4.53mm x 4.0mm chip size and 4nS delay/gate. It uses single level metalization and its funttion is defined by one mask.

Input buffers are TTL compatible (except for RDDT and VFO, which are schmitt trigger buffers). The output buffers driving capability is two TTL loads. The decoder design utilizes 12 different elements from the associated gate array library. CAD tools were extensively used in the process of schematic capture, design verification, simulation, placement and routing.

TABLE 1

PARAMETER	VALUE	DIMENSION
Max MTU tape velocity	3.19	m/S
Max PE decoded data frequency	4.7 + 0.94	MHz
Max VFO frequency	6.0	MHz
FIFO buffer capacity (PE)	8	bit
PE and NRZ1 data correction	YES	-
Power supply voltage	5.0 + 0.25	V
Power consumption	< 20	mW
Technology	CMOS	-
Package	28	pin
TTL MSI/LSI equivalence	55	chip

REFERENCES:

[1] ISO 1863, ISO 3788

[2] NM MPK PO VT 115-87.
Streaming tape units interface.

[3] Borshukov D., Milanova T., Popova D.,
"CMOS Gate Array", Proceedings of the V International Conference "Microelectronics'86", 1986, Plovdiv

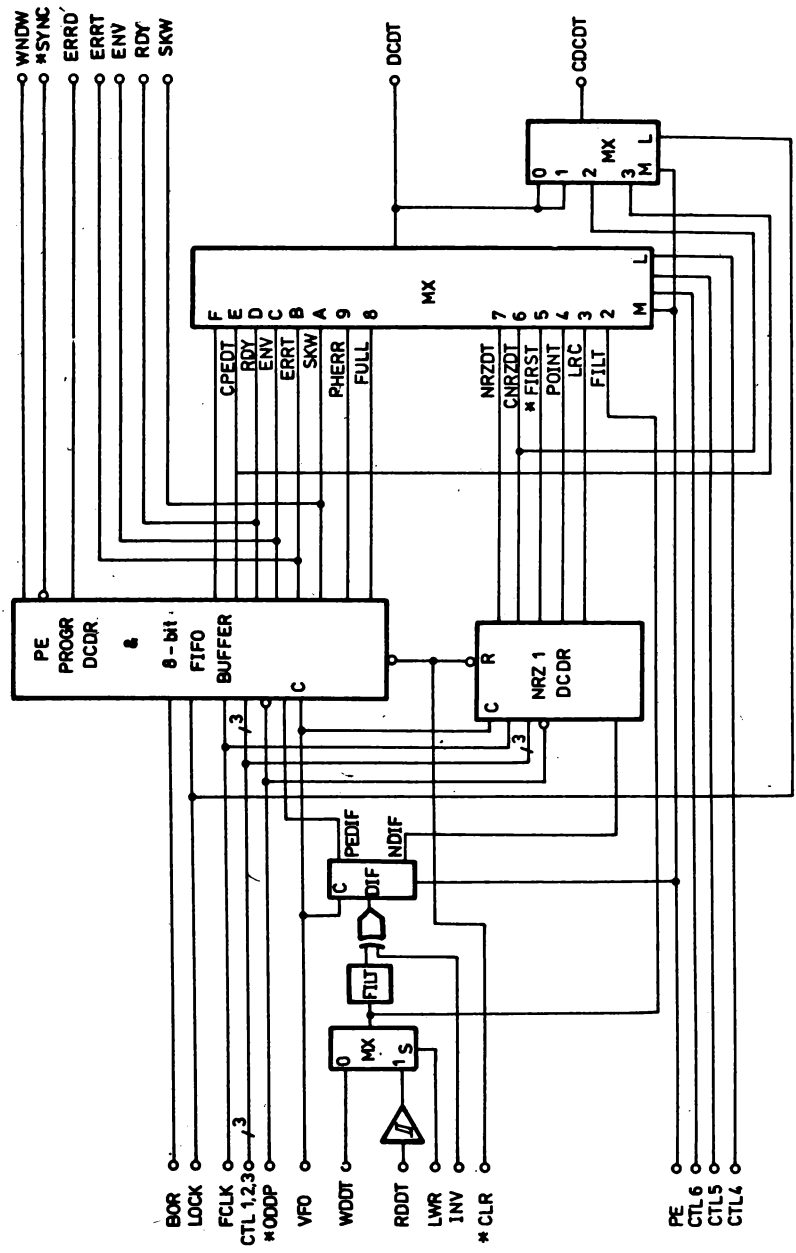


FIG. 1 Block diagram of a PE/NRZ1 data MTU decoder

ФАМИЛИЯ КМОП ИС ДЛЯ СЕЛЕКТИВНОГО ВЫЗОВА

Димитров П. -ст. н. с., к. т. н., инж., ИМЕ, София, НРБ
Найденов В. -н. с., инж., ИМЕ, София, НРБ
Семова Н. -н. с., инж., ИМЕ, София, НРБ
Лулчева С. -н. с., физик, ИМЕ, София, НРБ
Кунев Б. -н. с., инж., ИМЕ, София, НРБ

Разработанная фамилия КМОП ИС находит применение в УКВ системах, использующих метод селективного вызова. При таком методе осуществляется связь по общему каналу. При установлении связи между индивидуальными станциями остальные находятся в выключенном состоянии. Таким способом передается информация только к желанному потребителю. Селективный вызов использует для адресования кодового слова, состоящегося из пяти последовательных тонов каждый с продолжительностью <100ms, которые передаются из основной диспетчерской станции. В приемных станциях тоны декодируются. Если декодированый адрес совпадает с адресом приемника, он включается и излучает звуковой сигнал.

Для адресирования используются 12 различных тоновых частот с кодовыми номерами от 0 до 9, ПОВТОРЕНИЕ и ГРУППА и могут оповещаться до 100 000 потребителей. Тон ПОВТОРЕНИЕ используется если в адресном слове имеются две последовательные одинаковые цифры. Тон ГРУППА можно включит в адресное слово, он принимает значения от 0 до 9. Так оповещается одновременно желанная группа потребителей. Остальные символы - служебные.

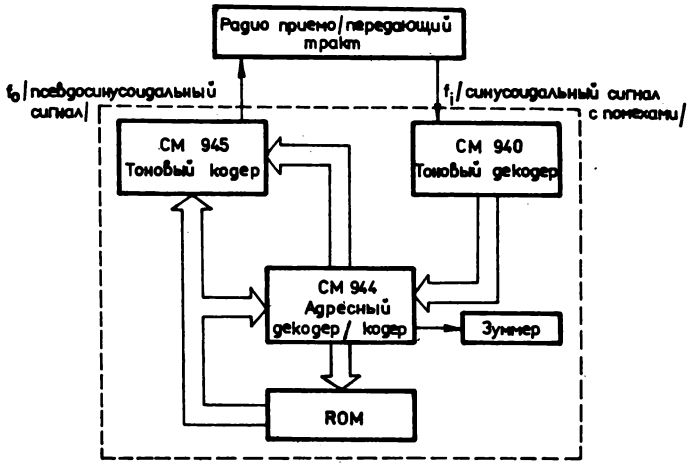
Для селективного вызова используется HSC /шестнадцатичный последовательный код/ кодовый формат использующий "закрытый" кодовый протокол. Этот формат позволяет высылать адресы и информационные сообщения без взаимного влияния; адресы могут быть разной длины в сообщительной сети; обеспечивается надежная защита от ошибочного декодирования адреса из-за помех или речевых сигналов по каналу связи. Тоновые частоты которые используются для селективного вызова установлены международными стандартами ZVEI, CCIR, EEA и EIA.

Разработанная фамилия ИС для селективного вызова может работать как микропроцессорная периферия и как самостоятельные устройства.

ФАМИЛИЯ КМОП ИС ДЛЯ СЕЛЕКТИВНОГО ВЫЗОВА

Обозн.	Название	Основные функции	Корпус
CM940C	КМОП процессор для селективного вызова.	-Рабочее отношение С/П > 0dB; -Декодирует всех 15 тонов по стандар- CCIR; -Сопоставимые параметры для всех тоновых каналов; -Представление каждого тона в 4-разрядный выходной формат; -Динамический диапазон входного сигнала > 30dB; -Неограниченное число последовательных тонов для декодирования; -Возможность работы с микропроцессором; -Встроенный осциллятор с внешним резонатором; -Типичное время реакции 25ms.	16-DIL кера-мика
CM942	КМОП адресный декодер для селективного вызова	-Декодирует адрес от 1 до 5 цифр; -Декодирует групповой вызов; -Декодирует общий вызов; -Управление кодом выходного звукового сигнала -Встренный таймер для модулирования звукового сигнала; -Выход для включения разговорной схемы; -Память для последнего вызова; -Управление схемы для индикации.	28-DIL кера-мика
CM944	КМОП адресный декодер/ кодер для селективного вызова	-Шестнадцатичный формат последовательного адресного декодирования/ кодирования; -Управление ROM/ПЗУ/ для расширения адресирования; -Декодирует N-цифровой адрес; -Декодирует групповой вызов; -Декодирует общий вызов	28-DIL кера-мика

		-Декодирует служебные коды для инструкции; -Флаг "Данные"; -Управление кодом звукового выхода	
CM945	КМОП тоновый кодер для селективного вызова	-Генерирует всех 17 тонов по CCIR; -4-разрядный входной адрес для селектирования тона; -Автоматичное генерирование тона для повторения; -Автоматичное или внешнее задание продолжительности каждого тона; -Выходной 16-шаговый псевдосинусоидальный сигнал; -Возможность замедления в процессе излучения тона; -Встроенный генератор с внешним резонатором.	16-DIL керамика



Фиг. 1

КМОП АДРЕСНЫ ДЕКОДЕР ДЛЯ СЕЛЕКТИВНОГО ВЫЗОВА СМ 942

Лулчева С., н.с.., физик, ИМЕ, София, НРБ
Димитров П., ст.н.с., к.т.н., инж., ИМЕ, София, НРБ
Кунев Б., н.с., инж., ИМЕ, София, НРБ

Адресный декодер селективного вызова СМ 942 создан для удовлетворения потребностей разработки и производства в нашей стране систем селективного вызова. Использована стандартная КМОП технология, р-карман, кремниевый затвор. В Таблице 1 представлены основные параметры СМ 942:

Таблица 1

Параметры	Размерность	Величина параметра
Рабочая температура	°C	с - 25 до 85
Напряжение питания	V	с 4 до 6
Ток потребления	mA	макс. 0,5
Выходной уровень логической "1"	V	мин. 4,5
Выходной уровень логического "0"	V	макс. 0,5
Входной уровень логической "1"	V	мин. 3,5
Входной уровень логического "0"	V	макс. 1,5
Частота выходного звукового сигнала	кHz	2,12
Тактовая частота	кHz	23,3
Продолжительность звукового сигнала		
- режим декодирования	s	10
- режим начального установления	s	5
Время начального установления	ms	1

Схема имеет 28 выводов, которые описаны в Таблице 2:

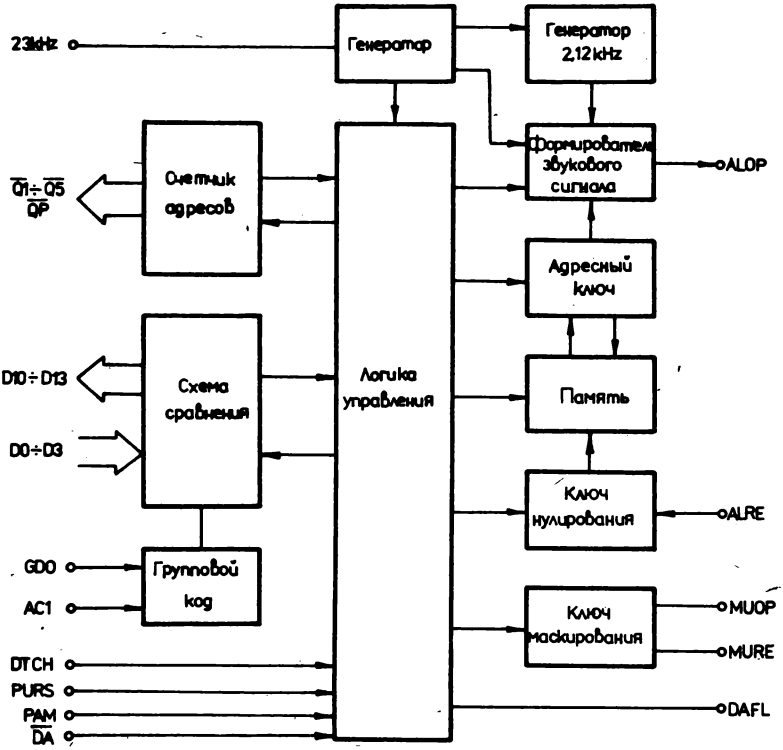
Таблица 2

Вывод	Название вывода	Функция
1	Вход DTCH	Связывается с выводом СМ 940 и получает информацию о смене данных
2	Вход PURS	Наименование схемы при подаче питания
3	Vss	Отрицательный потенциал питания /0V/
4	Вход ALRE	Нулирование звукового выхода

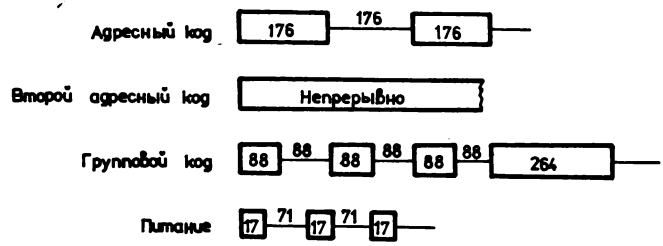
5	Вход DA	Запрет декодирсвания
6	Вход RAM	Установление системы в экономичный режим работы
7	Выход ALOP	Выход звукового сигнала
8	Вход 23кHz	Генератор получает сигнал от СМ 940
9 до 14	Выходы QP, Q1, Q2, Q3, Q4, Q5.	Выходы для адресования внешней памяти
15 до 18	Входы D10, D11, D12, D13	Входы внешней памяти
19	Вход GDO	Для дефинирования группового тона
20	Вход ACI	Запред общего вызова
21	Выход MUOP	Коммутация внешней разговорной схемы
22	Вход MURE	Для нулирования MUOP
23	Ucc	Положительный потенциал питания
24	Выход DAFL	Для разрешения индикации
25 до 28	Входы D0, D1, D2, D3	Для информации от СМ 940

Блоковая схема СМ 942 представлена на фигуре 1. Интегральная схема декодирует адресы от 1 до 5 цифр, вторичный вызов, групповой и общий вызов. Реализирована при помощи статистической и динамической КМОП схемотехники. Динамические элементы управляются двумя парами инвертированными и неприпокрывающимися тактовыми сигналами которые вырабатываются от входной тактовой частоты 23,3кHz. От этой частоты получается частота звукового выхода при помощи делителя на 11.

СМ 942 выполняет адресное декодирование 4-разрядного двоичного кода, который подается с СМ 940. Этот код сравнивается с месным адресом сохраняющимся во внешней памяти - диодный ROM /ПЗУ/. При соответствии двух кодов на звуковом выходе излучается сигнал. Он может иметь разную форму /фиг. 2, время в ms/ в зависимости от полученых служебных тонов: A - групповой код; B - тоны, которые следуют за ним это информация; C - второй код, на звуковом выходе излучается непрерывный сигнал; D - выключает внешнюю разговорную схему, на звуковом выходе нет сигнала; E - заменяет вторую цифру при двух последовательных цифрах в коде; F - служебный код, когда не передается никакая информация; DC - код для стирания памяти.


23kHz
Генератор
Генератор 2,12 kHz
Формирователь звукового сигнала
ALOP
Счетчик адресов
Q1÷Q5
QP
Адресный ключ
Логика управления
D10÷D13
Схема сравнения
D0÷D3
Память
Ключ нулирования
ALRE
GDO
AC1
Групповой код
Ключ маскирования
MUOP
MURE
DTCH
PURS
PAM
DA
DAFL

Фиг. 1


Адресный код
176
176
176
Второй адресный код
Непрерывно
Групповой код
88
88
88
88
88
88
264
Питание
17
71
17
71
17

Фиг. 2.

КМОП ПРОЦЕССОР ДЛЯ СЕЛЕКТИВНОГО ВЫЗОВА СМ 940

Семова Н., н. с, инж., ИМЕ, София, НРБ
Димитров П., ст. н. с., к. т. н., инж., ИМЕ, София, НРБ
Найденов В., н. с., инж., ИМЕ, София, НРБ

Созданная в Институте микроэлектроники КМОП интегральная схема СМ 940 /для CCIR/ занимает центральную позицию в системе селективного вызова и определяет надежность и качество системы как целое.

Схема интегрирует функции для повышении помехоустойчивости и для распознавания и представления в двоичном виде каждого из 15 тонов, которыми кодируется информация.

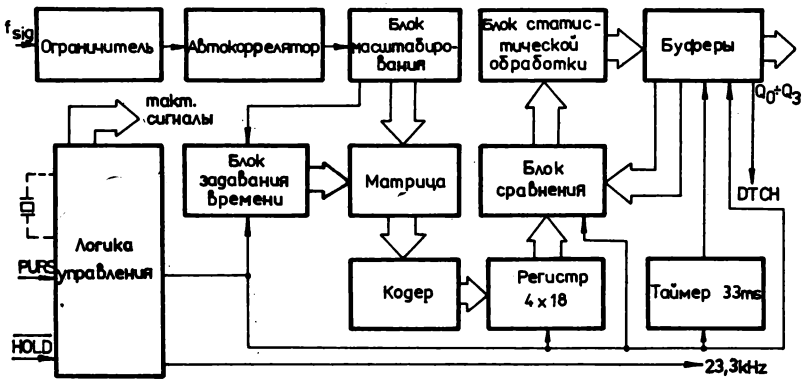
По своей функции СМ 940 соответствует 15 прецизным цифровым фильтрам и одному шифратору. Своими качествами СМ 940 вполне удовлетворяет высоким требованиям к системе. Схема реализирована при помощи динамической КМОП схемотехники. С использованием метода широкополосной автокорелляции достигнута отличная помехоустойчивость, которая позволяет успешное функционирование системы при отношении сигнал/помехи по каналу связи до 0dB. Источник синхронизирующего сигнала реализирован при помощи генератора содержащего КМОП инвертор, керамический резонатор для 560kHz и конденсаторы. СМ 940 подает частоту 23,33kHz для синхронизации остальных схем в системе. В таблице 1 описаны выводы схемы и их функции.

Таблица 1

Вывод N	Наименование вывода	Функция
1	23KHz	Выходная тактовая частота с квадратной волновой формой
2	OSC/OUT	Выход "осциллятор"
3	OSC/IN	Вход "осциллятор"
4	U_{ss}	Отрицательный полюс напряжения питания
5	HOLD	Вход активный при низком уровне. Если не используется дополнительный процессор, подсоединяется к U_{cc}
6	PURS	Вход для нулирования интегральной схемы при подаче питания

7	NC	Нет внешнего присоединения.
8	DTCH	После декодирования нового тона на этом выходе выводится строб с продолжительностью 1ms
9 до 12	Q3, Q2, Q1, Q0	Выводы, на которые выводится двоичный код тоновой частоты
13	U_{CC}	Положительный полюс источника питания
14	SIG/IN	Вход "сигнал"
15	SIG/OUT	Выход "сигнал"
16	NC	Нет внешнего присоединения

Вход HOLD используется для синхронизации схемы при работе с дополнительным процессором или другим устройством для обработки данных. Структурная схема СМ 940 показана на фиг. 1.



фиг. 1

Входной сигнал fs из области рабочей частотной полосы /450 до 2800Hz/ после обработки "Автокоррелятором" подается для компрессования частотной полосы "Блок масштабирования". В"Матрице" происходит сравнение периода входного сигнала fs и 15-ти точно заданных со стороны "Блока задавания времени" периодов. При совпадении "Кодер" излучает 4-разрядный код, соответствующий fs. Этот код аккумулируется в "Регистр 4x18", который сохраняет последние 18 кодов. Информация этого блока обрабатывается "Блоком статистической обработки". Необходимо, чтобы определенный код встречался хотя бы 11 раз в накопленных в аккумуляторе для того, чтобы он излучался выходными "Буферами".

После смены выходных буферов излучается сигнал DTCH/Data change/ Таймер задает цикл поиска кодовых частот. Если в течение 33ms не детектирован ни один из 15 кодовых тонов, выходные буферы устанавливаются в состояние NOTONE и излучается сигнал DTCH.

СМ 940 создана на базе низковольтовой КМОП технологии, кремниевый затвор, р-карман. Монтируется в 16-выводной DIL керамический корпус. Число внешних пассивных элементов минимальное.

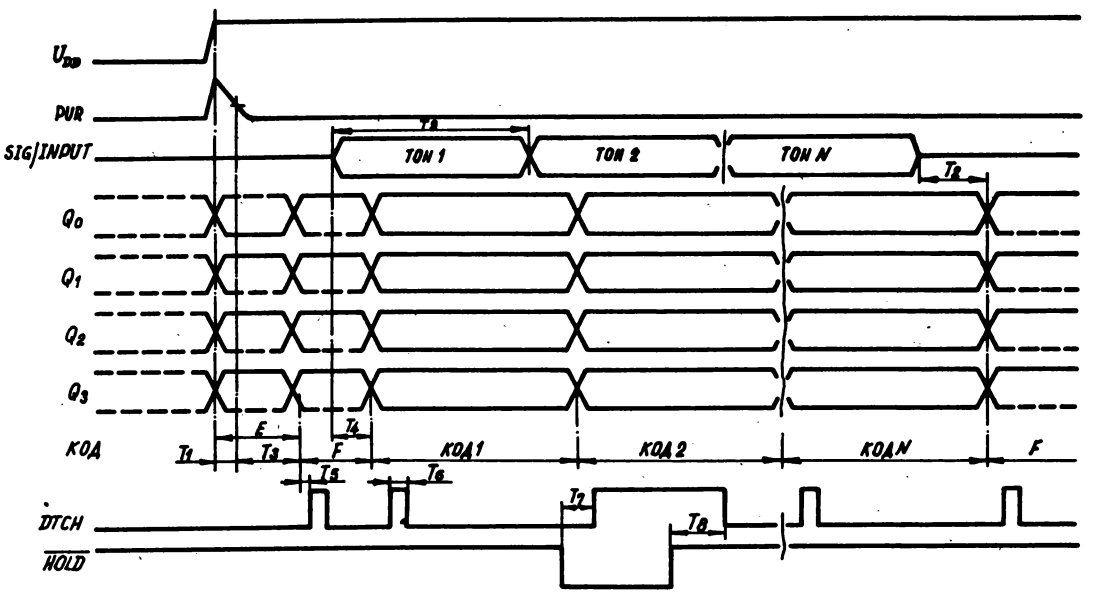
Параметры схемы даны в Таблице 2.

Таблица 2

Название параметра	Обозначение	Размерность	Величина параметра
Напряжение питания	U_{cc}	V	с 3,5V до 6V
Рабочая температура	t_{amb}	^{0}C	с -25 до 85
Ток потребления	I_{cc}	mA	макс. 0,8
Выходное напряжение низкого уровня	U_{OL}	V	макс. 0,1Ucc
Выходное напряжение высокого уровня	U_{OH}	V	мин. 0,9Ucc
Входное напряжение низкого уровня/на выводе 5/	U_{IL}	V	макс. 0,3Ucc
Входное напряжение высокого уровня /на выводах 5 и 6/	U_{IH}	V	мин. 0,7Ucc
Амплитуда входного сигнала /вывод 14/	$U_{SIG/IN}$	V	с 0,1 до Ucc
Частотная полоса декодирования при соотношении сигнал/помехи 0dB и вероятность декодирования p : 0,995	Δf_{TONE}	%	мин. +,- 1
Частотная полоса недекодирования при соотношении сигнал/помехи 0dB и вероятность декодирования p : 0,03	Δf_{NOTONE}	%	макс. +,-3

В системе селективного вызова СМ 940 используется совместно с адресным декодером СМ 942 и тоновым кодером СМ 945, которые разработываются в Институте микроэлектроники - София.

Времядиграмма

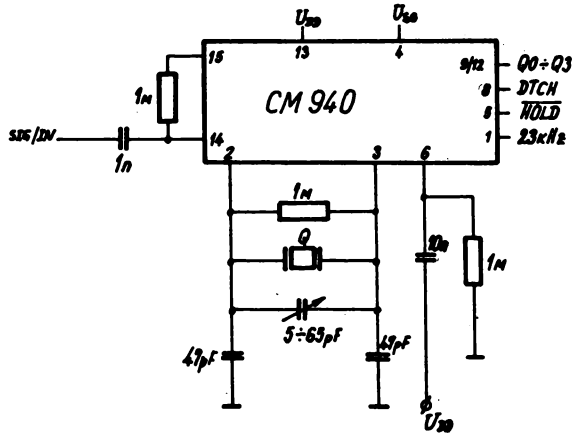


$T_1 > 2ms$
$33ms < T_2 < 50ms$
$T_3 = 33ms$

$20ms \leq T_4 \leq T_9$
$0,5ms < T_5 < 1ms$
$T_6 = 1ms$

$T_7 > 50\mu s$
$T_8 < 120\mu s$
$T_9 = 100ms$

Фиг. 3


CM 940
15
13
4
9/12
8
5
1
14
2
3
6
1M
1n
SYS/DV
Q0÷Q3
DTCH
HOLD
2,3кГц
Q
5÷65pF
47pF
47pF
1M

фиг. 2

STAND BEI LED UND LEA

Claus, G., Dr.-Ing., KDT, Berlin, DDR

1. Vorbemerkung

Den Anwendern optoelektronischer Bauelemente in der DDR sind Grundlagen und Möglichkeiten dieses Zweiges der Mikroelektronik weitgehend bekannt. Deshalb soll in diesem Beitrag ohne eine breite Einführung über die Ergebnisse der letzten Jahre berichtet und der erreichte Stand auf dem Gebiet der Halbleiter - Lichtemitterbauelemente dargelegt werden.

2. Zur Entwicklung der Voraussetzungen

Anhand von Beispielen wird zunächst der Begriff "Aufwendungen" unter den speziellen Aspekten der Lichtemitterbauelemente veranschaulicht. Es werden die hohen technischen Anforderungen erläutert, die Gießharze für LED oder auch Trägerleiterplatten für Lichtschachtanzeigen erfüllen müssen. Parameter der gegenwärtig für die Bauelementeentwicklung verfügbaren Lichtemitterchips sind in dem Beitrag enthalten, auf hochproduktive Maschinen für den Zyklus II einer entsprechenden Fertigung wird hingewiesen.

3. Zur Typenentwicklung

Aufbauend auf den Bedürfnissen der Elektronikindustrie ist das Typensortiment an LED und LEA seit 1983 auf 70 Typen erweitert worden. An dieser Stelle sollen davon die neuen Bauelemente für den universellen Einsatz vorgestellt werden. Auf kundenspezifische Lösungen mit begrenztem Einsatzbereich wird bewußt verzichtet.

3.1. Neue LED-Typen

Seit 1987 bereichern die schmalen Rechteckdioden VQA 101/201/301 die Bauelementepalette. Sie weisen eine Anzeigefläche von 1 x 5 mm² auf, werden in den drei Farben TSN-rot, grün, gelb produziert und haben ca. 25 mm lange Anschlußbeine. Die Gehäusegeometrie gewährleistet ihre lückenlose Reihbarkeit in Längsrichtung im 2,5 mm-Raster. Da die langen äußeren Anschlüsse nicht für alle Anwendungsfälle benötigt werden, steht in naher Zukunft eine wei-

tere Typgruppe gleicher Gehäuseabmaße mit der bekannten Anschlußlänge von min. 15 mm mit Aufsetznase unter der Bezeichnung VQA 103 ... 303 bereit.

Weitere LED-Neuentwicklungen stellen die superhellen Dioden VQA 102/202 dar. Bei einem Öffnungswinkel von $\pm$ 10° sowie einem Strom von 20 mA werden dem Anwender in den Farben rot (660 nm) und grün (565 nm) typische Lichtstärken um 100 mcd angeboten. Die Gehäusegeometrie entspricht internationalen Vergleichstypen. Die Bauelemente sind für indirekte Skalen- und Armaturenbeleuchtung geeignet.

Schließlich sei auf die Zweifarb-LED hingewiesen, die in den Farbkombinationen rot/grün als VQA 60, rot/gelb als VQA 70 und gelb/grün unter der Typbezeichnung VQA 80 seit mehr als zwei Jahren in kleineren Stückzahlen im Handel sind. Wegen der steigenden Nachfrage sind bei diesen LED's Kapazitätserweiterungen in Vorbereitung. Gleichzeitig laufen Arbeiten zur Einführung einer 2-Farb-Typgruppe in Rechteckbauform.

3.2. Neue Lichtemitteranzeigen

Zur Gruppe der Lichtschachtanzeigen gehörig sind zunächst die Typen VQB 16/17/18 und VQB 200/201 zu nennen. Erstere sind 20 mm-Ziffernanzeigen auf der Basis GaAlAs - rot. Ebenfalls in der Serienfertigung befindet sich die zweite Typgruppe der 16-Segmentanzeigen. Mit diesen grünen 12,7 mm-Anzeigen sind prinzipiell die ASC II-Code entsprechenden Symboldarstellungen möglich. Ansteuervarianten wurden bereits früher durch die Abteilung Anwendungstechnik des VEB WF veröffentlicht.

Die genannten Anzeigen vervollständigen das Gesamtsortiment an Lichtschachtbauelementen zu einer die Anwenderbedürfnisse weitgehend befriedigenden Palette. Künftige Weiterentwicklungen konzentrieren sich auf hybrid-integrierte Anzeigen, von denen als Beispiel der in der Entwicklung befindliche 3stellige optoelektronische A/D-Wandler zu nennen ist.

Weiterhin soll an dieser Stelle auf die Gruppe der Lichtemitter-Flachbandanzeigen verwiesen werden, deren erster Typ VQH 604 (alt VQH 601/1) 1987 den Entwicklungsabschluß erreicht hat. Es handelt

sich um eine zweifarbige 6stellige LED-Zeile für die Kassettenfachbeleuchtung. Obwohl diese Anzeige kundenspezifisch ist, stellt sie doch den Prototyp für eine Bauelementegeneration dar, die demnächst für die Anwenderindustrie serienmäßig zur Verfügung stehen wird. Im weiteren gehören dazu die LED-Zeile VQH 200 (24 Punkte, hybrid-integriert mit IC A 277 für den Punktbetrieb), die Einzel-LED VQH 202/209/300 sowie die mehrstelligen 7 mm-Ziffernanzeigen VQH 205/206/207.

Aufgrund technologischer Besonderheiten sind allgemein die Lichtemitter-Flachbandanzeigen für eine maximale Betriebstemperatur von 70 °C zugelassen.

Ergänzend sei angemerkt, daß mit dem Ziel der universellen Einsetzbarkeit eine 12-Punkt-LED-Zeile auf Basis der Flachbandtechnologie in Vorbereitung ist, die applikativ verschiedenen Interessenlagen genügt durch horizontale und vertikale Reihbarkeit, durch interne Verdrahtungsvarianten für den Punkt- oder Bandbetrieb, Linkslauf, Rechtslauf und pulsierenden Mittelpunktbetrieb. Die LED-Anzeigeflächen entsprechen - wie aus Bild 19 zu entnehmen - häufig geäußerten Anwenderwünschen. Technische Einzelheiten werden zum gegebenen Zeitpunkt publiziert.

EINSATZ VON CCD - ZEILEN- UND MATRIXSENSOREN IN DER GLASINDUSTRIE

Kießling, B., Dr.-Ing., KDT, Ilmenau

In dem vorliegenden Beitrag wird über eine Reihe Einsatzfälle von CCD - Zeilen- und Matrixsensoren für Prozeßautomatisierungsaufgaben informiert, deren Entwicklung und Fertigung im VEB Werk für Technisches Glas Ilmenau erfolgte. Damit wird die Absicht verfolgt, über Lösungen und Einsatzerfahrungen zu berichten, zu der Breitenanwendung dieser Lösungen beizutragen und Doppelentwicklungen vermeiden zu helfen.

Ein wesentliches Einsatzgebiet von CCD-Zeilensensoren ist die berührungslose optische Längenmessung, in der technischen Glasindustrie speziell die Außendurchmessermessung von Glasrohr am laufenden Strang während des Herstellungsprozesses.

Für diese Aufgabe wurde das System CCD 1000 auf der Basis der Zeile L 133 des VEB Werk für Fernsehelektronik geschaffen. Im Kamerakopf selbst sind nur der Zeilensensor und die zu seinem Betrieb unbedingt notwendigen Bauelemente enthalten. Die Kamera kann in handelsübliche Pyrometerkühlgehäuse eingebaut und damit gegen hohe Umgebungstemperatur geschützt werden. Die Steuereinheit für die Kamera kann in jedem Rechner mit K 1520 - Bus eingesetzt werden. Sie liefert zugleich die Taktsignale zu deren Betrieb. Der Taktablauf der Kamera ist von außen synchronisierbar, was besondere Vorteile beim Synchronisieren mit Netzfrequenz bietet, wenn für die Beleuchtung z.B. Leuchtstofflampen eingesetzt werden. Für die Binarisierung des Bildausgangssignals kann der Komparatorpegel sowohl fest vorgegeben als auch als Relativwert zwischen hellstem und dunkelstem Wert der Zeilenabtastung automatisch eingestellt werden.

Die Weiterentwicklung dieses Gerätes stellt das System CCD 1088 - eine Kamera auf der Basis der Zeile L 133 gekoppelt mit dem Einchipmikrorechner UB 8840 mit 2k - EPROM U 2716 dar. Die Takterzeugung, die Signalauswertung, Linearisierung und Meßwertausgabe wird vollständig von der Einchipmikrorechner-

baugruppe wahrgenommen. Das ermöglicht bei wesentlich verringertem Hardwareaufwand deutlich gesteigerten Meßwertverarbeitungs- und Kommunikationskomfort. Eine Besonderheit des Gerätes ist, daß durch spezielle analoge Schaltungsteile die Erhöhung der Auflösung über die durch die Bildpunktzahl bedingte Grenze hinaus möglich wird.

Große Beachtung ist bei den optischen Längenmeßaufgaben dem Problem der optischen Abbildung zu widmen. Im Vordergrund steht bei der Durchmessermessung an bewegtem strangförmigen Gut wie Glasrohrsträngen, aber genauso bei Drähten, Kabeln usw. die Abstandsänderung zwischen Meßobjekt und Meßeinrichtung und der damit durch Maßstabsänderung auftretende Fehler. Durch Anwendung eines speziellen optischen Abbildungssystems, das aus zwei handelsüblichen Fotoobjektiven bestehen kann, ist die Kompensation dieses Lagefehlers in weiten Grenzen möglich. Das System ist mit üblichen Objektiven bis zu einem Durchmesser des Meßobjekts von etwa 50 mm einsetzbar. Bei größeren Meßobjekten kann die Lagefehlerkompensation durch die Messung mit zwei um vorzugsweise 90 grd versetzten Kameras erfolgen. Dazu wird zugleich mit dem sichtbaren Durchmesser die Entfernung des Meßobjekts zu der jeweils anderen Kamera ermittelt und die rechnerische Korrektur auf der Grundlage eines mathematischen Modells der Meßanordnung vorgenommen.

Ein weiteres Einsatzgebiet von Zeilensensoren ist die berührungslose optische Dickenmessung von Glaserzeugnissen. Folgende Lösung wurde in Zusammenarbeit mit der TH Ilmenau entwickelt: Das Meßobjekt wird mit einem konvergierenden Strahlenbündel in einem Winkel zur Oberflächennormalen beaufschlagt. Dieses Strahlenbündel wird von einer Laserlichtquelle erzeugt, deren Strahl zunächst aufgeweitet und anschließend auf den Meßpunkt konvergiert wird. Die an der Vorder- und Rückseite des Meßobjekts reflektierten Strahlenbündel überlagern sich und erzeugen dabei Interferenzen. Der mittlere Abstand der Interferenzlinien ist direkt als Maß der Dicke auswertbar. Dazu ist im Interferenzfeld ein Zeilensensor angebracht, dem eine Auswerteelektronik des Systems CCD 1000 nachgeschaltet ist.

Neben Längenmeßaufgaben gewinnt die Automatisierung von Qualitätskontrollprozessen zunehmend an Bedeutung. Für das Schwerpunktproblem der Blasenerkennung am laufenden Glasrohrstrang wurde folgende Lösung entwickelt: Das aus dem Rohrstrang unmittelbar nach der Formgebung austretende sichtbare und vor allem infrarote Licht wird mit einer Zeilenkamera erfasst. In diesem Strahlungsprofil markieren sich Defekte im Rohr infolge der Störung der Lichtfortleitung besonders deutlich. Das Hauptproblem der Entwicklung dieses Systems bestand darin, die Komparatorschwelle für die Erkennung von Störungen im Bildausgangssignal bildpunktweise festzulegen und den wechselnden Bedingungen des Rohrzuges (Temperatur, Rohrgeometrie, Lage des Rohres im Sichtfeld der Kamera) anzupassen. Diese Aufgabe wurde durch den Einsatz eines Bildspeichers, der für jedes Pixel einen Mittelwert des Bildausgangssignals bereitstellt, gelöst.

Zum Abschluß sei kurz auf den Einsatz eines CCD-Flächenelements in einem Matrixkamerasystem zur berührungslosen Bestimmung der Tropfenmasse an Speisern für Hohlglas hingewiesen. Die erarbeitete Lösung baut darauf auf, das Bild des Tropfens unmittelbar vor dem Scherenschnitt zu erfassen, die Tropfenkontur in einem RAM-Speicher abzulegen und damit die Volumenberechnung nach der Trapezregel auszuführen. Das Hauptproblem bei der Entwicklung bestand darin, den richtigen Zeitpunkt für die Übernahme des Bildes in den Speicher aus der Bildfolge selbst zu bestimmen. Diese Aufgabe wurde dadurch gelöst, daß in einer Folge von rasch abgespeicherten Halbbildern nach dem Scherenschnitt gesucht und die unmittelbar davor liegenden Halbbilder übernommen werden.

Die vorgestellten Lösungen befinden sich unter Produktionsbedingungen im Einsatz und haben sich teilweise bereits über eine Reihe von Jahren praktisch bewährt. Sie stellen die Grundlage für die bessere Beherrschung der technologischen Prozesse infolge meßtechnischer Durchdringung, Automatisierung der Kontrolle, Qualitätssicherung und Prozeßsteuerung dar.

Die erreichten Ergebnisse machen gleichzeitig deutlich, daß der Einsatz optoelektronischer Sensoren die Lösung einer Vielzahl technischer Probleme, wie z.B. der Bilderzeugung, der Signalverarbeitung sowie der Gestaltung von Auswertealgorithmen erfordert. Dabei sind gegenwärtig noch hohe Eigenleistungen durch die Anwender zu erbringen.

Novel Design and Unilateral Conception of Capacitive Pressure Sensor with LPCVD Si_3N_4 Diaphragm.

Łysko, J.M., m.sc., ITE, Warszawa, Poland,
Jachowicz, R., ph.d., PW, Warszawa, Poland,
Stolarski, E., prof., ITE, Warszawa, Poland.

Abstract. New concept of capacitive pressure sensor design, as well as technology, is presented. The whole device consists of only one silicon chip of highly reduced dimensions which may be mounted as a common integrated circuit. To illustrate novel solution, SEM microphotographs and schematic drawings are added.

1. Introduction. The main element of most miniature silicon pressure sensors is a diaphragm. In both piezoresistive as well as capacitive type of pressure sensors the diaphragm is usually performed by the two-side wafer etching [1], [2], [3], [4]. That step in sensors' fabrication procedure is very critical for the final structure yield and sensors' sensitivity. Especially two -side photolitography alignment, precise substrate stop etching and other steps of sensors technology performance, with presence of already made very thin diaphragm /some of 1μm/ is very difficoult. To avoid most of the problems listed above, one-side diaphragm formation technology is proposed below. It is composed of the standard CMOS LSI i.c. technological steps.

2. Sensor design. The sensor is based on silicon nitride thin film diaphragm built up in one-side wafer process. Cross-sectional schematic drawing of the sensor is shown on fig.1 /x and y axis not to scale/. Sensors fabrication have been done with

use of seven masks levels /schematic layout shown on fig.2/. Fabrication process step-by-step is shown on fig.3.
Lower, unmovable capacitor plate and conductive path 2 are formed by the silicon substrate 1 doping. They are connected with metal bonding pad 3 through the contact 4 made in PSG layer 9 . Second capacitor plate and conductive path 5 are paterned in the thin Al layer. This electrode is placed on the thin silicon nitride diaphragm 6 above diffusion area 2 . It's conductive path runs across the silicon nitride diaphragm 6 to the bonding pad 8 placed on the passive area. Silicon nitride diaphragm consists of the two LPCVD silicon nitride layes 7 . It's edge is stiffen by the thick polysilicon layer 10 . This polysilicon layer 10, two silicon nitride layers 7 , and thick PSG layer 9 , form insulation of passive area. The reference cavity 12 is formed between the silicon substrate 1 and silicon nitride diaphragm 6. It is closed to the air /by the PSG layer 9/ along the penetration area 11 edge, located at the same side of the wafer. Reference cavity is filled by the gas under atmospheric pressure.

3. Silicon nitride diaphragm formation. The sensors were fabricated on 3" , p-Si , <100> oriented silicon wafer. The flow-chart of the technological sequence is as follows :

a/ initial oxidation,
b/ photo 1 "yellow", negative resist, mask1,
"wet" : oxide etch, resist removal, groove etch,
c/ phosphorous doping, rediffusion, /fig.3a/
d/ oxide etching-off, pad oxidation,
e/ PSG APCVDeposition,
f/ PSG densification,
g/ photo 2 "yellow", positive resist, mask1,

"wet" : PSG/oxide etch, resist removal,

h/ silicon nitride deposition,

i/ silicon nitride densification, /fig.3b/

j/ poly-Si deposition,

k/ mask oxidation,

l/ photo 3 "yellow", negative resist, mask2,

"wet" : oxide etch, resist removal, poly-Si etch,

m/ silicon nitride deposition,

n/ silicon nitride densification, /fig.3c/

o/ photo 4 "yellow", negative resist, mask3,

"wet" : silicon nitride etch, resist removal,

p/ cavity etching in HF solution, /fig.3d,4/

r/ oxide/PSG deposition, reflow, /fig.3e,5/

s/ photo 5 "yellow", negative resist, mask4,

"wet" : PSG/oxide etch, resist removal,

t/ metal evaporation,

u/ photo 6 "yellow", negative resist, mask5,

"wet" : metal etch, resist removal, /fig.3f/

w/ photo 7 "yellow", negative resist, mask 6,

"wet" : PSG/oxide etch, resist removal,

y/ metal sputering, sintering,

z/ photo 8 "yellow", negative resist, mask7,

"wet" : metal etch, resist removal, /fig.3g,6/.

Silicon nitride diaphragm formation process, developed in ITE CEMI is shown on fig.3a-g,4,5,6. Technological sequence was provided in clean room of class 10.000, using laminar and chemical chambers of class 100. Standard optical litography, enabling 5μm design ruls, was applied.

Initial results, obtained from technological experiments and electrical measurements, were used in device's optimization and will be presented in the future publications.

References :

[1] O.Tabata et al., "Monolithic Pressure-Flow Sensor", IEEE Tr.El. Dev., Vol.ED-34, No.12, Dec.1987,

[2] Y.S.Lee et al., "A Batch-Fabricated Silicon Capacitive Pressure Transducer with Low Temperature Sensitivity", IEEE Tr.El.Dev., Vol.ED-29, No.1, Jan.1982,

[3] S.K.Clark et al., "Pressure Sensitivity in Anisotropically Etched Thin-Diaphragm Pressure Sensors", IEEE Tr.El.Dev., Vol.ED--26, No.12, Dec.1979,

[4] T.A.Nunn, "A Silicon Absolute Pressure Transducer for Biomedical Application", Technical Report No.4610-1, Integrated Circuits Lab., Stanford El.Lab., Oct, 1977.

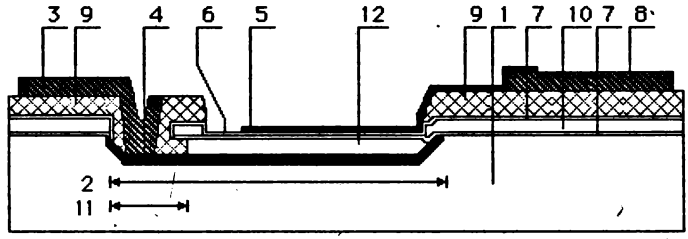


Fig.1 : Schematic cross-section of the capacitor.

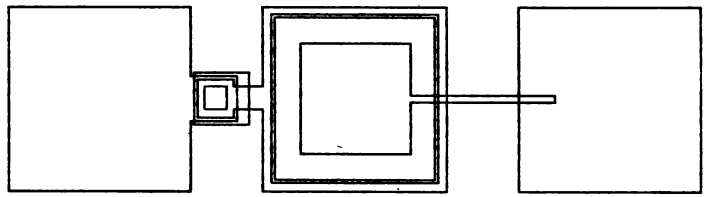


Fig.2 : Layout example of the capacitor.

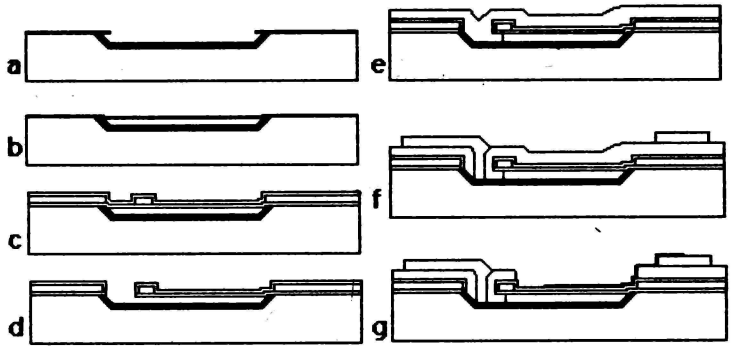


Fig.3 : Schematic cross-sectional illustration of the technological sequence.

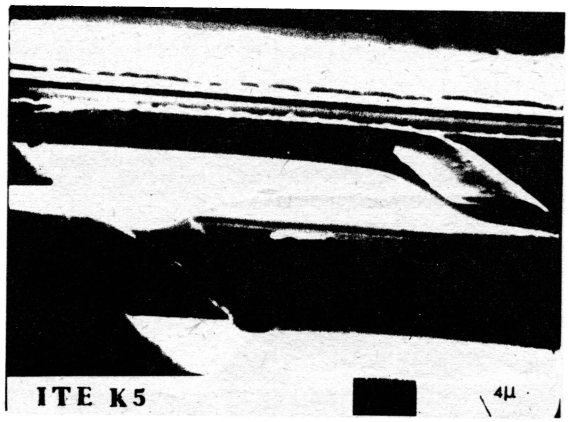


Fig.4 : SEM microphotograph of the capacitor after cavity etch step /in technology with poly-Si upper electrode/.

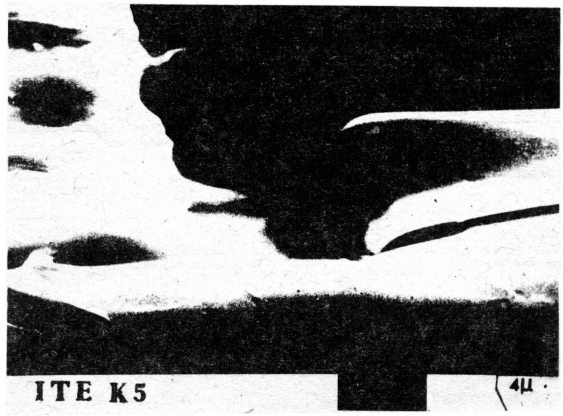


Fig.5 : SEM microphotograph of the penetration area section after PSG deposition/reflow steps.

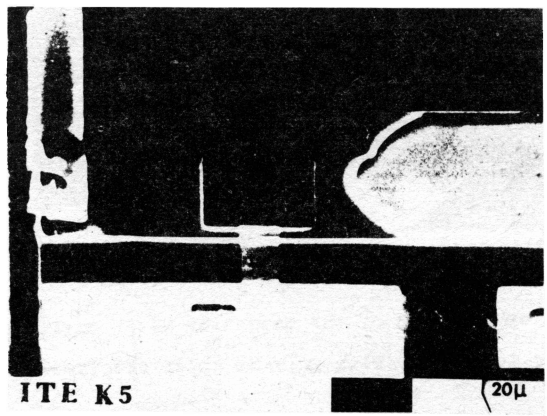


Fig.6 : SEM microphotograph of the capacitor /center/. Damage /right/ of the second capacitor demonstrates cavity.

INGENIEURBETRIEBE FÜR DIE ANWENDUNG DER MIKROELEKTRONIK

Krybus, G., Dipl.-Ing., KDT, Berlin, DDR

"Durch engere Zusammenarbeit zwischen zentral und örtlich geleiteten Betrieben und rationelle Nutzung des wissenschaftlich-technischen Potentials ist die systematische Anwendung der Mikroelektronik und Robotertechnik auch in Klein- und Mittelbetrieben zur Leistungssteigerung zu nutzen."
(G. Mittag, Bericht zum Entwurf der Direktive zum Fünfjahrplan von 1986 bis 1990 an den XI. Parteitag der SED)

Die in den Jahren 1985 bis 1987 in allen Bezirken der DDR gebildeten Ingenieurbetriebe für die Anwendung der Mikroelektronik (IfAM) unterstützen vorrangig Klein- und Mittelbetriebe sowie Erstanwender der Mikroelektronik bei der Realisierung ihrer Rationalisierungsvorhaben mit ingenieur-technischen Leistungen auf dem Gebiet der Hard- und Softwareentwicklung.
Das Arbeitsspektrum reicht dabei von Aufgaben im Bereich der Produktionsvorbereitung über die Vervollkommnung technologischer und Produktionsprozesse bis zu Fragen der Lagerwirtschaft, der Verwaltung usw.
Die Unterstützung durch die Ingenieurbetriebe gilt im Bedarfsfall auch für die Arbeitsetappen der Ausarbeitung der erforderlichen qualifizierten Aufgabenstellung. Sie endet mit der Schulung des zukünftigen Servicepersonals des Auftraggebers zur Bedienung, Wartung und Instandsetzung der Funktionshardware bzw. der Einweisung in die Softwarenutzung.

Des weiteren beraten und informieren die Spezialisten der Ingenieurbetriebe für die Anwendung der Mikroelektronik
- zum verfügbaren Sortiment an aktiven mikroelektronischen Bauelementen,
- zum verfügbaren Sortiment an Büro-, Personal- und Arbeitsplatzcomputern und ihren Einsatzmöglichkeiten,
- zu nachnutzungsfähigen Rationalisierungslösungen anhand des "Zentralen Nachweisspeichers Angewandte Mikroelektronik" sowie
- zu ausgewählten nachnutzungsfähigen Softwarelösungen aus dem Aufgabenbereich der IfAM.

Spezialisierte Ingenieurbetriebe für die Anwendung der Mikroelektronik wirken des weiteren unterstützend bei der Applikation und dem Entwurf anwenderspezifischer integrierter Schaltkreise auf der Grundlage der Organisationsprojekte der jeweiligen Herstellerbetriebe.

Seit Bildung der Ingenieurbetriebe arbeiten diese mit Auftraggebern aus praktisch allen Volkswirtschaftszweigen zusammen.

Das jährlich steigende Leistungsvermögen wird gekennzeichnet nicht nur durch die wachsenden Umsatzkennziffern der IfAM, sondern vor allem durch die stetige Erhöhung der erzielten volkswirtschaftlichen Nutzeffekte bei den Auftraggebern, den Anwendern der von den Ingenieurbetrieben entwickelten modernen mikroelektronischen Lösungen.
Vorrang gebührt dabei der Kennziffer - absolute Arbeitskräftefreisetzung für andere volkswirtschaftliche Aufgaben. Wichtig ist jedoch genauso der Nachweis an eingesparter Arbeitszeit sowie an Import-Valutamitteln oder auch der erzielten Selbstkostensenkung sowie von Material- und Energieeinsparungen.

Des weiteren unterstützen die IfAM-Spezialisten neben der aktiven Information und Beratung von Kunden und Auftraggebern in jährlich ca. 2.020 Gesprächen die Qualifizierung von Erstanwendern und Fortgeschrittenen auf dem Gebiet der Mikroelektronik und Computertechnik in jährlich ca. 480 Speziallehrgängen und Fachvorträgen.

Die Koordinierung, Betreuung und Versorgung der IfAM der Bezirke der DDR mit Computertechnik, aktiven mikroelektronischen Bauelementen und Informationsmaterialien erfolgt über die Leiteinrichtung, den VEB Applikationszentrum Elektronik Berlin.

Ein wichtiger Faktor im Leitungs- und Arbeitsprozeß der Ingenieurbetriebe für die Anwendung der Mikroelektronik sind die engen konstruktiven Arbeits- und Informationsbeziehungen mit den Partei- und Staatsorganen des jeweiligen Territoriums sowie mit den verantwortlichen Trägerkombinaten und -betrieben, welche einen gewichtigen Beitrag hinsichtlich der hohen Effizienz des Einsatzes

der Ingenieurbetriebe bei der Lösung der territorialen Rationalisierungsaufgaben sowie bei der Bereitstellung von Arbeitskräften, Arbeitsstätten und anderem mehr leisten.

Nur dieses gemeinsame Miteinander von Fachministerium, territorialen Partei- und Staatsorganen, Trägereinrichtungen und Ingenieurbetrieben gewährleistet das bisher erzielte und auch zukünftig zu erreichende Gesamtergebnis der Ingenieurbetriebe für die Anwendung der Mikroelektronik in unserer Republik.

Anmerkung:
Zu weiteren detaillierten Auskünften steht die Kundenberatung des IfAM Berlin, Grünberger Straße 49, Berlin - 1035, Tel.: 589 3857, gern zur Verfügung.

ERLÄUTERUNGEN ZUM STAND DER ERARBEITUNG UND NUTZUNG DER ZENTRALEN INFORMATIONSBANK SOFTWARE (ZIBS) IM VEB DATENVERARBEITUNGSZENTRUM DRESDEN DES VE KOMBINAT DATENVERARBEITUNG

Kretschmer, J., Dipl.-Ing., Dresden/DDR

Ausgangspunkt für die Einrichtung der ZENTRALEN INFORMATIONSBANK SOFTWARE (ZIBS) im Kombinat Datenverarbeitung ist der "Beschluß des Ministerrates zur weiteren Entwicklung und multivalenten Nutzung von Software in der DDR" vom 4. April 1985.

Auf dieser Basis wurde die:

- "Anordnung über Informations- und Beratungsleistungen zur Entwicklung, Produktion und Mehrfachnutzung von Software in der DDR", veröffentlicht im Gbl. Teil 1 Nr. 9/86, herausgegeben.

Die Anordnung legt fest:

- das die für die Förderung der Mehrfachnutzung erforderlichen bibliographischen Angaben und Leistungsparameter der in der DDR vorhandenen oder sich in Entwicklung befindlichen Software durch das VE Kombinat Datenverarbeitung in der ZIBS zu erfassen sind und
- daß period. sowie selektive Informationen über nutzbare Software durch das VE Kombinat Datenverarbeitung aus der ZIBS den Rechercheauftraggebern bei Bedarf zu übergeben sind.

Als Rechercheauftraggeber können Software-Entwickler, -Nutzer, SIBE, Auftragsleiter CAD/CAM der Zentralen Staatsorgane, Kombinate und Einrichtungen, Bezirksneuererzentren zur Vorbereitung von Software-Börsen sowie alle Software-Anwender auftreten.

Die Beschleunigung der Entwicklung und Einführung der Schlüsseltechnologien, vor allem der Mikroelektronik, der automatisierten Projektierung, Konstruktion und Produktionsvorbereitung sowie der modernen Informations- und Kommunikationstechnologien erfordert eine höhere Effektivität der Arbeit bei der Entwicklung, Produktion, Wartung und Nutzung von Software.

Weiterhin ist es zur wirkungsvollen Unterstützung der Zentralen Staatsorgane und Kombinate erforderlich, die Informationsmöglichkeiten über nutzbare Software wesentlich zu verbessern und dabei die Basis- und Anwendersoftware für CAD/CAM-Systeme in die Maß-

nahmen zur Verbesserung der Information über nutzbare Software mit einzubeziehen.
Innerhalb des RGW-Komplexprogrammes "INTERFAP" (Arbeitsprogramm Pkt. 1.1.8) ist an den Softwareaustausch unter den RGW-Mitgliedsländern gedacht, dem unsere nationale Variante ZIBS gleichfalls genügen muß.

Die Einrichtung und Betreibung der ZIBS soll die Realisierung folgender Ziele unterstützen:

- entscheidende Erhöhung der Mehrfachnutzung der verfügbaren Software,
- Beschleunigung der Entwicklung und Produktion mehrfachnutzbarer Software,
- Vermeidung von Parallel- und Doppelarbeiten bei der Softwareentwicklung sowie
- Verbesserung der Informationsmöglichkeiten über mehrfachnutzbare Software.

Mit der praktischen Umsetzung der Beschlüsse zur Erhöhung der Nachnutzung von Software war es notwendig, in kürzest möglichster Zeit und mit geringstem Aufwand eine rechnergestützte Lösung für den Nachweis von Programmen bereitzustellen.

Dabei wurde vom ureigensten Anliegen der gesetzlichen Orientierungen ausgegangen, Vorhandenes nachzunutzen. Mit Unterstützung des Kombinates Robotron war es möglich, die Programme des Datenbanksystems AIDOS einschließlich der bis Anfang 1985 im Rahmen der PPZ eingespeicherten Nachweise kurzfristig zu übernehmen.

Der damit übernommene Bestand an Programmnachweisen umfaßte ca. 9500 Nachweise.

Seit Veröffentlichung des Gesetzblattes zur Einrichtung der ZIBS sind bis zum 30. 11. 1988 insgesamt 7000 neue Nachweise an das DVZ Dresden übergeben worden. Der vom Kombinat Robotron übernommene Nachweisfonds wurde zwischenzeitlich vollständig überarbeitet.
Die wichtigsten zuliefernden Ministeriumsbereiche sind:

04	MEE	ca. 800 Software-Produkte
05	Schwermaschinen, Anlagenbau	370
06	Werkzeugmaschinen	210
08	MALF	800

21	Bauwesen	840
22	Verkehrswesen	460
24	Land, Forst, Nahrungsgüter	100
32	Hoch- und Fachschulen	380
51	KDV, SZS	500
01	Kohle und Energie	110
02	Erzbergbau	130
25	Umweltschutz u. Wasserwirtschaft	150
33	Gesundheitswesen	300
11	Geologie	250
--	sowie SDAG WISMUT, Räte der Bezirke, usw.	

Alle anderen Ministerien haben entsprechend ihrer Bedeutung zu wenig Softwareprodukte zur Einspeicherung angeboten(z.B. Chem. Industrie, AdW, Handel).

Grundlage für die Erfassung der nachzuweisenden Software bildet das Formblatt 1540 - Antrag zur Softwareentwicklung - dargestellt im Gbl. Teil 1, Nr. 4/86 vom 28. 01. 1986, Anlage 2.
Dieser Vordruck kann vom Vordruckverlag Spremberg bezogen werden.

Eine spezielle Erfassungsrichtlinie wurde gemeinsam mit der SZS erarbeitet. Diese Richtlinie kann vom DVZ Dresden bezogen werden.

Ein Exemplar des ausgefüllten Vordruckes ist in Abstimmung mit dem jeweils übergeordneten Organ (evtl. ist eine sachgebietsorientierte Zusammenfassung zwischengeschaltet) an das DVZ Dresden zu schicken. Dieser Nachweis wird von uns bearbeitet, auf maschinenlesbare Datenträger umgesetzt und in den Gesamtbestand der ZIBS eingefügt. Die Urbelege werden dann an den Absender zurückgeschickt.

Grundlage für die sachgebietsbezogene Einordnung der Nachweise bildet ein Thesaurus, der als Sachwortverzeichnis auf Diskette vorliegt, laufend aktualisiert wird und kostenlos von jedem Nutzer übernommen werden kann.

Die Nutzung der ZIBS geschieht gegenwärtig in Form von Stapelrecherchen. Der formlose Rechercheauftrag ist zu richten an den
VEB DATENVERARBEITUNGSZENTRUM DRESDEN
PF 408
KENNWORT "SOFTWARE"
Dresden 8012

Der Nutzerkreis umfaßt alle Ministeriumsbereiche, ist also wesentlich umfangreicher als die Bereiche, von denen bisher Softwareprodukte gemeldet wurden.

Die Antwortzeit liegt gegenwärtig bei 5 Tagen nach Posteingang. Dies hängt im wesentlichen von der eingehenden Anzahl von Rechercheaufträgen und der Bildung einer wirtschaftlichen Losgröße ab.

1986 wurden ca. 200,
1987 wurden ca. 1000 und
bis 30.8.1988 wurden ca. 1100 zum Teil sehr umfangreiche Rechercheaufträge bearbeitet.

Ergebnis je Auftrag ist eine Menge an relevanten Nachweisen, die z.B. Auskunft zum Softwareproduzenten, zu den Kosten, dem Rechnertyp, der Problembeschreibung für das Projekt oder den Nutzungsbeginn gibt.
Mit dem verstärkten Einsatz von dezentraler Rechentechnik wird die Erfassung der Nachweise in den Bereichen durch die jeweiligen zentralen Erfassungsstellen direkt auf Diskette vorgenommen und an das DVZ Dresden nur Disketten übergeben.
Mit den Bereichen Robotronprojekt Dresden, Deutsche Post, Bauakademie, Verkehrswesen und der Wasserwirtschaft beispielsweise funktioniert dieser Datenaustausch zufriedenstellend.

Zur Unterstützung dieser Arbeitsweise haben wir ein Erfassungsprogramm sowie das schon erwähnte Sachwortverzeichnis einschl. der Wartungsprogramme im Betriebssystem SCP unter Nutzung von REDABAS (8/16 Bit) bereitgestellt und können es potentiellen Anwendern kostenlos zur Verfügung stellen.

Wichtig dabei ist, daß von allen Beteiligten in der DDR die einheitliche Schnittstelle, das Formblatt 1540, anerkannt und genutzt wird. Außerdem können dann Softwareinformationen auch ohne Zugriff zur ZIBS zwischen SIBE, Kombinaten und Leiteinrichtungen mittels Disketten ausgetauscht werden.

Damit ist es möglich, die erfaßten Informationen für eine eigene sachgebietsorientierte Teildatenbank in den SIBE, Kombinaten und Leiteinrichtungen zu nutzen. Nur die jeweils erfaßten Neuzugänge müssen zur allgemeinen Information dem zentralen Fonds der ZIBS mittels Diskette übergeben werden.

Notwendige Absprachen, die unsere Erfassungsrichtlinie ergänzen, z.B.: Erfassungsschlüssel, sind mit dem DVZ Dresden zu treffen.

Im Rahmen dieses Konzeptes einer "Verteilten Verarbeitung" kann auch das durch uns bereitgestellte Rechercheergebnis entweder in Listenform oder im Schnittstellenformat der Erfassung bereitgestellt werden.

Für die Unterstützung der Arbeit der SIBE, Kombinate und Leiteinrichtungen stellen wir ab 10/88 gleichfalls kostenlos ein Konvertiersystem auf der Basis von SCP 1700 für 16-Bit-Rechner mit Anschluß an AIDOS/M 16 bzw. AIDOS/M 1-DCP zur Verfügung.

Damit können auch alle bisher erstellten 8-Bit-Datenfonds in das AIDOS-Format übernommen werden, wenn die Datenbestände mit unseren Schnittstellenformat Vordruck 1540 übereinstimmen.

AUTOMATISIERTE RATIONALISIERUNGSMITTEL - STAND, TENDENZEN, PROBLEME

Recknagel, D., Dipl.-Ing., KDT, Dresden, DDR

1. Einleitung

Im Zentrum Forschung und Rationalisierung des Kraftwerksanlagenbaus der DDR werden Rationalisierungsmittel für die Betriebe des eigenen Kombinates und im begrenzten Umfang für Betriebe des Territoriums Dresden-Nord konstruiert und gefertigt. Dabei werden pro konstruierter Maschine nur sehr geringe Stückzahlen gefertigt, meist nur eine oder zwei.

Die Aufgabenpalette ist sehr groß und die Anforderungen an die Steuerung und Automatisierung sind sehr unterschiedlich.

Daraus resultierende Probleme und Tendenzen sollen anhand von vier Beispielen dargestellt werden.

Dabei stehen Fragen der Praktikabilität aus Anwendersicht im Vordergrund. Anhand der Beispiele werden vier Steuerungskonfigurationen vorgestellt:

- festverdrahtete Relaislogik
- Steuerung mit PS 2000/1 als Kern
- Steuerung mit CNC-H 645 als Kern
- Steuerung mit PSMR 86

2. Beispiele

2.1. Festverdrahtete Relaislogik

Für die Fertigung von Entascherketten für Dampferzeuger war die Aufgabe gestellt, eine teilautomatisierte Produktionsanlage zur Verfügung zu stellen.

Ziel war neben der Steigerung der Produktivität vor allem die Entlastung von körperlich schwerer Arbeit.

Es waren

- drei Schweißarbeitsplätze mit jeweils zwei automatischen CO_2-Schweißanlagen
- drei Werkstückmanipulatoren
- ein Fügearbeitsplatz
- ein Stapelautomat

zu realisieren.

Dabei werden 15 Hydraulik-, 37 Pneumatik-, 11 Drehstrom- und 21 Gleichstromantriebe angesteuert. Der Prozeßzustand wird über 205 Schalter bzw. induktive Initiatoren signalisiert.

Als 1983 die konstruktive Bearbeitung begann, bestand der Auftraggeber darauf, die Steuerung in konventioneller Relaistechnik aufzubauen.
Begründet wurde das mit

- der Qualifikation der Betriebselektriker, die für die Instandhaltung nach Ablauf der Garantiefrist verantwortlich sind.
- dem vorhandenen Meßgerätepark
- der Ersatzteilproblematik.

Aspekte, die auch heute noch von Auftraggebern, vor allem kleineren Betrieben, bei Absprachen zur Realisierungskonzeption vorgebracht werden.

Die Steuerung wird durch 515 Relais und 40 Zeitrelais der "RELOG"-Baureihe sowie mittels ebenfalls auf Relaistechnik aufbauenden Schweißsteuergeräten realisiert.
Die Ansteuerung der Antriebe erfolgt über Schütze und Relais bzw. über Thyristorsteller.
Es muß eingeschätzt werden, daß für derartige Einzelanlagen die festverdrahtete Logik nicht mehr vertretbar ist.
In der Phase der "Inbetriebnahme und Reifmachung" mußte eine Vielzahl von Einzelabläufen Veränderungen unterzogen werden. Das hatte zur Folge, daß umfangreiche Umverdrahtungen realisiert wurden, incl. aller Änderungen in den notwendigen Dokumentationen. Ergänzende Forderungen an Steuerungsfunktionen führten dazu, daß die projektierte Reservekapazität in den Gefäßen von ca. 10% ausgeschöpft wurde.
Heute stellt sich die Anlage so dar, daß für die Schaltlogik keine vollständige BOOLsche Algebra realisiert ist, so daß nicht sinnfällige Schalterkombinationen, die durch defekte oder verschmutzte Schalter entstehen können zum Teil akzeptiert werden und somit Fehlreaktionen auslösen, die zu erheblichen Störungen führen können.

2.2. Steuerung mit PS 2000/1 als Kern
Für die Verpackung von leeren Zahnpastatuben für den innerbetrieblichen Transport bzw. zur Zwischenlagerung sollten vollautomatisch arbeitende Verpackungsmaschinen gefertigt werden.
Der Auftraggeber akzeptiert den Einsatz einer PS 2000/1 vom VEB Numerik Karl-Marx-Stadt.

Es werden 2 Gleichstrom- und 6 Pneumatikantriebe angesteuert.
Der Prozeßzustand wird über 20 Schalterfunktionen signalisiert.
Das Steuerprogramm umfaßt 1215 Programmworte.
Da die Steuerung prinzipiell 128 Ein-/Ausgänge bedienen kann und sich die Möglichkeit bietet, 4095 Programmworte zu speichern, wird deutlich, daß das Leistungsvermögen deutlich unterfordert ist.
Trotzdem ist der Einsatz dieser Variante als sehr effektiv zu bezeichnen.
Diese Einschätzung gründet sich auf folgende Erfahrungen:

- schnelle Reaktion auf Anforderungen aus Inbetriebnahme und Reifmachung
- hoher Grad der Wiederanwendbarkeit bei anderen Aufträgen zur Rationalisierungsmittelfertigung
- bisher gute Zuverlässigkeit im Betrieb
- günstiger Ablauf der Hardware-Projektierung

Mängel hinsichtlich bestimmten Einsatzbedingungen werden durch die Vorteile ausgeglichen.

2.3. Steuerung mit CNC-H 645 als Kern

Für einen Rohrendenbearbeitungsautomaten, der Rohre, Rohrbögen, Anschweißbögen und Rohreinziehungen bis zu einer Nennweite von 160 mm bearbeiten soll, wurde eine CNC-H 645 vom VEB Numerik Karl-Marx-Stadt als Steuerungskern projektiert.
Die Notwendigkeit einer solchen Steuerung resultiert daraus, daß für das Andrehen von bestimmten Fasenformen zwei NC-gesteuerte Achsen zu fordern waren.
Auch in diesem Fall wurde das Leistungsvermögen der Steuerung bei weitem nicht ausgeschöpft.
Den möglichen 288 Ein-/Ausgängen stehen 55 benutzte Ein-/Ausgänge gegenüber. Die erzielbare Genauigkeit der implementierten Lageregelkreise liegt eine Zehnerpotenz über der geforderten.
Die Aufzählung könnte fortgesetzt werden.
Im Vergleich zur Variante mit der PS 2000/1 muß jedoch diese Variante als bedeutend weniger Effektiv eingeschätzt werden.
Das resultiert im wesentlichen aus der Tatsache, daß für uns zur Zeit nur zwei Einsatzfälle für diese Steuerung abzusehen sind. Dadurch wird der Aufwand, der für den Einsatz einer solchen Steuerung betrieben werden muß, unverhältnismäßig groß.

Der Aufwand besteht vor allem in

- dem Besuch von drei Lehrgängen
- Beschaffung einer Reihe von Geräten für Inbetriebnahme, Betrieb und Eigenservice, die nicht vom Hersteller geliefert werden.
- Notwendigkeit des "Hinlegens" mehrerer Kartenbaugruppen wegen mangelnder Zuverlässigkeit

etc.

2.4. Steuerung mittels PSMR 86

Ein ganz anderer Einsatzfall führte zum Einsatz der modifizierbaren Steuerung PSMR 86 vom VEB Metallurgieelektronik Leipzig.
Für die Endprüfung von Rasierapparaten der Bebo-sher - Reihe ist ein automatischer Laufprüfstand zu fertigen. Dabei sind pro Schicht 2200 Rasierer auf Laufruhe, Stromaufnahme, Erwärmung, Durchzugskraft und Langhaarschneiderfunktion zu prüfen.
Insgesamt sind acht analoge Meßwerte zu erfassen und auszuwerten. Darüberhinaus sind drei Elektro- und vier Pneumatikantriebe anzusteuern sowie 50 Schaltersignale abzufragen.
Die Hardware wird vom Auftragnehmer in vorbildlicher Art und Weise nach unseren Vorgaben modifiziert und gefertigt. Die Lieferfrist von ca. 4 bis 5 Monaten gleicht zum Teil den großen Mangel aus, daß die gesamte Software von uns geschaffen bzw. bereitgestellt werden muß.

3. Zusammenfassung

Die Fertigung von Rationalisierungsmitteln tendiert in immer stärkerem Maße zu vollautomatisierten Maschinen. Dabei nehmen zum gegenwärtigen Zeitpunkt Folgesteuerungen den weitaus breitesten Raum ein. Von gegenwärtig 14 bei uns laufenden Aufträgen werden sieben mit PS 2000/1 ausgerüstet, zwei mit CNC, zwei mit PSMR und drei mit anderen Steuerungsrealisierungen.
Für die höher zu automatisierenden Aufgaben werden dem Einzelanwender vom Hersteller zu wenig Service und zu geringe Anwenderfreundlichkeit angeboten. Die Erstellung und Anpassung der Anwendersoftware und Firmware, z. B. PMC-Programmierung bei CNC sollte bedeutend vereinfacht werden.

КОНЦЕПЦИЯ ОРГАНИЗАЦИИ ГИБКИХ ПРОИЗВОДСТВЕННЫХ СИСТЕМ

Мишин Г.Т. , доцент , к.т.н. , Москва, СССР
Давыдов Н.П. , к.т.н. , Москва, СССР

В настоящее время распространено мнение о том,что гибкое производство - это,прежде всего,мощные вычислительные машины.Характерно следующее высказывание:"Отличие новой концепции (гибкого производства) от традиционной состоит в том,что она позволяет полностью интегрировать весь производственный цикл...Полная интеграция может быть наиболее эффективно обеспечена на базе новых поколений ЭВМ,обладающих большим интеллектом,анализирующих ситуации и говорящих на языке человека..."[I].В развитие этой мысли обычно предлагается оснастить каждый гибкий производственный модуль(ГПМ) - микро-ЭВМ,каждый гибкий производственный участок (ГПУ) - мини-ЭВМ,и т.д.При этом предполагается,что все ЭВМ будут работать в сети и все вместе обеспечивать задачу интеграции производства.

Безусловно,вера в могущество вычислительной техники необходима,однако мера использования ее в производственных процессах должна быть точно определена,так как стоимость оснащения ею вновь выпускаемого оборудования далеко не иллюзорна.

Технологические процессы микроэлектроники ведутся на уровне структурных преобразований твердого тела.Отличительной особенностью приемов воздействия на твердое тело в микроэлектронике является то обстоятельство,что инструмент не имеет четких пространственных границ и не представляет возможности осуществления непрерывного и непосредственного контроля за ходом технологического процесса.Нечеткость пространственных границ инструмента делает невозможным жесткое воздействие на обрабатываемый предмет.Если же учесть,что во многих случаях технологический процесс протекает внутри твердого тела и непосредственное наблюдение его принципиально невозможно,то станет очевидной необходимость формирования особой концепции организации гибких производственных систем (ГПС) для нужд микроэлектроники.Обобщенные структуры гибкого автоматизированного производства в таких концепциях обычно сохраняются,а вот информационное взаимодействие структурных элементов и аппаратно-программное обеспечение могут быть существенно пересмотрены[2]. По-видимому,оптимальным следует считать наиболее экономичный из всех информационно-совершенных вариантов системы управления (СУ).

Для общности будем рассматривать случай,когда на каждом из от-

резков дискретного времени возможно измерение какого-либо показателя, прямо или косвенно характеризующего технологический процесс. Предполагая возможность многократного измерения показателя, с целью восстановления полного вектора состояний, будем считать процесс вполне наблюдаемым [3]. Будем предполагать также, что органы управления процессом настолько совершенны, что позволяют за конечное время перевести производственный объект из состояния x_0 в состояние x_1. Говоря иначе, мы будем считать систему вполне управляемой по Калману [3].

Условимся также, что все управляющие воздействия формируются в устройствах, построенных на базе ЭВМ, что обусловливает дискретность процесса управления с шагом T. За время T отрабатывается управляющее воздействие $U(k)$, измеряется состояние $X(k)$ с результатом $Y(k)$. Временная иерархия процессов производства определяется последовательностью "цикл-операция-процесс-производство".

Понятие "гибкий" будем воспринимать так, как это предписывается нормами русского языка. "Гибкий" - способный оценивать обстановку, обстоятельства, и приноровиться к ним. Наиболее близким по смыслу техническим понятием к слову "гибкий" является слово "адаптируемый". Таким образом, если бы удалось предложить процедуру (алгоритм), обладающую свойством адаптации в широком смысле, то ее использование на всех ступенях последовательности "цикл-операция-процесс-производство" обеспечило бы единство математического и аппаратного обеспечения, а также значительный экономический эффект.

Исследуем возможность использования фильтра Калмана-Бьюси [4] в качестве фундаментального математического аппарата для разработки программного обеспечения ГПС микроэлектроники.

Сравнительно просто реализуются случаи управления полностью определенными системами без адаптации [5]. Для линейных систем с переходной характеристикой, начинающейся в начале координат и за конечное время достигающей предельного значения, передаточная функция $W_p(z)$ в виде z - преобразования аппроксимируется отношением полиномов по z.

Для исправления дефектов характеристики использован метод дискретной компенсации [6]. Количество звеньев компенсатора должно быть не меньше, чем порядок системы, а каждое его звено характеризоваться своим коэффициентом передачи K_m. Для обеспечения плавного изменения входного сигнала введен аналог интегрирующего звена с передаточной функцией $W_I(z)$ и коэффициентом передачи K_I.

Удачно выбранный показатель качества функционирования системы-время достижения стационарного режима-позволяет значительно упростить процедуру определения коэффициентов K_m и K_I. Требуемое качество изделий достигается подбором величин уставки $z(t)$, остающейся постоянной или слабо изменяющейся в ходе процесса.

Главные достоинства рассматриваемой системы - очень простые вычислительные операции и малый объем ОЗУ. Таким образом, работа со стационарным, полностью определенным объектом с одним входом и одним выходом, вполне по силам однокристальной микро-ЭВМ. Однако ориентация на столь простые аппаратные решения приводит к значительным осложнениям в организации сети и потере универсальности в аппаратном обеспечении.

К практически выявленным недостаткам рассматриваемой системы в первую очередь относятся отсутствие автоматической идентификации, адаптивного и оптимизирующего фрагментов в системе управления. Однако успехи теории позволяют модифицировать эту систему и приспособить ее для более общих случаев. Методологические аспекты проектирования систем требуемого качества подробно изложены в работах [7-8]. В них показана принципиальная возможность использования аппарата Калмановской фильтрации в качестве основы проектирования СУ, характеризующихся многомерностью, нестационарностью, адаптивностью и субоптимальностью.

Объем данной работы не позволяет рассмотреть вопросы конкретного проектирования СУ, поэтому ограничимся анализом требований, предъявляемых этим классом алгоритмов к аппаратным средствам СУ.

Пусть максимально возможное количество входов и выходов равно десяти. Порядок вектора состояния примем равным трем, что достаточно полно охватывает возможные случаи. Максимальное число элементов каждой из матриц определится произведением числа входов на число выходов и на размерность вектора состояний. Для рассматриваемого случая это 10 x 10 x 3 = 300. Если размер регистра хранения составляет три байта, то для хранения одной матрицы достаточно 1 Кбайта ОЗУ. При общем количестве таких матриц менее 16, для их хранения следует зарезервировать блок ОЗУ емкостью 16 Кбайт. Такой же блок, но электрически перепрограммируемой памяти, следует предусмотреть для хранения межоперационных данных. Два остальных блока могут быть использованы для хранения математического обеспечения и промежуточных данных при вычислениях. Таким образом, адресного пространства в 64 Кбайта достаточно для организации рассматриваемой СУ.

С точки зрения быстродействия следует учесть,что количество управляющих устройств практически не бывает больше трех.Расчет максимального времени цикла в этом случае дает результат в 0,3 сек.,что вполне допустимо для СУ ГПМ сравнительно медленных процессов микроэлектроники.Эта же СУ может использоваться и для работы в составе ГПУ.При этом следует предусмотреть возможность работы с накопителем,что значительно расширит возможность СУ.Поскольку перечень процедур,выполняемых в ГПМ и ГПУ приблизительно одинаков,то СУ ГПМ годна и для работы в ГПУ.

Применимость рассматриваемой СУ для работы на уровне цеха и завода не прогнозируется,однако использование унифицированных СУ на уровнях ГПМ и ГПУ имеет значительные перспективы и увеличивает степень гибкости гибких производственных систем.

Литература

I. Васильев В.Н. Организация управления и экономика ГАП в машиностроении. - М.: Машиностроение,1986,с.22.

2. Войчинский А.М.,Диденко Н.И.,Дузин В.П. Гибкие автоматизированные производства. - М.: Радио и связь,1987,270с.

3. Справочник по теории автоматического управления. Под ред. Красовского А.А. - М.: Наука,1987,712 с.

4. Браммер К.,Зиффлинг Г. Фильтр Калмана-Бьюси. - М.: Наука, 1982,199с.

5. JURI E.I.,SCHROEDER W. DISCRETE COMPENSATION OF SAMPLED-DATA AND CONTINUOUS CONTROL SYSTEMS. - TRANS.AIEE,VOL.75,PT.11, 1975,p.317-325.

6. Давыдов Н.П.,Давыдова Ж.К.,Мишин Г.Т. и др. Система управления технологическими процессами на базе микропроцессора серии К580. - Микропроцессорные средства и системы,1984,№3,с.72-78.

7. Афанасьев В.Н.,Данилина А.Н. Алгоритмическое конструирование систем управления с неполной информацией. - М.: Ротапринт МИЭМ,1985,93с.

8. Афанасьев В.Н.,Данилина А.Н. О некоторых подходах к задаче адаптивного субоптимального управления нестационарными объектами. - Автоматика и телемеханика,1987,№12,с.117-130.

ИНФОРМАЦИОННО-ДИСПЕТЧЕРСКАЯ СИСТЕМА УПРАВЛЕНИЯ ПРОИЗВОДСТВОМ - И Н Д И С

Тренков, Й., ст.н.с. к.т.н. инж., ИМЭ, София, НРБ
Кантарев, Е., н.с. инж.
Шекерджиева, К., н.с. инж.
Петрова, С., н.с. инж.
Ганчев, Т., н.с. инж.

ИНДИС представляет собой систему технических, программных и организационных средств эффективного анализа, контроля и планирования производства, выхода годных и качеств изделий микроэлектроники и других дискретных производств.(Рис. 1).

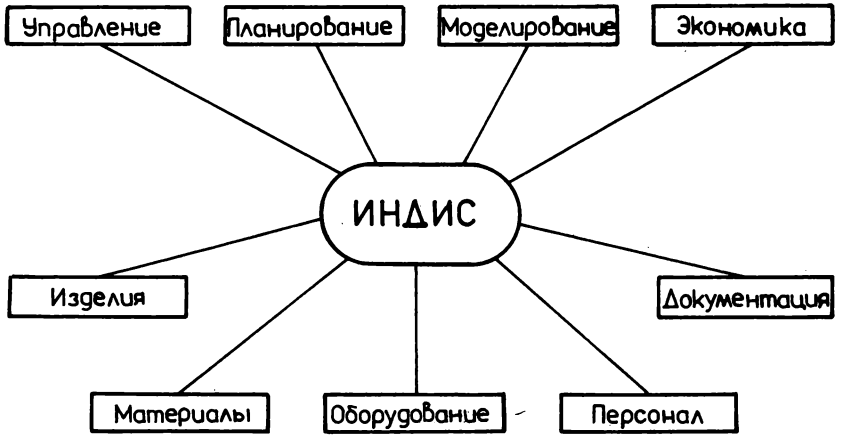


Рис. 1

Она предназначена для:

- введения, сохранения, обработки и анализа информации о производстве;
- планирования и оптимизации движения изделий через технологические линии;
- оценки экономических показателей производимой продукции.

Система является основным элементом компьютерно интегрированного производства с целью создания безлюдных технологий.

Технические средства системы включают сеть из супермини ЭВМ с терминалами, расположенными на отдельных производственных участках и пунктах управления (Рис. 2).

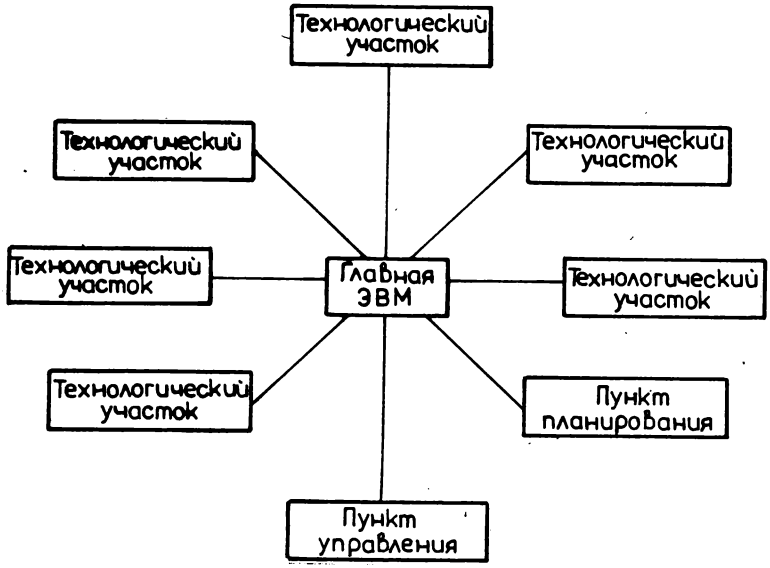


Рис. 2

Система организована на основе 32-битовых супермини ЭВМ VAX11, μVAXII, Электроника 82 или их аналогах. Архитектура этого комплекса обеспечивает возможность расширения посредством сети из машин того же класса, охватывающих отдельные участки производственного оборудывания в прямой связи с главной ЭВМ.

Базовая конфигурация главной ЭВМ требует: оперативной памяти – 9 МВ, дисковой подстистемы – 2 х 470 МВ, лентовой подсистемы.

Программные пакеты работают под управлением операционной системы VMS 4.4. на основе Базового программного обеспечения для реляционной База данны RDB. Язык программирования – ФОРТРАН-77.

В программные средства системы ИНДИС входят следующие программные пакеты:

МОДИС – пакет программ для моделирования:

– организации предприятия – технологических линий, операций оборудования, изделий, материалов и другой служебной информации;

- технологических рядов производства для каждого класса изделий;

- характеристики операций - условий выполнения, исходных параметров, требований годности, лимитного времени выполнения, планового выхода и ряда других параметров технологической документации;

- инструкций о работе и возможности их централизированной перемены.

ВХОДИС представляет собой пакет программ для информационного введения посредством легко доступного диалога. При помощи этого пакета программ в систему вводятся декларации о:

- изделии - его виде, идентификаторе, партидном номере и других специфических характеристиках;

- условиях выполнения операции - параметрах оборудования, программе выполнения и др.

- выполняющем операцию операторе;

- результатах выполнения операции /годные, брак, на ремонт/, категориях, распределении брака по параметрам, стоимостях параметров и др.;

- моментах поступления, передачи, начала и конца операции;

- направлении движения изделия /продвижение вперед, брак, на ремонт/.

Пакет предусматривает и возможность автоматизированного файлового введения информации.

СПРАИС - пакет программ для генерирования, архивирования и извлечения широкого диапазона справок различных классов посредством легко доступного диалога:

- справок о количестве объектов в разных операциях технологической линии как незаконченное и законченное производство;

- справок о движении данной партиды объектов в технологическом порядке - маршрутных картах, месте данного объекта;

- справок о выходе для каждой операции, участках, цехах, изделиях и др.;

- справок о результатах контрольно-измерительных операций обобщении результатов для каждой серии, изделии, операции, распределении брака по параметрам, тенденциях изменения выхода годных и стоимостях параметров, гистограммах, картах пластин выхода годных и др.;

- справок о нагрузке оборудования и операторов.

Пакет ДИСИС обеспечивает средства диспетчеризации производства посредством:

- текущего указателя ожидающих обработки объектов для каждой операции, следящего за динамическим движением объекто в технологическом порядке;

- средств определения администратором производства приоритета объектов при выполнении операции и ежедневных заданий для обязательного выполнения с целью оптимизации движения и соблюдения сроков реализации;

- централизированного контроля состояния общих условий работы в цехе;

- сохранения и централизированного изменения технологической документации.

Заключение.

Система ИНДИС может быть адаптирована для всех ЭВМ, эмулирующих вышеуказанные технические средства и операционные системы. Она является открытой системой и может быть модифицирована и расширена дополнительными подстистемами. В настоящее время разрабатывается программный пакет КАДИС, работающий совместно с ИНДИС для многомерного корреляционного и регрессионного анализа с целью раскрытия основных причин понижения выхода годных и качества продукции.

Система ИНДИС внедрена в микроэлектронное производство в ХО "Микроэлектроника".

PROJEKTIERUNG TYPISIERTER AUTOMATISIERTER STEUERUNGSSYSTEME FÜR HOCHREGALLAGER

Engelsmann Jan,Ing., Kancelářské stroje, Brno, CSSR

Steuerung der Hochregallager bedeutet:
Planung und Bereitstellung des richtigen Materials in der richtigen Menge im richtigen Zustand zum richtigen Zeitpunkt am richtigen Ort, d.h. einzelne Tätigkeiten im Lagerprozess optimal aufeinander abstimmen und synchronisieren. Dazu ist es notwendig die richtige Methode für den Entwurf des Steuerungssystems zu verwenden, die eine schnelle und richtige Entwicklung der Programmausstattung ermöglicht.

Schnittstellen zwischen den Elementen des technologischen Systems und des Steuerungssystems (SS) sind mit Regel- und Steuerungseinheiten ausgestattet. Übergeordnete Prozess- und Leitebenen komunizieren mit dem Bedienungspersonal mittels Bildschirmeinheiten und Druckern. Die Bedienung gibt in den Rechner Information über das Ende einer indirekt gesteuerten Tätigkeit ein und bekommt aus dem Rechner den Befehl zur Ausübung der nächstfolgenden Tätigkeit. Das Anwendungssoftware kann man als ein prozessorientiertes Informationssystem betrachten. Die Informationen (Datasignale) stellen die Ein- und Ausgaben der einzelnen Steuerungsfunktionen dar, siehe Abb.1, die Zustände des Steuerungssystems sind in der Datenbasis gespeichert. Die Verkettung der Steuerungsfunktionen stellt den Steuerungsprozess dar.

Durch die Einzeichnung der Steuerungsfunktionen,in den durch horizontalzeitlinien dargestellten Informationsfluss, muss es zur vollkommenen Verkopplung zwischen dem Anfang einer und dem Ende der nachfolgenden Tätigkeit kommen, siehe Abb. 2.

Verkürztes Prinzip der Anwendung der Theorie der Endautomaten zur Beschreibung des Steuerungssystems

der Automat:	Moore	Mealy
die Zustands-überführungs-Abbildung:	$q^{p+1}=S(q^p,x^{p+1})$	$q^{p+1}=S(q^p,x^{p+1})$
die Ausgabe-Abbildung:	$y^p=O(q^p)$	$y^p=O(q^p,x^p)$

Bei konkreter Anwendung:
S ... verursacht die Veränderung des inneren Zustandes des Steuerungssystems. Sie wird durch den Namen der Steuerungsfunktion (SF) oder durch den Namen des algorithmischen Moduls (AM) bezei-

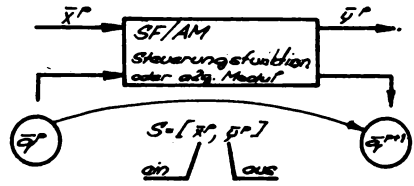


Abb. 1 Die Zustandsüberführung - Abbildung

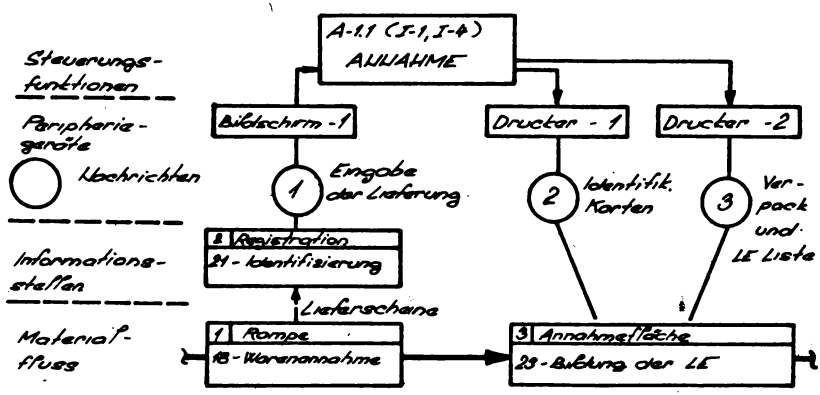


Abb. 2 Funktionsmodellteil

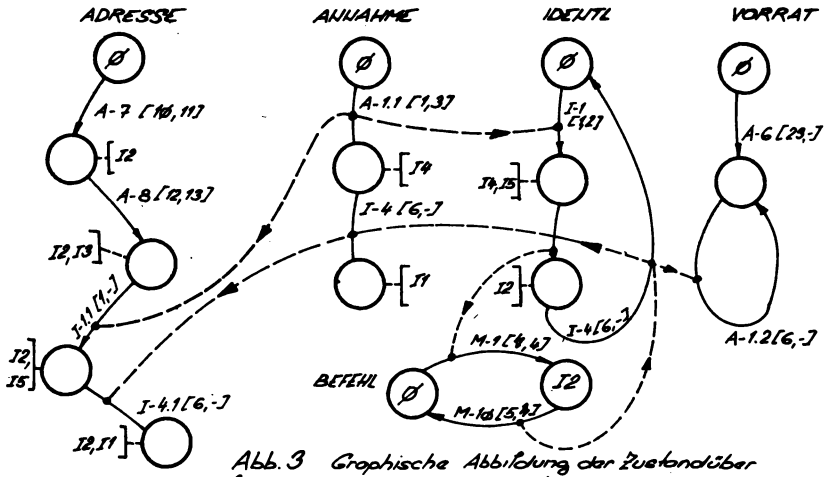


Abb. 3 Graphische Abbildung der Zustandsüberführungen bei der Annahmesteuerung

chnet,der den Übergang durchführt.

O ... bildet das Ausgangsignal im Lagerprozess. "O" ist in AM, resp. SF eingegliedert.

x ... Eingabedaten. Der Vektor der Datenelemente aktiviert die Zustandsüberfürung und die Ausgabe. Er ist durch die Nummer der Eingabenachricht bestimmt.

y ... Ausgabe(Steuerungs-)daten, die durch die Nummer der Ausgabenachricht bestimmt sind.

q ... bezeichnet den inneren Zustand des Steuerungssystems. Er ist der Vektor, der in der Datenbasis gespeicherten Datenelemente. Er wird durch den Namen und den Wert der Schlüsselgrösse identifiziert. Beide sichern den korekten Zugriff zu den Daten für den Anfang der Algorithmenabwicklung.

p ... ist der Takt, der immer mit der Ankunft von x beginnt.

Das Steuerungssystem besteht aus etlichen, gegenseitig sich beinflussenden Teilen, z. B. aus den Endautomaten, die mit verschiedenen Alphabeten und Geschwindigkeiten arbeiten können, siehe Abb. 3. Die Zustandsüberführungen in den einzelnen Automaten (ADRESSE, ANNAHME, ...) sind in algorithmischen Modulen durchgeführt mit Befehlsfolgen. In einer Steuerungsfunktion sind algorithmische Module verbunden, welche dieselbe Eingabenachricht stufenweise für verschiedene Automaten verarbeiten. Am Beginn werden die Eingabedaten auf ihre Plausibilität geprüft und die Zulässigkeit wird durch den Vergleich mit dem vorgeschriebenen Ausgangszustand geprüft. Danach folgt eventuell ein gesteuerter Dialog mit der Bedienung, die die Möglichkeit hat einige Daten für diesen konkreten Ablauf zu korigieren und auch zuzufügen. Weiter wird der neue Zustand in die Datenbasis übergeführt- durch den Transfer des Satzes von einem Kennungsschlüssel zu dem nächstfestgelegten. Unter Einfluss der vorher beschriebenen Methode wurde eine spezielle Datenbasis mit Netzstruktur und schnellen index-sequentiellen Zugriffen entwickelt. Am Ende wird die Ausgabenachricht formuliert und ausgegeben. Die Ausgabe ist auf die Befehle DISPLAY, kurzer REPORT, LISTE, MELDUNG und DATENÜBERTRAGUNG standardisiert.

Bei der Interpretierung des Funktionsmodeles berücksichtigt man weiter:

1. Die Lösung des Problems der Hiearchie der Steuerungsfunktionen in der Form logischen und prioritären Schichtung der Programmausstatung und zwar so, dass die einzelnen Schichten einzel-

nefunktions, resp. technischen Ebenen des Steurungssystems respektieren:

1. Leitebene, angekoppelte an die Betriebsleitung,
2. Steuerungs-/Prozessebene, für die Vorbereitung und die Koordinierung des Lagerprozesses,
3. Durchführungsebene mit direkter Steuerung der technologischen Geräten, resp. indirekter Steuerung beim Ausfall der Gruppensteuerungen oder bei der Steuerung der nichtautomatisierten Vorgänge (Komissionieren u.ä.).

2. Die Lösung der Autonomie und Synchronisierung der Steuerungsfunktianen, die denselben Subsystem der Datenbasis und dieselbe technische Ausstattung benützen. Der Datenaustausch mit dem übergeordneten oder nebenstehenden Subsystem wird in äussersten Fällen in Zeitabschnitten, die länger als die Reparaturzeit des angekoppelten Subsystems ist, durchgeführt.

Die weitgehend deterministische Möglichkeiten der beschriebenen Methode machen es möglich, eine grundsetzliche Verkürzung des Zeitaufwandes und die Steigerung der Qualität, beginnend mit der Planungsphase über die Entwicklung der Programme, bis zu der Inbetriebnahme. Nicht nur die einzelne Programmierer, aber auch der Systemanalytiker und der Technolog können gleichzeitig arbeiten.

Die Typisierung ist durch zwei miteinander verbundenen Komponenten gegeben:

1. Die Übertragbarkeit des problemorietierten Software.
2. Die Projektierungsmethodik der Steuerungssysteme mit der Anwendung typisierter Funktionsmodule.

die Übertragbarkeit

In dem Anwendungssoftware wird mit folgenden Prinzipien gerechnet:

1. Die Eingliederung fertiger Anwendungsprogramme, die auf dem Prinzip der parametrischen Programme entwickelt wurden.
2. Die Modifizierung der Funktion durch die Gestaltung mit Hilfe der Menge der typisierten Programmodulen.
3. Die Konstruktion neuer Anwendungsprogramme aus fertigen Programmmodulen mit der Benützung des Prinzipes der Makrodefinitionen.

ANWENDUNG DER INDUSTRIEROBOTER DES KOMBINATES ROBOTRON BEI DER RATIONALISIERUNG DER ELEKTRONISCHEN MONTAGE

Fugmann, G., Dipl.-Ing., KDT, Weimar, DDR

Seit 10 Jahren werden im Rationalisierungsmittelbau des Kombinates Robotron Industrieroboter entwickelt und produziert. Bei der Rationalisierung der Erzeugnisse des Kombinates

- elektronische Datenverarbeitungsanlagen
- Mikrorechner
- Büro-, Personal- und Arbeitsplatzcomputer
- Datenerfassungstechnik
- Terminals
- Schreib- und Drucktechnik

werden diese Industrieroboter vorwiegend für die Montage elektronischer Baugruppen sowie feinmechanischer Geräte eingesetzt.

Roboter des Types

PHM 41
PHM 50

sind freiprogrammierbar, mit mikroelektronischer Steuerung ausgerüstet und können Handhabemassen bis maximal 1,5 kg manipulieren.

In der Industrie der CSSR ist bisher der PHM 41 erprobt und eingesetzt worden. Der Roboter PHM 50, der zur Internationalen Roboterausstellung "Robot 88" ausgestellt war, wird auch für den Einsatz in der Geräteindustrie der CSSR vorbereitet.

Im Rahmen der Einsatzvorbereitung des PHM 50 wurde ein Projekt für die Automatisierung der Bestückung von Leiterplatten ausgewählt, auf das ich in meinem Vortrag näher eingehen möchte.

Entsprechend dem internationalen Trend werden auch in der DDR große Anstrengungen unternommen, oberflächenmontierbare Bauelemente (SMD-surface, mounted divices) einzusetzen, weil mit dieser Technologie eine Vielzahl ökonomisch besserer Ergebnisse gegenüber

der bisher üblichen PIN-Elektronik erreicht werden können.

Bei den geplanten Steigerungsraten der Produktion im Kombinat Robotron, die gegenüber 1986 bis 1990 auf 170 % anwachsen soll, sind solche Effekte erforderlich, da auch in der Volkswirtschaft der DDR keine zusätzlichen Arbeitskräfte vorhanden sind.

Für die Durchsetzung des Projektes sind Voraussetzungen zu schaffen, die gewährleisten, daß die Positioniergenauigkeit des Bestükkungssystems die Genauigkeit der Leiterbahnführung auf der Leiterplatte und die Maßtoleranz der Bauelemente in Übereinstimmung bringen.

1. Für den Konstrukteur und Produzenten der Leiterplatte sind Richtlinien festzulegen, die eine Automatisierung des Bestükkungsvorganges sichern. Dabei wird von 2 Bedingungen ausgegangen:

   - Für einen längeren Zeitraum ist von einer Gemischtbestückung auszugehen, d. h.: auf der Leiterplatte werden wie bisher üblich, Bauelemente mit PIN,s auf der Bestückungsseite der Leiterplatte in die dafür vorgesehenen Bohrungen gesetzt. Auf der Lötseite werden die sogenannten SMD-Bauelemente aufgebracht.

   - Für eine zunächst kleinere Anzahl von Leiterplatten kann ausgehend vom vorhandenen Sortiment der SMD-Bauelemente eine reine SMD-Bestückung erfolgen.

   Für beide Möglichkeiten der Bestückung wurden Standards vorbereitet, die die technologischen Erfordernisse der Automation beim konstruktiven Entwurf, bei der Herstellung der Leiterplatte, bei der Bestückung sowie beim Kontaktieren und letztlich beim Prüfen der fertigen Baugruppen berücksichtigen. Damit sind die Voraussetzungen für eine durchgängige CAD-CAM-Lösung geschaffen, die bei der Realisierung des Projektes bis zu einer CIM-Lösung ausgebaut werden kann.

2. Für das Aufsetzen der SMD-Bauelemente ist eine spezielle Technologie zu entwickeln, die gewährleistet, daß die Bauelemente bis zum nachfolgenden Kontaktieren auf der Leiterplatte haften. Dazu wurde auf einen speziell dafür entwickelten Klebstoff CK 100 N des Kombinates Elektronische Bauelemente zurückgegriffen. Die nachfolgenden technologischen Prozesse - Aushärten, Kontaktieren, Waschen - werden als bekannt vorausgesetzt und sind auch nicht Bestandteil des Projektes.

3. Mit dem Produzenten der Bauelemente müssen die Anlieferqualitäten sowie die Verpackungstechnik der Bauelemente vereinbart werden.

   Es wurden 3 Möglichkeiten untersucht:

   - Lieferung im Blistergurt
   - Lieferung im Stapelmagazin
   - Lieferung als Schüttgut.

   Zweifelsohne ist für die Automatisierung der Bestückung die Anlieferung in Blistergurten die beste Lösung, sie ist auch international weitestgehend üblich. Für das Projekt wurden deshalb in der ersten Phase Blistergurte der Abmessung 8 und 12 mm festgelegt, es werden SOT, SOD, SO sowie Chip-Widerstände und Chip-Kondensatoren in dieser Verpackung angeboten.

   Für die Projektierung des Einsatzfalles wurde ein spezieller Bestückungskopf entwickelt und an den PHM 50 angebaut. Dieser Bestückungskopf hat die Aufgabe, die Bauelemente aus der Bereitstellungsstation des Abrollmoduls für den Blistergurt zu entnehmen, das Bauelement zu zentrieren und auf den vorbereiteten Klebepunkt der Leiterplatte (Bestückungsposition) zu setzen.

   - Zur Erhöhung der Effektivität der Bestückung wird der Greifer des Bestückungskopfes so konstruiert, daß er mehrere Bauelemente (bis zu 4 Stück) gleichzeitig aufnimmt und sie in Reihenfolge bestückt. Gleichzeitig soll dieser Bestückungskopf über eine Automatik für das dosierte Auftragen von Klebstoffpunkten verfügen.

Im technologischen Ablauf der Bestückung wird stets als erste Operation der Klebepunkt gesetzt und anschließend das Bauelement. Während der Bestückung wird die Klebstoffautomatik weggeschwenkt. Am Greifer des Bestückungskopfes ist ein Anwesenheitssensor angebracht. Der Bestückungskopf in Verbindung mit dem PHM 50 wird serienmäßig ab 1988 im VEB Robotron-Rationalisierung Weimar gefertigt. Die Steuerung des Roboters baut auf den erprobten K 1520 Baugruppen des Kombinates Robotron auf.

Die Industrierobotersteuerung besteht aus den Baugruppen Steuerschrank mit Stromversorgung, Ablauf- und Antriebssteuerung, Kassettenmagnetbandgerät (KMBG) sowie Teach- und Bedieneinheit (TBE). Die Steuerung ist als Mehrrechnerstruktur mit Arithmetikprozessor entwickelt und in der Grundversion für die vier Achsen des Greiferführungsgetriebes ausgelegt. Sie kann entsprechend den Anwenderbedürnissen erweitert werden.

Die Ergänzung anwenderspezifischer Programmodule ist möglich. Das ausgetestete Programm kann auf Diskette 5 1/4" ausgelagert werden. Die Übermittlung von Daten zur Korrektur von Lagekoordinaten ist über eine serielle Schnittstelle für Abweichungen bis max. $\pm$ 0,3 mm möglich.

Für das Projekt wurden folgende Peripheriebaugruppen entwickelt:

- Bestückungstisch mit Leiterplattenaufnahme und Aufnahme für den Bestückungsroboter. Es erfolgt die Anwesenheitskontrolle, Positionierung und Arretierung der Leiterplatte.

  Es können aufgenommen werden Leiterplatten der Maße (60 x 60) mm bis (300 x 350)mm, bis 2,5 mm Dicke. Die maximale Bauhöhe der bestückten Leiterplatte darf 24,5 mm nicht überschreiten.

- Zu- und Abführeinrichtung für Leiterplatten

  Diese Einrichtung verfügt über einen oder 2 Magazinspeicher. Es können max. 3 Magazine je Speicherebene mit jeweils 15 Leiterplatten gespeichert werden. Die Magazine werden vom Speicher automatisch in die Absortiereinrichtung gefahren und die Leiterplatten in Reihenfolge aus dem Magazin auf den Bestückungstisch, an dem

die Zu- und Abführeinrichtung angebaut ist, abgelegt. Die bestückte Leiterplatte wird automatisch in das Magazin eingelegt.

- Verkettungs- und Wendeeinrichtung zur direkten Kopplung von mehreren Bestückungsstationen. Die Wendeeinrichtung gewährleistet, daß die Leiterplatte sowohl auf der Bestückungs- als auch auf der Lötseite dem Roboter zur Bestückung angeboten wird.

- Bereitstellungseinrichtungen für aufsetzbare Bauelemente

  Für die unterschiedlichen Anlieferungszustände der Bauelemente werden Peripheriemodule eingesetzt, die sich auswechselbar auf einheitlichen Rasterplatten im Arbeitsraum des Roboters befestigen lassen.

  Das Rastermaß beträgt 25 mm, so daß Gurtmodule einer Breite von 24 mm und auf 2 Rastern Magazinmodule mit einer Breite von 40 mm wahlweise eingesetzt werden können (entspr. dem Bauelementespektrum). Die Gurtmodule enthalten eine Abrolleinrichtung mit Schrittschaltwerk für Blistergurtrollen bis zu einem Durchmesser von 180 mm, eine Aufwicklung für Abdeckfolie und eine Präzisionspositionierung im Abnahmebereich des Roboters.

Die Module für Stangenmagazine der Typen Stamag 160 und Stamag 180 dienen zur Bereitstellung von Schaltkreisen im SO-Gehäude mit 8 mm oder 15 mm Breite. Dabei sind entweder 4 oder 2 Stangenmagazine auf einem Modul angebracht.

Für Schüttgut wird ein separater Arbeitsplatz angeboten, an dem mittels Vibrator die Bauelemente in Magazinmodule lage- und polrichtig sortiert werden. Diese Module können ebenfalls auf den Rasterplatten befestigt werden. Die Steuerung der Anlage erfolgt durch einen Zellenrechner P 6004 des Robotron-Rationalisierung Weimar. Die Programmierung und Bedienung der Anlage ist bildschirmunterstützt, das geteachtete Programm kann über ein angeschlossenes Diskettenlaufwerk ausgelagert und geladen werden.

Im Projekt ist eine externe Programmierung des vollständigen Rechenprogrammes auf einen Personalcomputer möglich. In einer weiteren Entwicklungsstufe wird die Leiterplattenidentifikation erfolgen, über die automatisch das Bestückungsprogramm aufgerufen wird und alle Komponenten der Anlage sich auf dieses Programm einstellen.

Für einen Bestückungszyklus mit Einfachgreifer wurde pro Bauelement eine Bestückungszeit von 6,5 s projektiert. Durch Anwendung des Mehrfachgreifers wird dieser Bestückungszyklus auf 2 sec vermindert, so daß bei 3schichtiger Auslastung der Anlage eine Einsparung von 6 Arbeitskräften erreicht, wobei eine Qualitätsverbesserung gegenüber Handbestückung mit mindestens 150 % gewährleistet wird.

Simple System for Functional Testing the Printed Circuit Boards
Kubiak, Z., Łukasik, E., Mielcarek, R., Tech. Univ. Poznań, Poland

1. Introduction

The lack of the universal testing systems on polish electronic market forces the designers and users of the diverse modular electronic systems to look for their own unique solvings in the branch of diagnostics and testing the electronic boards. In most cases the functional testers, simpler and cheaper then "in circuit" ones, are good enough for keeping the quality of final product. In the paper the example of the functional tester based on microcomputer, fully designed and manufactured for the remote control system is presented.

2. Tester fixturing and operating

The stand for functional testing comprises the microcomputer, the CRT monitor and the testing unit /TU/. Microcomputer realizes the program which causes: sending stimuli to the TU, reading the responses, comparing them with the patterns and deciding on their correctness. Fig. 1. presents a detailed block diagram of the TU.

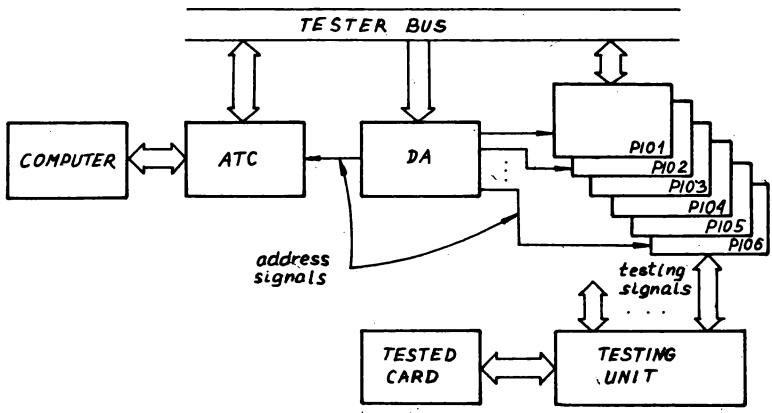


Fig.1. The block - diagram of the testing device.

The tested card is inserted into the sockets of the testing block, which is implemented with the LEDs displaying the logical states of all inputs and outputs. The data from the tester bus are being sent to one of the six I/O cards /PIO/ via an adapter card /ATC/ implemented with amplifiers, separators, circuits checking the presence and the efficiency of PIOs and some LEDs displaying the data and the direction of their transfer. Each of the PIO cards comprises four 8-bit buffers - stimuli sources for 32 testing points /the maximum number of such points is 192/. The same buffers transfer the logical states of the pins to the microcomputer. The buffers are addressed by the Address Decoding Card /DA/. The TU is additionally implemented with the manual logic state indicator which is useful in fault localisation.

3. Test programs

Before executing the test of any board, the system starts with the autotest. It checks the presence of all the PIO boards in the TU, controls the source voltages on the pins and checks the correctness of the read/write operations. The main test may run in three different modes:

- continuous mode: the full test is executed without break. Erroneous step, i.e. that in which the response differs from the expected one, is indicated when executing the test and the total number of faults is given at the end;
- error detection mode: the test runs continuously until an erroneous step is detected. Then the test stops and the connectors picture with pin function /input-output/, its logical state and error map are displayed;
- sequential mode: the operator points the number of steps to be executed. The response map of the last step is displayed on the screen.

All the modes are commented and menu-driven. During the break of the test the operator can choose the way of continuation, e.g. step-by-step, continuously or up to the predetermined step.

The test vectors are prepared in the way explained below. Let us define the 8-bit vectors /n refers to the number of buffer, k refers to the number of step/:

$\vec{F}_n = /f_7 \ldots f_0/$ - vector of pin function; $f_i = 0$ for input, $f_i = 1$ for output

$\vec{P}_{n,k} = /p_7 \ldots p_0/$ - vector of predicted correct response $p_i \in /0,1/$

$\vec{R}_{n,k}$=/r_7....r_0/ - buffer response vector $r_i \in$ /0,1/
$\vec{E}_{n,k}$=/e_7....e_0/ - fault vector e_i=0 for correct response, e_i=1 for fault response.
The test vectors $\vec{W}_{n,k}$ are formed as the logical sum:

$$\vec{W}_{n,k} = \vec{P}_n + \vec{P}_{n,k}$$

The elements of the error vector $\vec{E}_{n,k}$ are formed as the symmetric difference:

$$\vec{E}_{n,k} = \vec{P}_{n,k} \oplus \vec{R}_{n,k}$$

The logical states of pins, including the erroneous ones marked with special signs, are displayed on the CRT screen.

In order to prepare the efficient tests, which examine maximum possible board paths in minimal number of steps and are able to check the sequential devices on the board, the stimuli sequences based on the analysis of the circuit diagram of the board were created.

The matrices of pattern responses vectors $\vec{P}_{n,k}$ were prepared by using the special test editing program, which enabled collecting the responses of the well working pattern card. In a few operating modes it was possible, among others, to define the function of each pin and the logical state of given input by displacing the cursor indicating the position which has to be defined /the sign sent from the keyboard becomes immediately visible on the right place of the screen/, to dispatch the stimuli and to read the responses. In other modes it is possible to execute the sequence of predicted n steps, to modificate the input logical state i.e. to change the given step, to read/write the data from/to the mass memory. In every moment of test edition it is possible to change the operational mode.

4. The tester as a tool for debugging the electronic cards

When setting to work the new-built cards, it is necessary to generate the diversity of static stimuli and to read the responses in order to check the functions of the circuits and to localise the faults. Instead of using big sets of simple elements like indicators, switches, additionnal digital devices, it seemed to be more efficient replacing them by the same tester with special software. The program consists of the following parts:

autotest, declaration part and execution part. In the declaration part the user may form his own names of the pins of connectors, determine their functions /input-output/ and operate on the new-created vocabulary of 200 words maximum, i.e. reading the whole or a part of vocabulary, deleting some names, getting the information of the logical state of the pin calling it by its number or its name.

It is also possible to prepare and store sequences of stimuli to be called in the execution part. The execution part comprises sending previously declared stimuli or sequence of impulses to that PIO board which is connected with the pin of interest, inverting the state of given pin, storing current /i-th/ states of pins. All the pin states are updated after each operation on any of the PIO boards. It may be worth mentionning, that the operator chooses the commands from the menu presented on the CRT monitor together with the function/state map of connectors.

5. Conclusion

The testing device presented in this paper was fully designed and built in the Institute of Control Engineering in Technical University of Poznań for TM11 remote control system cards. Tests executed by the device enable checking the functional correctness of several different types of cards. The functional test, when running continuously, gives the general view of the correctness of the card /go -no go/. Although it is not the best tool for the error localisation purposes, the results of test executed in step-by-step method may form the set of information sufficient for repairing the faulty card. There is only a need of the qualified and experienced staff. For increasing the abilities of the tester it is possible to add an elastic connector equipped with a measuring clips allowing testing single IC on the board.

6. References

1. Friedman A.D., Menon P.R., Fault detection in digital circuits, Prentice-Hall, 1971 /Polish transl. WNT, 1974/.
2. Jackiewicz B. /ed./, Selected MOS-LSI circuits /in Polish/ WKŁ, 1983.
3. Sapiecha K., Testing and diagnosing the digital systems /in Polish/ PWN, Warszawa, 1987.

Microprocessor controlled RLC meter with IEC-625 interface for "in-circuit" testers of PCBs

Tlaga, W., Dr.-Ing., Hoja, J., Dr.-Ing., TU Gdańsk, Poland

1. INTRODUCTION

In the in-circuit measurements while carrying out the PCB testing one of the most significant problems is the possibility of measuring the RLC elements in a strongly shunted state [1]. Therefore the evaluation of effectiveness of the methods applied to the up-to-date instruments designated for strongly shunted RLC elements measurements as well as their further development expanding the measurement capabilities is of primary importance. One of the methods which can be applied to the above mentioned purposes is the method where the immitance components are calculated by the computer from the measurement results of four components of voltage and current vectors [2].

2. PRINCIPLE OF MEASUREMENT

The analyzed method is considered as a universal one by means of which it is possible to carry out all the parameters of the RLC elements [2]. The measurement process proceeds in a similar way with regard to every parameter and for this reason this analysis will be concentrated on the case of capacitance C_p measurement in the parallel equivalent circuit mode, which will, however, enable us to draw some general conclusions. The measurement idea is illustrated in Fig.1.

Four vector components i_x and u_x a, b, c, d have been determined assuming the supplying signal as the reference one, hence the admittance of the measured element can be presented as

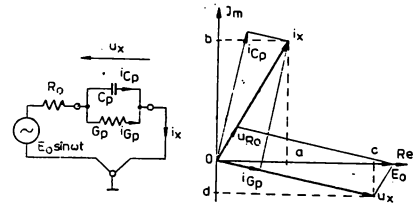


Fig.1. The instrument input circuit and vector diagram.

$$Y_p = G_p + j\omega C_p = \frac{i_x}{u_x} = \frac{a + jb}{c + jd} \quad (1)$$

where from it is easy to derive the relation defining the unknown parameter C_p. The above procedure is applied to the measurement system shown in a block form in Fig.2. The measured element (C_p) is supplied by a sinusoidal signal shaped from rectangular one of the quartz oscillator as a result of frequency division in the programmable divider and the digital phase shifter. The input

circuit emits signals u_1, u_2 proportional to current and voltage on the measured element C_p.
The relation between the signals and the admittance Y_p is expressed by the dependence

$$Y_p = -\frac{1}{R_R}\,\frac{u_1}{u_2} = -\frac{1}{R_R}\,\frac{\mathrm{Re}\,u_1 + j(\mathrm{Im}\,u_1)}{\mathrm{Re}\,u_2 + j(\mathrm{Im}\,u_2)}, \qquad (2)$$

where: R_R - range resistance of the converter $i_x \rightarrow u_1$.
The unknown parameter C_p is determined from the following equation derived from (2).

$$C_p = -\frac{1}{\omega R_z}\,\frac{\frac{\mathrm{Im}\,u_1}{\mathrm{Re}\,u_2} - \left(\frac{\mathrm{Re}\,u_1}{\mathrm{Re}\,u_2}\right)\left(\frac{\mathrm{Im}\,u_2}{\mathrm{Re}\,u_2}\right)}{1 + \left(\frac{\mathrm{Im}\,u_2}{\mathrm{Re}\,u_2}\right)^2} \qquad (3)$$

From dependence (3) it follows that in order to find out C_p it is necessary to know the relation of the three components: Re u_1, Im u_1 and Im u_2 with respect to Re u_2 (they correspond to components a, b, d in relation to c in Fig.1). They are determined by conversion of detected components of vectors u_1 and u_2 into time intervals in the measurement channel consisting of synchronous detector, integrator and zero detector. The time intervals measured by means of the microprocessor timer are utilized to determine parameter C_p from dependence (3).

3. RLC METER

Fig.2 illustrates a block scheme of the instrument, while Fig.3 shows control and timing signals of the measuring channel.

To synchronize the u_{ref} signal prior to the basic measurement cycle, there has been introduced a synchronization time interval T'_o. n order to minimize the effect of the DC parameters of the integrator there has been introduced in the time interval T''_o an automatic DC-zeroing of the measurement channel.

To eliminate the transient states at the synchronous detector output there has been used switch S_3 which with a certain delay connects the output of the integrator during each charging and discharging cycle.

The control unit of the meter is constructed on the base of Z80 microprocessor and LSI input/output circuits. Its fundamental task is the realization of a selected measurement procedure and the servicing of one of the two alternative programming sources of

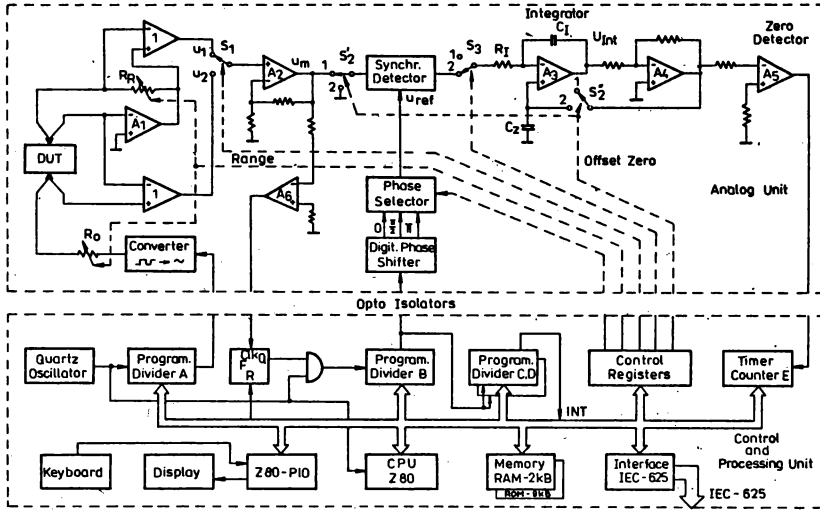


Fig.2. Block diagram of the RLC meter.

the meter. The instrument is capable to operate in one of the two modes: the local (programming and control from the front panel) and the remote one (programming and control from the IEC-625 interface bus).

The control of the measurement process is carried out in several stages. While determining the measurement parameters (programming the meter), the microcomputer by means of the appropriate control registers organizes the measurement network adequate to the programmed values (type of measurement, range, frequency, etc.). After reception of start command from the programming source, the controller initiates to generate suitable sequences controlling the operation of respective blocks of the meter. The output frequency of the divider A determines the basic operational frequency of the measuring circuit. The programmed dividers B and C are used to determine the required time intervals. Divider B is working as a time counter in the interrupt mode. Divider C serves as a software alarm-

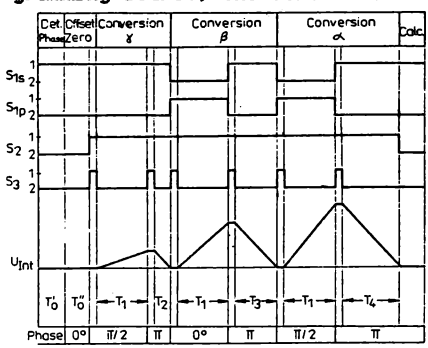


Fig.3. Measurement cycle.

clock sending interrupts appropriately earlier then divider B. This interrupt causes the suspension of the executed program, a disabling of all interrupts besides the one from divider B and initiation of the awaiting state HALT. Such a solution makes provision for a simultaneous execution of numerous tasks (e.g. time counting, servicing the keyboard or the external bus IEC-625, and the calculations). The measurement of the time intervals T_2, T_3, T_4 is performed by means of time meter D. A final procedure carried out within the measurement cycle are the calculations of the measured parameter values made by five digit floating point BCD package. In the case of the meter control via the IEC bus there occurs a conflict between the necessity of execution by the processor some measurement procedures strictly dependent upon time, and the necessity to receive and execute within a defined time interface message. To avoid this conflict there has been applied a microprogrammed circuit for the reception of the interface messages. While the measurements are being taken, the system consisting of ROM memory, message register and a control register, receives, decodes and executes the interface messages without disturbing the meter. Other interface functions have been realized by the instrument software. The following interface function are realized: AH1, SH1, L4, T6, RL1, DC1, DT1, SR1, PP2, C0.

5. CONCLUSIONS

The laboratory model of the instrument, realized at the Institute of Electronic Technology of TU Gdansk, enables to carry out L_s and C_p measurements in 6 ranges within the interval 0.01μH - 1H and 0.1pF - 1μF at measurement frequency signal 1 and 10kHz with an error of 0.1%. The basic method error depends only on the accuracy of the range resistor and the oscillator frequency. The stability of the range resistors is of primary importance, whereas their particular value which is considered in the calculations to determine the measured parameter presents minor significance.

REFERENCES

1. Hoja J., Tlaga W., Zielonko R.: In-circuit board testing system with concurrent measurements. 2nd International Symposium on Measurement of Electrical Quantities, IMEKO TC4, Warsaw, Poland, May 1987.
2. Hoja J., Tlaga W.: Some theoretical and instrument problems of accurate measurements of capacitors for dissipation factor D>0.1. 33th Annual Conference JUREMA'88, Zagreb, Yugoslavia, April 1988.

EINBINDUNG VON SELBSTTESTFÄHIGKEITEN IN ERZEUGNISSE DES ELEKTRONISCHEN GERÄTEBAUS ZUR EFFEKTIVIERUNG DER INBETRIEBNAHME, DER WARTUNG UND DES SERVICE PROZESSORGESTEUERTER SYSTEME

Parthier, R., Dr.-Ing., KDT, Mittweida, DDR

1. NOTWENDIGKEIT DER EINBEZIEHUNG PERIPHERER MODULE IN DEN MIKRORECHNERSELBSTTEST

Bei Rechnersystemen zur Experimentrationalisierung handelt es sich zumeist um modulare Systeme, die sich durch eine große Flexibilität infolge hard- und softwaremäßiger Konfigurierbarkeit entsprechend der aktuellen Aufgabenstellung auszeichnen. Der Steuerrechner solch eines Systems stellt dabei im Vergleich zu den peripheren Baugruppen meistens den weitaus kleinsten Teil der Gesamthardware dar. Deshalb ist ein Selbsttest, der nur den Mikrorechner zum Ziel hat für den diskutierten Einsatzfall nicht ausreichend. Vielmehr sind im Anschluß an die Überprüfung des Rechnerteils die peripheren Komponenten zu testen /1/, um so eine repräsentative Testaussage bezüglich des Gesamtsystems zu erhalten.

Zur Problematik der Testung peripherer Baugruppen von Mikrorechnern wurden eine Reihe von Untersuchungen durchgeführt, deren Ergebnisse in diesem Beitrag diskutiert werden sollen /1/, /2/, /3/.

2. VORAUSSETZUNGEN ZUR TESTUNG PERIPHERER MODULE INNERHALB DES SELBSTTESTS

Um die Testung der peripheren Module erfolgreich steuern und auswerten zu können, ist eine umfangreiche Funktionsfähigkeit des Steuerrechners des Systems notwendig. Deshalb ist der Peripherietest im Anschluß an eine erfolgreiche Verifizierung des Steuerrechners einzuordnen. Somit stehen auch Testresourcen zur Verfügung, die definierte Fehlerreaktionen erlauben /1/. Die peripheren Module müssen zur Einbeziehung in den Selbsttest Voraussetzungen erfüllen:

- bidirektionale Arbeitsweise einer Teilmenge der Modulsignalanschlüsse
- Tristateverhalten der Modulsignalanschlüsse (elektrisches Isolieren der einzelnen Module).

Damit wird es möglich den Test vom Steuerrechner aus zu initiali-

sieren, zu steuern und die Modulantworten zur Auswertung abzufragen.
Unter Beachtung der hier skizzierten Prämissen wurden Modultests als Teiltests des Selbsttests entwickelt, die sich infolge einer angepaßten Testhardware durch eine hohe Effektivität auszeichnen. Um die Zuordenbarkeit dedektierter Fehler entscheidend zu verbessern, kam eine simultane Busüberwachung zum Einsatz /1/, /4/. Es werden die Bussignale des Systems von der Quelle (CPU bzw. Steuerrechner) mit denen an der Senke (Bus am peripheren Modul) über Antivalenzschaltungen verglichen und bei Nichtübereinstimmung erfolgt eine Fehlermeldung.

3. BESCHREIBUNG DER ENTWICKELTEN MODULTESTVARIANTEN

Grundanliegen der entwickelten Modultestvarianten war die Einbindung peripherer Module in den Selbsttest mit möglichst minimalem Hard- und Softwareaufwand (Rechnerbelastung durch den Test). Als Zielstellung wurden drei Hauptaufgaben anstrebt:

- Erkennen der Modulanwesenheit
- Identifikation des Moduls
- Überprüfung der Funktionsfähigkeit des Moduls /2/.

Zur Realisierung dieser Aufgabenstellung wurden zwei Lösungen entwickelt, die kurz vorgestellt und diskutiert werden sollen.
Beiden Varianten ist die Verwendung eines rückgekoppelten Schieberegisters (RSR) zur Testauswertung eigen. Bild 1, 2 und 3 verdeutlichen diesen Sachverhalt.
In der Variante nach Bild 1 wird auf dem Modul ein voreinstellbares Sende-RSR angewendet. Es können 2^m-1 (m - Anzahl der Bitstellen im RSR, Voreinstellungswert $\neq 0$) Module unterschieden werden. Zur Voreinstellung sind die Pegel ausgewählter Testpunkte des Moduls benutzbar, bzw. die aus dem RSR gesendete Zufallsfolge wird durch einen auf dem Modul zu bildenden "Scan-Path" geschleift. Damit ist in der Modulidentifizierung eine Testung implizit enthalten. Nachteilig bei diesem Verfahren ist die Unmöglichkeit der Modulidentifizierung bei einem Fehler, der das Ergebnis im Empfangs-RSR beeinflußt. Fehlerursachen können dabei im peripheren Modul, im Sende-RSR, auf der Übertragungsstrecke, bzw. im Empfangs-RSR liegen. Zur Testantwortanalyse ist auf jeden Fall eine rechnergesteuerte Auswertung notwendig.
Mit der Entwicklung der zweiten Variante wurde versucht, eine

Reihe der genannten Einschränkungen zu vermeiden.
Die Zusatzhardware für diese Modulerkennung wurde unter dem Primat der zielgerichteten Ausnutzung der Eigenschaften zyklischer Codes konstruiert. Die theoretischen Grundlagen hierfür sind in /2/ und /3/ dargelegt. Hauptidee ist die Zuordnung von funktionellen Bedeutungen zu Teilmengen der Bitstellen des Sendeschieberegisters (SSR). Als SSR wird ein parallel ladbares lineares Schieberegister benutzt. Es sind nur Codeworte zulässig, die mit Hilfe eines Generatorpolynoms aus der Menge der Vorzugspolynome /5/ erzeugt wurden. Ein Codewort kann somit in der Form:

$$Z(x)=N(x)\cdot x^k+K(x)$$

mit
- $N(x)$ - Nachrichtenpolynom
- $K(x)$ - Rest der Division $N(x)\cdot x^k/G(x)$
- x^k - höchstwertigste Stelle von $G(x)$
- $G(x)$ - Genetatorpolynom

interpretiert werden. Wird solch ein Codewort in ein RSR eingelesen, das durch seine Rückkopplungen ebenfalls $G(x)$ realisiert, führt das RSR eine Division $Z(x)/G(x)=Q(x)+R(x)/G(x)$ aus, wobei $R(x)=0$ ist. Wesentlich ist die eineindeutige Zuordnung der Elemente von $K(x)$ aus $Z(x)$ zu den Elementen von $R(x)$. Das bedeutet, bei fehlersicherer Ausführung der Ladung von $N(x)$ (Modulname), der Berechnung im RSR und der seriellen Übertragung sind bei von 0 abweichenden $R(x)$ Anzahl und Ort der Fehler sofort ableitbar. Bei Anwendung dieser zweiten Variante sind 2^{n-1} Modulnamen und k Testpunkte definierbar.
Zur praktischen Erprobung wurde eine Wortbreite von $Z(x)$von 16 Bit festgelegt, als Generatorpolynom kam ein $G(x)= x^9+x^4+1$ zur Anwendung. Es waren 2^7-1 Modulnamen und k=9 Kontrollbits je Modul nutzbar. Im Ergebnis der Division steht $R(x)$ in den neun niederwertigen Speicherzellen des RSR. $R(x)$ ist im fehlerfreien Fall gleich 0, bzw. im Fehlerfall repräsentiert $R(x)$ die Fehlerzahl und die Fehlerorte. Die sieben hochwertigen Bits geben den Modulnamen wieder.

LITERATUR

/1/ Entwicklung und Realisierung einer neuen Selbstteststrategie für Mikrorechnersysteme unter Berücksichtigung der peripheren Moduln / Parthier, R. . - Mittweida, Ingenieurhochschule, Sektion Informationselektronik, 1987 . - Dissertation A

/2/ Einbindung eines peripheren Moduls in einen Selbsttest und Ableitung allgemeingültiger Implementierungshinweise / Wilke, W. . - Mittweida, Ingenieurhochschule, Sektion Informationselektronik, 1987 . - Diplomarbeit

/3/ Hardwareunterstützter Selbsttest mit zyklischen Codes für periphere Module rechnergesteuerter Systeme / Parthier, R. . - Suhl June 6-9, 1988, XI. International Conference On Fault Tolerant Systems And Diagnostics, Proceedings Volume III, p. 215-223

/4/ Realisierung und Inbetriebnahme eines modularen Programmkonzeptes für einen Selbsttest basierend auf einem entwickelten Selbsttestkern / Kliemann, U. . - Mittweida, Ingenieurhochschule, Sektion Informationselektronik, 1986 . - Diplomarbeit

/5/ Prüfbare und korrigierbare Codes / Peterson, W. . München, Oldenburg Verlag, 1967

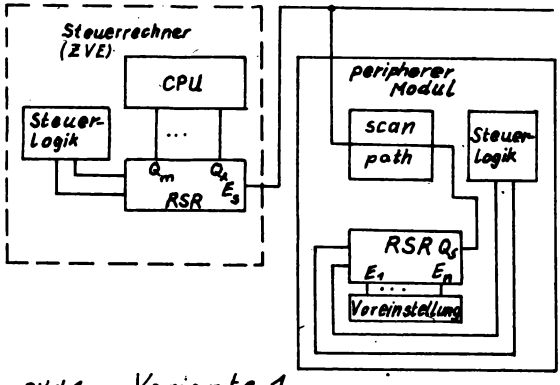


Bild 1: Variante 1

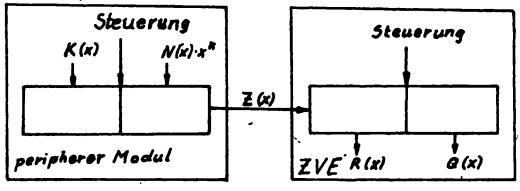


Bild 2: Variante 2

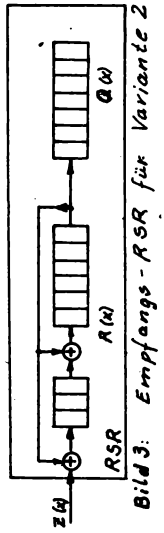


Bild 3: Empfangs-RSR für Variante 2

ENTWICKLUNG INTEGIERBARER GRAPHISCHER EDITOREN UND IHR EINSATZ IN DER ELEKTROTECHNIK FÜR CAD UND PROZESSLEITTECHNIK

Herden, Dieter;Doz.Dr., KdT, Leipzig, DDR

1. Einführung

Die rasche Entwicklung der Leistungsfähigkeit der durch das Kombinat Robotron bereitgestellten 16bit- Mikrorechentechnik ermöglicht die Bearbeitung zunehmend anspruchsvollerer graphischer Aufgaben aus den unterschiedlichsten Sachgebieten. Entscheidend für die Akzeptanz graphischer Visualisierungssysteme zur bildhaften Darstellung technischer und anderer Sachverhalte ist jedoch eine möglichst anwenderfreundliche Gestaltung der eingesetzten Graphiksoftware, z.B. in der Form einfach zu handhabender Graphik-Tools (Softwarewerkzeuge zur Erstellung, Veränderung, Speicherung und Ausgabe graphischer Ergebnis- und Ereignisdarstellungen).
Analysiert man die Hauptforderungen der Anwender an eine graphische Software, so lassen sich folgende Schwerpunkte ableiten:

1. Einfache Handhabung (übersichtliche Menüführung beim interaktiven Erstellen und Ändern von Bildschirmgraphiken, problemlos ansprechbare Daten- und Programmschnittstellen),
2. hohe Leistungsfähigkeit bzgl. Funktionsumfang und Generierungsgeschwindigkeit,
3. Modularität und Konfigurierbarkeit (der Nutzer kann sich in Abhängigkeit der konkreten Aufgabenstellung "sein" spezielles graphisches Funktionspaket in Verbindung mit den ihm zur Verfügung stehenden peripheren Geräten auswählen),
4. Gewährleistung effektiver Konstruktionsprinzipien bei der Zeichnungserstellung am Bildschirm,
5. Einhaltung von Standards bzgl. Aufbau und Inhalt der Bildfiles, der graphischen Grundelemente u. Prozeduren sowie der Schnittstellen zum Nutzer und zur Hardware,
6. weitgehende hardwareunabhängige Gestaltung der Graphiksoftware.

Die unterschiedliche Bewertung der einzelnen Forderungen sowie die zumeist aufgabenbezogene Entwicklung der Graphiksysteme führten in Verbindung mit dem jeweiligen Entwicklungsstand der Hard-und Systemsoftware zwangsläufig zu vielfältigen Realisierungsvarianten der graphischen Anwendersoftware./1/,/2,/3/,/4/

2. Realisierungsformen graphischer Anwendersoftware

Unter graphischer Anwendersoftware versteht man aus heutiger Sicht eine strukturierte Menge von Softwarekomponenten, die es dem Nutzer ermöglichen, unmittelbar (interaktiv) oder aus einem beliebigen in einer Hochsprache geschriebenen Programm heraus Prozeduren zur Generierung, Veränderung, Verwaltung und Ausgabe graphischer Darstellungen unterschiedlicher Art aufzurufen bzw. zu realisieren.
Der Nutzer wird dabei in seiner Arbeit durch geeignete periphere Gerätekomponenten wie hochauflösende und grossformatige Bildschirme, graph. Tablett, Rollkugel, Lightpen, Joystick,

Scanner, Printer, Plotter, u.a. unterstützt.
Zwischen der graphischen Anwendersoftware und der Hardware befindet sich in der Regel eine modular aufgebaute graphische Basissoftware, die im Fall des A7150 und des EC 1834 bei Nutzung des Betriebssystems DCP als DCP-GX-Graphikerweiterung aus einen hardwareunabhängigen Teil (Graphics Device Operating System/GDOS) und einem hardwareabhängigen Teil (Graphics Input/Output System/GIOS) besteht./5/
Über das DCP-GX lassen sich unter diesem Aspekt analog dem GKS-System graphische Ein- und Ausgaben von und zu verschiedenen Geräten realisieren.
Auf dem Gebiet der graphischen Anwendersoftware können folgende Realisierungsformen unterschieden werden:

- Graphische Editoren: Softwarepakete zur interaktiven Erstellung, Veränderung, Speicherung und Verwaltung von Graphiken unterschiedlicher Art
- Graphische Toolbibliotheken: graphische Prozeduren auf Quelltextebene zur Integration in beliebige Anwenderprogramme, um eine aufgabenangepasste Ergebnis- oder Ereignisdarstellung zu gewährleisten
- Graphische Benutzeroberflächen: Verwendung graphischer Symbole (Ikonen) bzw. Bilder anstelle von Texten in menü- oder entscheidungsgesteuerten Programmsystemen
- Graphikunterstützte Anwenderlösungen: Branchenorientierte graphikunterstützte Anwenderlösungen (LP-Layout, Finite Element-Programme, elektrotechn. Netzentwurf, u.a.)
- Integrierte Text- und Bildverarbeitung (z.B. das Progr.-system STARWRITER) Integrierte graphikunterstützte Programmsysteme für die Bürorationalisierung (z.B. FRAMEWORK, LOTUS 1-3, SMART u.a.)

3. Implementation eines integrierbaren, datenbankgestützten graphischen Editors

Purgathofer /6/ fasste die Anforderungen an einen allgemeinen graphischen Editor wie folgt zusammen:
- einfache Handhabung und Menüführung wie bei einem Textverarbeitungsprogramm,
- Orientierung des Funktionsvorrats auf eine möglichst universelle Anwendung mit einer überschaubaren Anzahl von Grund- und Hilfsprozeduren.

In der Elektrotechnik und Prozessleittechnik besteht ein hoher Bedarf an graphischen Ergebnis- und Ereignisdarstellungen. Netzpläne, Stromlaufpläne, bemaßte Zeichnungen elektrotechnischer Baugruppen, LP-Layouts und zeitabhängige Zustandsdarstellungen in Elektroenergieerzeugungs- und -versorgungssystemen werden auf der Grundlage von Symbol- und Zeichnungseditoren erstellt.

Im CAD/CAM-Zentrum des Kombinats Polygraph Leipzig wurde ein graphischer Editor entwickelt, der ein Datenbankmodul enthält, mit dem im Editierprozess des Symbols bzw. des SLP oder der Zeichnung ein Erfassen von spezifischen Daten zur Beschreibung der editierten Elemente (technische Parameter, Bezeichnungen, Preise, u.a.m.) ermöglicht. Auf dieser Datenbasis können damit vielfältige graphische und alpha-numerische Operationen gewährleistet werden.
Im Editor, der in Turbo-PASCAL(V4) implementiert wurde, ist eine konsequente Trennung zwischen der Ebene der logischen Operationen und der graphischen Executive (Realisierung graph. Ein- und Ausgaben von und zu verschiedenen Geräten) vollzogen um eine weitgehende Hardwareunabhängigkeit zu erreichen und den Übergang auf eine leistungsstärkere graphische Basissoftware (z.B. Borland Graphics Interface/BGI) zu ermöglichen.

Literatur:

/1/ Foley,J.;Van Dam,A.: Fundamentals of interactive computer graphics. Addison/Wesley Pb.Corp.Reading 1982

/2/ Dobler,G.W.: Rechneranwendung in Konstruktion und technischer Arbeitsvorbereitung. wt - Z.ind.Fertigung 75 (1985)7, S.443-446

/3/ Computergraphik Mikroprozessortechnik 1 (1987)11, S.322-332

/4/ Encarnacao,J.: Computer graphics. Oldenbourg Verlag München-Wien 1984

/5/ Autorenkollektiv: Gerätetechnik, Betriebssyteme, Programmiersprachen und Basissoftware des Arbeitsplatzcomputers A7100. edv-aspekte, 6(1987)1.

/6/ Purgathofer,W.: Ein allgemeiner graphischer Editor. Angewandte Informatik, 2/85, Friedr.Viehweg Verlagsgesellschaft m.b.H. München-Wien

/7/ Herden,D.;Luedicke,R.;Wippich,C.: Erfahrungen bei der Anwendung des semigrafischen Editors GEDIT-M8 auf dem Personalcomputer robotron 1715. Neue Tech.Büro, Berlin 32(1988)1, S.16-19

WIRTSCHAFTLICHE MOTIVIERUNG DER AUSNUTZUNG VON MIKROCOMPUTERN UND MIKROPROZESSOREN IN DER HAUSHALTSRADIOELEKTRONIK

Panaguschin, W., Moskau, UdSSR

Die Entstehung der großen Integralschaltungen, Mikroprozessoren (MP), Einkristallmikrocomputer (EMC), Speicher, Steuerwerke von Frequenzsynthetisatoren usw. läst die Haushaltsradioelektronik (HRE) mit ganz neuen in qualitativer Hinsicht Konsumeigenschaften schaffen. In die HRE werden Digitaleinrichtungen der Elektroneneinstellung und- Steuerung, Mikroprozessorsteuersysteme auf der Grundlage der EMC, darunter Autoempfänger und tragbare Magnetophon-Empfänger eingeführt.

Aber unter Berücksichtigung der Ausgaben an Elementbasis und Werkstoff, die heute 60-70% der Selbstkosten der HRE betragen, und unter Verwendung der MP und EMC kann das spezifische Gewicht dieser Ausgaben weiter gesteigert werden, entsteht das Problem, daß ökonomisch zweckmäßige Gebiet der Ausnutzung von HRE zu finden.

Wirtschaftliche Einschränkungen an Verwendung der MP und EMC sind sowohl mit dem gegebenen Nachfragenniveau nach dieser oder jener Art der HRE als auch gleichzeitig mit ihrer Sättigung des Absatzmarktes verbunden. Ökonomische Kennziffer der HRE, ihre Selbstkosten und ihr Preis sollen die Limit-/Grenzkennziffer, die durch reale Kaufkraft der Bevölkerung bestimmt werden, nicht übersteigen. Also, umfassende Möglichkeiten der Steigerung der Konsumeigenschaften und gleichzeitige Senkung der Ausgaben an Herstellung einerseits, und der immer noch hohe Preis der MP und EMC selbst andererseits stellen die Aufgabe der wirtschaftlichen Motivierung ihrer Anwendung vom Standpunkt der ökonomischen Interessen des Herstellers aus und unter Berücksichtigung der realen Kaufkraft der Bevölkerung in den Vordergrund.

Das Ziel der wirtschaftlichen Motivierung ist es, gesamtaufwand und ökonomische Vorteile, die der Hersteller der MP und EMC für HRE erhält, zu vergleichen. Als Kennziffer solcher Schätzung wird der wirtschaftliche Rechnungsführungseffekt vorgeschlagen; dieser wird durch Differenz des Aufwandes des Herstellers bestimmt, der für Jahresproduktion der HRE unter Verwendung der Basis-/Analog-/ und einer neuen (Mikroprozessor-) Mikroelektro-

nenelementbasis (MEB) erforderlich ist:

$$E_j^H = [(C_1 + E_H K_1) - (C_2 + E_H K_2)] \cdot A_2$$

wo C_1, C_2 - Selbstkosten des Herstellers von HRE unter Berücksichtigung von Basis- (Analog) variante und einer neuen MEB- Variante;

K_1, K_2 - spezifische Kapitalinvestitionen zur Produktionsvorbereitung und Anschaffung der technologischen Ausstattung unter Berücksichtigung der Basis- (Analog-) variante und einer neuen MEB- Variante;

E_H - Normativkoeffizient der ökonomischen Effektivität /E_H = 0.15/;

A_2 - Jahresproduktion der HRE mit einer neuen MEB-Variante.

Für die Ergebnisse solcher Schätzung ist die Auswahl der Basisvariante von MEB von groser Bedeutung, weil gerade er Grad und Tatsache der Fortschrittlichkeit der zu schätzenden Variante bestimmt. Bei der Berechnung können zwei Varianten der Vergleichsbasis angewandt werden:
- die vorgeschlagene Variante der (alternativen) doch realen MEB
- die anzuwendende oder im Zusammenhang mit Einführung einer neuen (zu schätzenden) Basis zu ersetzende Variante der MEB.
Wenn es eine ganze Reihe von Alternativen gibt, so kann die beste, nach der Schätzung gebliebene Variante als Vergleichsbasis dienen. Wenden wir uns hier einem folgenden praktischen Beispiel der ökonomischen Schätzung im Auswahlprinzip der Mikroprozessorenelementbasis der HRE zu.

Beispiel. Im Entwicklungsprozeß von HRE soll man technische Lösung für MEB und ihren Steuersystemsblock auswählen.

Der Block der Basisvariante ist Elementbasis auf der Grundlage der Druckplatte mit Anbau von 50 diskreten Elektronenradioelementen.
Die neue Variante der Lösung ist Mikroprozessor- MEB auf der Grundlage des EMC.
Die Ausgangsdaten für die Berechnung sind in der Tabelle dargestellt.

Tabelle.

Technisch-ökonomische Ausgangskennziffer für Auswahl der Variante der Elementbasis bei der Produktion des Blocks des Steuersystems der HRE

/Ziffer sind relativ/

NN	Kennziffer	Bezeichnung	Maß-einheit	Basis-variante	Neue Variante
1	2	3	4	5	6
1.	Selbstkosten der Produktion des Blocks der Basis- und einer neuen Variante der Elementbasis	C_1 C_2	Rubel	180	160
2.	Spezifische Kapitalanlagen zu 1 Block	K_1 K_2	$\sim\sim$	240	300
3.	Produktionsvolumen der Blöcke im eingeplanten Jahr	A_2	Stück	-	1000

Aufgrund der Ausgangsdaten bestimmt man den wirtschaftlichen Jahreseffekt des Herstellers dank der Ausnutzung einer neuen Lösung:

$$E_j^H = [(180+0.15\cdot240)-(160+0.15\cdot300)]\cdot1000 = 11000 \quad \text{(Rubel)}$$

Schlußfolgerung: Von der Größe des wirtschaftlichen Effekts zur Ausnutzung ausgehend, ist die Variante der Herstellung der Mikroschemas auszuwählen.

Nach der Auswahl der Elementbasis wird der Limit-/Grenzpreis der HRE ($U_{\partial A}$) mit einer neuen Mikroprozessor-MEB (die obere Grenze) und ihre untere Grenze ($U_{\partial 2}$) bestimmt, dann wird die Bedingung

$$U_{\partial A} = U_{\partial\partial}\cdot\alpha_n \leqslant U_{\partial 2} = C_2(1+\rho_H) \qquad \text{gepräft;}$$

wo $U_{\partial\partial}$ - Preis der HRE zusammen mit der MEB;
$U_{\partial 2}$ - Preis der HRE mit einer neuen MEB (untere Grenze);
ρ_H - Normativ der Rentabilität zu Selbstkosten der HRE;
α_n - Koeffizient unter Berücksichtigung der Veränderung der Konsumeigenschaften mit einer neuen MEB:

$$\alpha_n = \alpha_1 \cdot \alpha_2 \cdot \alpha_3$$

wo α_1 - Koeffizient unter Berücksichtigung der Veränderungen der technischen Grundkennziffer der HRE, der Zuverlässigkeit, des Energieverbrauches usw.;

α_2 - Koeffizient der die Steigerung von Lebensdauer einer neuen HRE zeichnet;

α_3 - Koeffizient, der die Steigerung der Zusatzkonsumeigenschaften einer neuen HRE kennzeichnet.

Der Koeffizient α_3 läßt die Erweiterung der Zusatzkonsumeigenschaften einer neuen HRE im Vergleich zu Basis-HRE berücksichtigen. Der Koeffizient wird durch Verhältnis der Punktzahlen einer neuen HRE zu Punktzahlen der Basis-HRE bestimmt. Die Punktzahlen für jede Zusatzkonsumeigenschaft werden mit Hilfe von Tabellen der Sachverständigenbewertungen in den Arten von HRE bestimmt.

Die Formul für Bestimmung des Koeffizientes α_3 ist:

$$\alpha_3 = \frac{\sum B_{Hj}}{\sum B_{\delta j}}$$

wo B_{Hj} $B_{\delta j}$ - Punktzahlen für jede Zusatzkonsumeigenschaft in einer neuen und bzw. Basis-HRE sind.

Die Aufgabe jedes Konstrukteurs von HRE besteht darin, solche Lösungen zu finden und eine solche Variante von MEB auszuwählen, die gestatten es, weder Selbstkosten C_2, noch Limitpreis U_2 zu übersteigen und dabei ihre Konsumeigenschaften bedeutend zu erweitern und zu steigern.

Nicht volle Erfassung des Entwicklungsprozesses durch Prozeduren der wirtschaftlichen Motivierung und ebenso wie ihre niedrige Qualität führen zur Auswahl der falschen technischen Lösungen und Steigerung der Ausgaben an Elementbasis und Werkstoff.

Zur Erhöhung der Motivierungsrolle ist es notwendig, die Methoden der wirtschaftlichen Stimulierung von Entwicklern unter Berücksichtigung ihres persönlichen Beitrages zur Senkung der Ausgaben an Elementbasis, zur Steigerung und Erweiterung der Konsumeigenschaften der HRE weiter anzuwenden.

ERFAHRUNGEN MIT DEM MAGDEBURGER MODELL DES CAD-SOFTWARE-ENTWICKLUNGSPROZESSES

Horeschi, H., Doz.Dr.sc.techn., TU Magdeburg, DDR
Rugenstein, J., Prof.Dr.-Ing., KDT, TU Magdeburg, DDR

1. Einleitung

Ein oft beschriebener Engpaß bei dem Einsatz der Rechentechnik in der konstruktiven und technologischen Produktionsvorbereitung besteht in der Bereitstellung der zweckentsprechenden Software. Insbesonders durch die wachsende Verfügbarkeit und zunehmende Anzahl von Rechnern ist die Nachfrage nach effizienter Software stark angestiegen.

Andererseits konnte die Zahl der Mitarbeiter für die Softwareentwicklung nicht im gleichen Maße gesteigert werden, ohne andere Bereiche zu vernachlässigen. Der einzig sinnvolle Ausweg aus diesem Dilemma konnte daher nur in einer Steigerung der Arbeitseffektivität bei der Entwicklung von Software bestehen/1/. Zur Erreichung dieses Zieles bot sich in erster Linie die Entwicklung einer entsprechenden Methodik an, da auf diesem Wege im konstruktiven Entwicklungsprozeß Arbeitszeiteinsparungen bis zu 30% erreicht werden konnten.

Die Bereitstellung einer Methodik für die Entwicklung von CAD-Software ist besonders wichtig, weil

- eine folgerichtige und methodische Vorgehensweise in diesem Prozeß zu einer hohen Arbeitsproduktivität führt,
- eine höhere und möglichst einheitliche Qualität der Software eine große Nutzunghäufigkeit zur Folge hat,
- die Wartung, Aktualisierung, Erweiterung und Anpassung des Softwareprodukts nach einheitlichen Gesichtspunkten möglich wird.

Es muß allerdings auch darauf hingewiesen werden, daß diese Entwicklungsmethodik so beschaffen sein muß, daß einerseits die Übersichtlichkeit gewahrt ist und andererseits dem ungeübten Mitarbeiter und Studenten eine hinreichende und detaillierte Unterstützung gegeben wird.

Gleichermaßen wichtig ist neben der Beachtung der rein technischen Forderungen die Berücksichtigung ökonomischer, leitungsorganisatorischer und ergonomischer Aspekte.

2. Der CAD-Software-Entwicklungsprozeß

Für die Entwicklung von CAD-Software wurde entsprechend den vorn genannten Forderungen ein Prozeßmodell entwickelt, welches nachstehenden Zielstellungen genügt:

- Prozeßführung,
- Prozeßüberwachung (einschließlich Planung und Kontrolle)
- Prozeßsicherung,
- Prozeßoptimierung,
- Prozeßbilanzierung,
- Prozeßkommunikation.

Dieses Modell lehnt sich weitgehend an das Modell des konstruktiven Entwicklungsprozesses an. Seine konsequente Anwendung hat bei der CAD-Softwareentwicklung zu Zeiteinsparung, Qualitätserhöhung, Senkung der Fehlerquoten und verminderter Nacharbeit geführt. Die Forderungen an ein solches Modell sind damit:

- Unterstützung des Entwicklers bei der systemstischen Programmentwicklung, bei der Aufstellung von Operationsfolgen, Checklisten und Ablaufplänen zur strukturierten Programmierung.
- Vermeidung von Doppelentwicklungen durch modulare Konzepte.
- Verbesserung der kollektiven und interdisziplinären Zusammenarbeit durch einheitliche Vorgehensweise und Begriffsbildungen.
- Verbesserung der Planung, Kontrolle, Qualitätssicherung und Bilanzierung.
- Qualitätsverbesserung bei gleichzeitigen Senkung des Arbeitsaufwandes.
- Weitestgehende Unabhängigkeit des Softwareproduktes von der vorhandenen Hardware.
- Klare Dokumentation und Definition des Entwicklungsstandes der einzelnen Moduln.

Das strategische Ziel der Methodik ist damit eindeutig in einer Arbeitsvereinfachung und -rationalisierung zu sehen. Erste Schritte in dieser Richtung waren der Softwarelebenszyklus und die staatlichen Nomenklaturen, die jedoch für den Maschinenbauingenieur zu wenig detaillierte Algorithmen enthalten.

Eine echte Verbesserung dieser Situation wurde durch die Einführung von Ablaufplänen erreicht, die den Programmentwickler durch den gesamten Prozeß leiten/2/. Solche Ablaufpläne müssen folgende Merkmale aufweisen:

- übersichtlich (Verschaffung von Klarheit über den Stand der Entwicklung)

- aussagefähig (Festlegung der möglichen Arbeitsschritte)
- umfassend (Vermeidung von Fehlentwicklungen infolge der Nichtbeachtung von Restriktionen und Vorschriften).

Im einzelnen wurden Ablaufpläne zur
- Gesamtübersicht des CAD-Entwicklungsprozesses,
- Präzisierung der Aufgabenstellung und Ausarbeitung des Lösungsplanes,
- Funktionsanalyse,
- Analyse der mathematischen und logischen Beziehungen,
- Variablendeklaration,
- Programmierung und Testung von Programmoduln,
- Testung des Gesamtprojekts,
- Erarbeitung und Form der Programmdokumentation

aufgestellt, die den oben genannten Forderungen genügen.

3. Einsatzerfahrungen

Abschließende Beurteilungen einer Methode sind bei deren laufender Erprobung immer nur partiell möglich, zumal wenn sich die Entwicklung noch im Fluß befindet. Trotzdem kann an dieser Stelle darüber berichtet werden, daß die Ablaufpläne, verknüpft mit instruktiven Beispielen eine echte Bereicherung für die CAD-Softwareentwicklung darstellen. Ihr Einsatz ist desto vorteilhafter und wichtiger, je umfangreicher das Projekt und je größer die Zahl der Komponenten und der Mitarbeiter ist.

Doch auch bei einfachen Aufgabenstellungen, wo nicht der volle Leistungsumfang der angebotenen Hilfsmittel genutzt wird, hat sich speziell bei der Testung und Dokumentation der Moduln eine systematische, von Ablaufplänen unterstützte Arbeitsweise als vorteilhaft erwiesen. Beweisen lassen sich diese Feststellungen natürlich nur qualitativ anhand der Erfahrungen aus der Forschungsarbeit und aus der Lehre bei der Anfertigung studentischer Belegarbeiten, die
- temingerechter fertiggestellt wurden, obwohl die Verfügbarkeit der Hardware infolge der größeren Nutzerzahlen sich für den Einzelnen verringerte,
- gegenüber den Vorjahren weniger Fehler enthielten, besser programmiert und strukturiert waren,
- mit Ausnahmesituationen, hervorgerufen durch Eingabe- und Bedienungsfehler, rechneten und auf diese adäquat reagierten,
- als nachnutzungsfähige Programme in Bibliotheken übernommen

werden konnten,
- durch den einheitlichen Programmierstil ein Verknüpfung zu Gesamtprogrammen ermöglichten,
- durch die korrekte und umfangreiche Dokumentation eine Erweiterung, Verbesserung und Anpassung an modifizierte Aufgabenstellungen mit wenig Aufwand erlaubten,
- auf unterschiedlicher Hardware lauffähig sind, da eine konsequente Trennung zwischen hardwarespezifischen und allgemeigültigen in der Sprachbeschreibung definierten Anweisungen erfolgt war.

4. Ausblick

Entsprechend den positiven Erfahrungen mit dem Konzept zur Entwicklung von CAD-Software kommt es in Zukunft darauf an, dieses Werkzeug noch weiter zu verbessern, es den aktuellen Anforderungen anzupassen und seine Handhabung weiter zu vereinfachen. Von den zukünftigen Absolventen von Technischen Hochschulen und Universitäten kann damit erwartet werden, daß sie besser für den Umgang mit der modernen Rechentechnik gerüstet sind, daß sie dazu beitragen können den Engpaß in der CAD-Softwareentwicklung zu beheben und daß sie bereits vorhandene Software sinnvoller und effektiver für die Lösung volkswirtschaftlicher bedeutsamer Aufgaben einsetzen können.

Literatur

/1/ Rugenstein,J.: Einsatz des Kleincomputers in Lehre und Konstruktion. Wiss.Z.d.TU Dresden 35 (1986) 5, S.160-163.

/2/ Rugenstein,J.: Zur Vorgehensweise des Konstrukteurs bei der Entwicklung von CAD-Software. Maschinenbautechnik, Berlin 37(1988) 3, S.125-128.

Der Kleincomputereinsatz in der konstruktiven Grundausbildung der TU"Otto von Guericke" Magdeburg

Rugenstein, J., Prof.Dr.-Ing., KDT, TU Magdeburg, DDR

1. Einführung

Erzeugnisse mit optimalem Gebrauchswert und mit geringstem Material- und Fertigungsaufwand sind heute kurzfristig nur mit Rechnerunterstützung zu entwickeln. Der in der Praxis tätige und auch der in der Ausbildung befindliche Konstrukteur muß die Möglichkeiten der Rechnerunterstützung beim Konstruieren kennen und zur Nutzung motiviert werden.

2. Voraussetzungen

Der Student und auch der Konstrukteur wird nur dann rechnerunterstützt konstruieren, wenn

- der grafikfähige Rechner ohne große Wege- und Wartezeiten erreichbar und möglichst sofort verfügbar ist,
- eine hinreichend umfangreiche Programmbibliothek zur Verfügung steht und ohne großen Rechercheaufwand genutzt werden kann,
- eine besondere Einarbeitung nicht erforderlich ist.

Diese Voraussetzungen wurden in folgender Weise geschaffen:

- Die Kleincomputer wurden in Hörsälen, Übungsräumen, Konstruktionslabors und Rechnerkabinetten entweder stationär oder mobil (auf speziellen Wagen) angeordnet. Diese Kleincomputer stehen den Studenten in der Regel während des Semesters an den Wochentagen bis 21.30 Uhr und an den Wochenenden nach gesonderter Festlegung zur Verfügung. Die Rechnerkabinette und das Konstruktionslabor befinden sich im Komplex der Studenten-Wohnheime.
- Von Studenten der Fachrichtung Konstruktionstechnik wurde unter Anleitung und Mitwirkung von Hochschullehrern und Mitarbeitern eine Programmbibliothek für die rechnerunterstützte Konstruktion von Antriebselementen aufgebaut, die auf die Erfordernisse der konstruktiven Grundausbildung

des Maschinen-Ingenieurwesens ausgerichtet ist.
- Die Bildschirmbilder wurden so gestaltet, daß nach dem Start des Programms in der Regel zusätzliche Unterlagen wie z.B.Standards, Arbeitsblätter, Literatur nicht erforderlich sind.

3. Zielstellung

Es sollte ein CAD-Arbeitsplatz geschaffen werden, der zur Erhöhung der Effektivität der konstruktiven Grundausbildung beiträgt. Zu einem CAD-Arbeitsplatz gehören neben der grafikfähigen Gerätetechnik (Hardware) auch die für das rechnerunterstützte Konstruieren notwendigen Programme (Software). Dabei sind folgende Ergebnisse anzustreben:
- Motivierung der Studenten zur Anwendung von CAD,
- Bearbeitung von Routineberechnungen und Maßvariantengestaltungen durch den Rechner bei Übungs- und Belegarbeiten, wobei die Ergebnisse sowohl alphanumerisch als auch grafisch auszugeben sind,
- Verbesserung der Anschaulichkeit und damit des Vorstellungsvermögens der Studenten in den Lehrveranstaltungen des Fachgebiets Konstruktionslehre.

4. Motivierung zur CAD-Anwendung

Der Student und der Konstrukteur wird nur dann rechnerunterstützt konstruieren, wenn es für ihn Vorteile bringt. Diese Vorteile sind demzufolge nachzuweisen.
Dafür erweist sich das Gebiet der Darstellenden Geometrie als besonders vorteilhaft. Bereits mit dem Kleincomputer KC 85/3 und einem großen Farbfernsehgerät lassen sich Durchdringungen und Abwicklungen schnell darstellen. Damit kann der Beweils der Zeiteinsparung bei der Anwendung der rechnerunterstützten Konstruktion erbracht werden.
Ähnliche Demonstrationen sind zweckmäßig bei Toleranzkettenberechnungen sowie Dauerfestigkeitsberechnungen und den daraus resultierenden Gestaltungen.
Ein aktiver Helfer wird der Rechner den Studenten bei der Katalogarbeit. So kann der Student schnell und sicher die standardisier-

arbeit. So kann der Student schnell und sicher die standardisierten Formen und Daten für Freistiche, Paßfedern, Nuten, Keilriemenlängen usw. ermitteln. Dafür steht die erforderliche Software bereit und er wird durch die damit verbundene Zeiteinsparung zur CAD-Anwendung motiviert.
Vom Abschnitt "Technische Gestaltungslehre" an soll der Student die Masseberechnung der Einzelteile und Baugruppen stets rechnerunterstützt durchführen, um mehr Zeit für andere Arbeiten zu gewinnen.
Für die Berechnung von Augenstäben steht den Studenten das nach TGL 19 337 entwickelte Programm mit grafischer Ausgabe der Augenform und der Maße zur Verfügung, so daß er dadurch mehrere Varianten entwickeln und das spielerisch erreichen kann.
Eine besondere Vorliebe für die CAD entwickelt sich aber meist erst bei der Anwendung der CAD-Programme für die Berechnung von Radialgleitlagern und denen für die Getriebeauslegung. Durch die Vielzahl der Variablen und deren weites Wertefeld ist meist die Berechnung mehrerer Varianten erforderlich. Während bei der manuellen Berechnung in der Regel nur zwei oder drei Varianten berechnet werden, ist nach den vorliegenden Untersuchungsergebnissen die Zahl der untersuchten Varianten bei der rechnerunterstützten Berechnung wesentlich größer, da der einzelne Prozeß zeitlich kürzer und für den Nutzer des Rechners wesentlich aufwandsärmer ist. Damit konnte auch eine Verbesserung der Konstruktionsergebnisse erzielt werden.

5. Zeiteinsparung durch CAD

Bei einzelnen Hausarbeiten (Belegen) wird die Anwendung von CAD-Programmen gefordert. Vorher wurde untersucht, wieviel Zeit für die manuelle Berechnung bestimmter Elemente bisher erforderlich war. Beim rechnerunterstützten Konstruieren ist meist ein geringerer Zeitbedarf für die Durchführung der Berechnungen erforderlich. Dadurch ergab sich aber nun die Möglichkeit, die Aufgabenstellung z.B. hinsichtlich der Detaillierung oder der Ausfertigung spezieller Textdokumente zu erweitern und damit den Ausbildungseffekt zu verbessern.

6. Probleme der Realisierung

Durch die Anwendung der CAD dürfen aber keine neuen, zeitaufwendigen Arbeiten erforderlich werden wie z.B. das Abschreiben der Werte vom Bildschirm. Deshalb ist auf eine sofortige Dokumentierung der Ergebnisse, sowohl der alphanumerischen als auch der grafischen, beispielweise mittels grafikfähiger Nadeldrucker, besonderer Wert zu legen.
Die Nutzung muß unkompliziert möglich sein, d.h. ohne besondere Genehmigungsverfahren, ohne Fehlbedienungen und Systemzusammenbrüche.

7. Schlußbetrachtung

Die Anwendung der rechnerunterstützten Konstruktion mittels Kleincomputern gestattet bei gleichem zeitichen Aufwand eine Erweiterung der Aufgabenstellung und ergibt eine Verbesserung der Ergebnisse. Voraussetzung dafür ist eine vorherige Motivierung des Nutzers. Diese kann sowohl durch Voführungen als auch durch eigene Erfahrungen am Rechner hervorgerufen werden.

ЭЛЕКТРОТЕРМОТРЕНИРОВКА ЭЛЕКТРОННЫХ ЭЛЕМЕНТОВ - ПУТЬ К ВЫСОКОЙ НАДЕЖНОСТИ ЭЛЕКТРОННЫХ ИЗДЕЛИЙ

Георгиев Ж., Гергов Р., Станев С., Петков П. - НРБ

Достижение высокого качества и, тем самым, высокой надежности электронных элементов связано прежде всего с отличной организацией производства; применением самых современных технологий; применением специального технологического оборудования; использованием высококачественных материалов. Соотношение между процентом дефектных электронных элементов и процентом дефектных печатных плат, изготовленных из них, показывает, что путь к уменьшению производственных расходов на ремонт монтированных печатных плат - это резкое уменьшение процента дефектных или потенциально дефектных электронных элементов. При этом следует учесть, что расходы на ремонт дефектных печатных плат в 10 раз выше, а для устранения негодных электронных элементов в электронной системе потребуются расходы в 100 раз больше расходов по обнаружению негодных элементов до их монтажа на печатных платах. Покупка высококачественных электронных элементов с гарантией связана с резким увеличением денежных расходов. В связи с этим ряд производителей электронного оборудования предпочитают проводить электротермотренировку (**burn-in**) с целью выявления ранних отказов. Для электронных элементов установлено, что в нормальных условиях эксплуатации число отказов резко уменьшается только после наработки 1000 часов. Два фактора ускоряют процесс "старения" электронных элементов: высокая температура и стрессовые напряжения питания. Например для современной иС (4164 - 64 К динамическое ОЗУ), у которой номинальными являются напряжения питания 5 ÷ 5,5 В и эксплуатационная температура +55^{o}С, факторы ускорения при температуре +125^{o}С и напряжении стресса 8 В приводят к тому, что 24 часа работы при этих условиях эквивалентны 11360 часам (приблизительно 1,3 г.) в нормальных условиях работы.

Можно рекомендовать следующие варианты **burn-in** для электронных элементов: статический, динамический и тест **burn-in**. Электротермотренировку БИС и СБИС следует проводить обязательным порядком на предприятиях, изготовителях этих схем, а потребители этой продукции должны проводить контрольные испытания в течение

24 ÷ 96 часов. В НРБ Завод технологического оборудования выпускает динамическую систему электротермотренировки типа СИЛИС6283. На одной системе можно проводить одновременно испытания шести разных типов ИС при общем их количестве 14400 шт. (в корпусе DIL 16). ИС устанавливаются на универсальные или специализированные burn-in платы. В 1989 году будет освоено производство новой модульной burn-in системы "СЕТ 89".

В результате проведенных исследований в статье сделаны следующие выводы:

1. Burn-in процедуры электронного оборудования и систем при повышенной температуре окружающей среды (40 ÷ 50 ^{o}C) неэффективны и не способствуют выявлению потенциально негодных электронных элементов;
2. Для особо ответственного электронного оборудования можно рекомендовать проведение burn-in процедур для готовых печатных плат при номинальных напряжениях питания, управляющих сигналах, температуре 65 ÷ 85 ^{o}C (в зависимости от максимально допустимой температуры электронных элементов, находящихся на печатных платах) за время 24 ÷ 48 часов;
3. Обязательно проводить burn-in процедуры для всех применяемых БИС и СБИС при максимальных напряжениях питания, температуре 100 ÷ 150 ^{o}C, управляющих сигналах, обеспечивающих нормальное функционирование на максимальной рабочей частоте;
4. Тест burn-in следует применять для:
- определения времени динамических burn-in процедур СБИС;
- выявления "мягких" дефектов ИС и поиска лучших поставщиков;
- уменьшения времени измерения ЗУ емкостью свыше 64 К.

СТАТИСТИЧЕСКИЕ МЕТОДЫ КОНТРОЛЯ КАЧЕСТВА ТЕХНОЛОГИИ НЕКОТОРЫХ КМОП ИС

Янакиев Я.,дипл.инж.хим.,ИМЕ,София,НРБ
Матева И.,дипл.инж.хим.,ИМЕ,София,НРБ

Для производства высококачественных ИС необходимо проводить широкообхватный качественный контроль.Руководствуясь концепцией получения качественной продукции еще в производственном цикле[1] мы провели некоторые наблюдения в технологии ИС.При производстве КМОП ИС со средней степенью интеграции путем приложения простых статистических методов контроля качества были разкриты и решены некоторые технологические проблемы.Способ,с помощью которого мы работали,следующий:технологический цикл был разделен на 7 блоков в зависимости от технологической последовательности,каждый блок включает в себя определенное количество процессов,например:блок 1-"входящий контроль",блок 2-"карман",блок 3-"локальный окись", блок 4-"окись затвора",блок 5-"поликремний",блок 6-"контактные окна",блок 7-"металл пасивация".На уровне пластины были осуществлены две 100% отбраковочные операции-параметрический и функциональный контроль,при которых отстраняются все дефектные пластины и кристаллы.Анализ полученных дефектов дал отражение в технологическом цикле.Все измерения проделаны на базе результатов 100 пластин.При параметрическом контроле были проведены следующие измерения:

1.Параметры МОП транзисторов /P и N канальные/ представлены в табл.1

табл.1

	Si-гейт-он.зато. Nch	Si-гейт-о.з. Pch	Si-гейт л.о. Pch	Si-гейт-л.о. Nch	Ме-гейт-л.о. Pch	Ме-гейт л.о. Nch
V_T [V] / %год.	0.8-1.1 / 100	1.1-1.5 / 100	20-22 / 100	22-26 / 100	30-33 / 100	24-29 / 100
V_B [V] / %год.	24-26 / 100	20-25 / 100	24-26 / 100	21-23 / 100	30-32 / 100	22-24 / 100

2.Качество изоляции:

2.1.В рамках одного уровня-измерения представлены в табл.2

2.2.Качество изоляции между отдельными уровнями-табл.3

3.Качество контакт между отдельными уровнями-табл.4

4.Качество связей на отдельных уровнях:

4.1.Поверхностное сопротивление-табл.5

табл.2

	p^+/p^+	N^+/N^+	nSi/nSi	Me/Me
Vут [V]	18-22	22-24	39-42	24-28
% год.	100	100	100	100

табл.3

	полиSi/p^+	полиSi/N^+	Me/p^+	Me/N^+	Me/полиSi
Vут [V]	21-33	35-40	30-33	39-43	43-48
% год.	99	100	100	100	100

табл.4

	Me/p^+	Me/N^+	Me/n.Si
Rc [Ω]	4-6	12-15	7-12
% год	100	98	100

4.2.Прерывание шин-табл.6

Суммарно параметрический контроль дал 97% выхода годных, т.е. продолжили 97 от измеряемых 100 пластин.

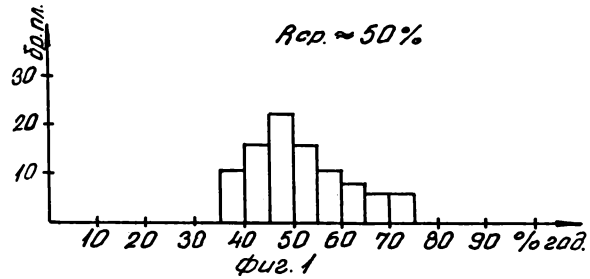
табл.5

	Me	полиSi	N^+	p^+
Rs [ом/кв]	1.10^{-2}-0,1	20-45	25-35	53-64
% годных	100	100	100	100

табл.6

	Me	полиSi	N^+	p^+
Rm [ном]	0,1-1	14-20	12-23	35-50
% год	98	99	100	100

При следующей контрольной операции-функциональный контроль, были проведены измерения всех кристаллов с целью проверки их функциональной годности /т.е.выполняют ли они свое предназначение/.Результаты контроля представлены на фиг.1.Для пояснения можно сказать, что если примем, что каждая пластина имеет 100 кристаллов, то от переданных 97 пластин получаем около 5000 годных кристаллов.

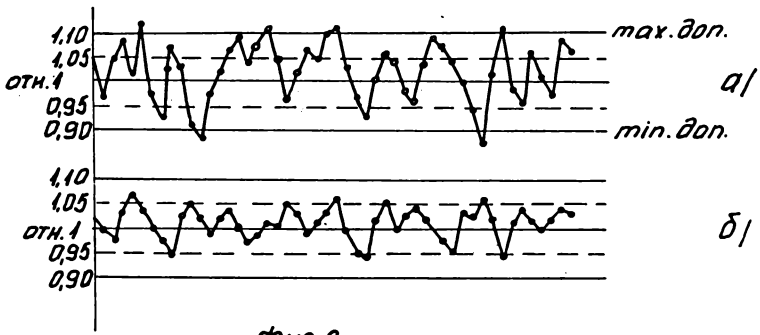


фиг. 1

Средний выход годных при этой операции был около 50%.Анализ бракованных кристаллов показал следующее: меньший процент брака-от дефектов на фотошаблонах, больший-от технологических дефектов. Брак вследствие технологических дефектов распределяется в свою

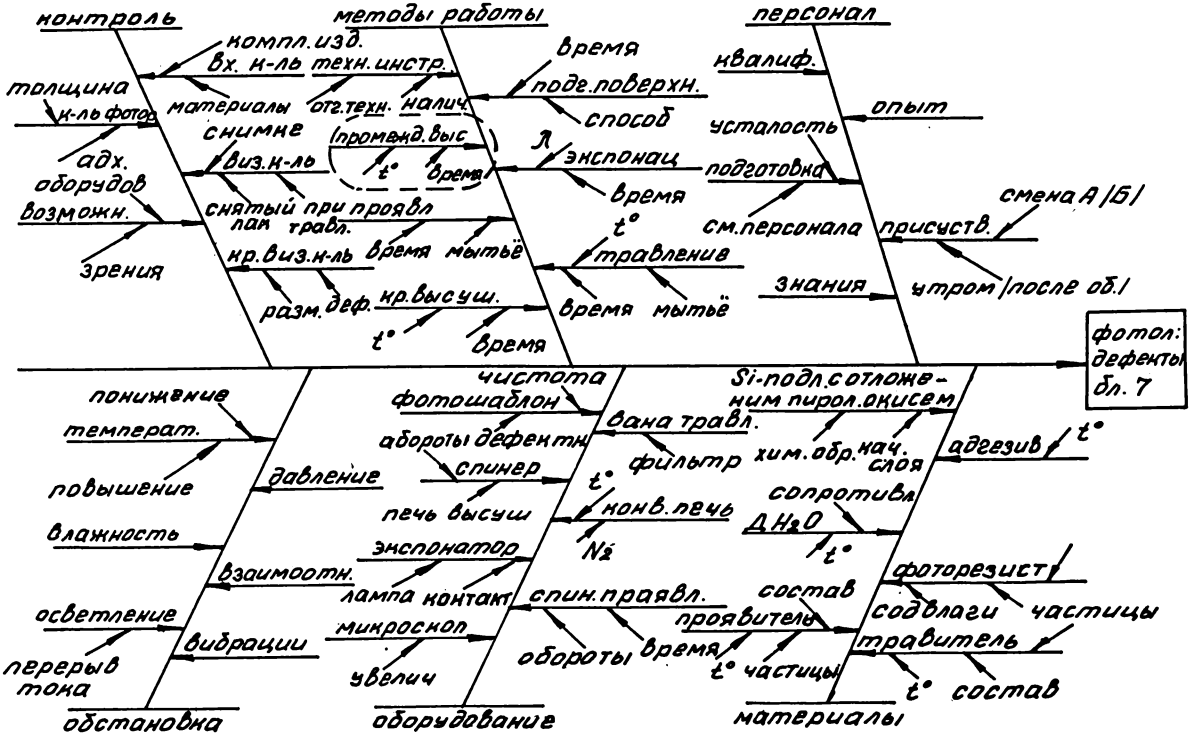
очередь следующим образом: самой большой процент брака-в связи с некачественными контактами, меньший-в связи с утечками и самый малый-по функции. Вследствие этих результатов наше внимание было направлено на блок 6 технологического цикла-"контактные окна", показывающий самую большую дефектность. Блок 6 был рассмотрен и анализирован детально по процессам. Анализ дефектности показал, что 57% дефектов базируются на фотолитографском процессе этого этапа, а 31%-на процессе "отложение промежуточного окися". Отсюда ясно, что необходимо приложить усилия к улучшению этих процессов. В результате обсуждения, факторы влияющие на фотолитографский процесс, были классифицированы и анализированы посредством причинно-следственной диаграммы /фиг.2/. Были установленны причины большей дефектности при этом процессе-повышенная температура при первой термической обработке фоторезиста, от которой зависят важные параметры, такие как экспонация и точность передачи размера элемента.

При процессе "отложение промежуточного окися" через контрольную карту была прослежена воспроизводимость толщины промежуточного окися, представлена графически на фиг.3-а. Из фигуры видно, что разброс находится около горной границы и иногда величины надвишают допустимые. Это в свою очередь оказывает влияние на фотолитографский процесс и может довести до дефектности.



фиг.3

Так как употребляемое оборудование не гарантирует лучшую воспроизводимость толщины слоя при последующих отложениях, было взято решение-между отложениям промежуточного окисного слоя и следующим фотолитографским процессом ввести уплотнение с целью выравнивания слоя. Результаты показаны на фиг.3-б. Это дает возможнось в сравнительно короткие интервалы контролировать время травления


контроль
методы работы
персонал
компл. изд.
вх. к-ль
техн. инстр.
материалы
отг. техн.
налич
толщина
к-ль фотор
снимне
(промежд. выс
адх.
оборудов
возможн.
зрения
виз. к-ль
t°
время
снятый при проявл
лам травл.
кр. виз. к-ль
время
мытьё
разм. деф.
кр. высуш.
t°
время
время
поде. поверхн.
способ
экспонац
время
t°
травление
время
мытьё
квалиф.
опыт
усталость
подготовка
см. персонала
присутств.
смена А/Б/
знания
утром/после об./
фотол: дефекты бл. 7
понижение
температ.
повышение
давление
влажность
взаимоотн.
освещение
вибрации
перерыв тока
обстановка
чистота
фотошаблон
обороты
дефектн
спинер
печь высуш
экспонатор
лампа
контакт
микроскоп
увелич
оборудование
вана травл.
фильтр
t°
нонв. печь
N₂
спин. проявл.
обороты
время
Si-подл. с отложе-
ним пирол. окисем
хим. обр. нач. слоя
адгезив
t°
сопротивл.
ΔH₂O
t°
состав
проявитель
t° частицы
фоторезист
содблаги
частицы
травитель
t° состав
материалы

фиг.2

от партии и партии в последующем фотолитографском процессе, что в свою очередь довело до лучшей воспроизводимости крайних размеров элементов.

Относительно утечек, анализируя результаты параметрического контроля, мы пришли к выводу, что в рамках одного уровня и отдельных уровней нет высокого процента брака. Следовательно, причину утечек необходимо искать в блоке 3-при расцентровки фотошаблона "локальный окись" относительно "кармана" или другая возможность-получение больших клювов при LOCOS-процессе. Вопрос о клюве был обсужден в литературе [2] и разработанная технология учитывает это, работая с клювом 0,5-0,6 мкм. Изменение размера фотошаблона локального окисла учтено и при проектирование изделия, так что на этом вопросе мы не остановливаемся подробнее. Свои основные усилия мы направили к центровке фотолитографского процесса блока 3. Были взяты следующие меры: 1. Строго фиксированное растояние LOCOS от внутреннего ребра кармана. 2. Гарантия высоты репера, большей чем 0,2 мкм, обеспечивает и автоматическую работу машины для экспонирования. 3. Обеспечение строгого визуального контроля с возможностью повторения фотолитографии.

В результате этих мер в какой-то степени был уменьшен процент брака по утечкам. Считаем, что вопрос об утечках не выяснен и решен окончательно и предсоят еще наблюдения для его полного решения.

Приложение этих простых статистических методов контроля качества в технологии КМОП ИС дало один положительный результат. Коррекция двух блоков технологического цикла сообразно данным параметрического и функционального контроля без подорожания производства дает значительно увеличение количество годных, респ. подобрение качества ИС.

Список литературы:

1. Козырь И.Я., Качество и надежность интегральных микросхем, "Высшая школа", Москва, 1987 г.

2. J.A.Appels et al., Philips Resch.Reports, vol.25, N 2, 1970, p.118
J.Hui et al., IEEE.Transactions on Electron Devices, vol.ED-29, N 4, 1982, p.554
J.G.Dil, Philips J.of Reschearch, vol.40, N 2, 1985, p.72.

СПЕЦИАЛИЗИРОВАННЫЕ МЕТОДЫ ДЛЯ ТЕСТИРОВАНИЯ СОВРЕМЕННЫХ КМОП БИС

Сараджов, О., н.с.-инж., ИМЕ, София, НРБ
Куртева, А., н.с. к.т.н. инж., ИМЕ, София, НРБ

Обьектом доклада являются особености методики контроля, функции, параметров и устойчивости к помехам КМОП БИС. Наличие дефектов типа "stuck-open", "stuck-on", короткие замыкания в окисе затвора, дрейф порогового напряжения ведет к повышению тока консумации в статичном состоянии и увеличению фронтов и времен задержки выходных сигналов, причем схема не теряет свою функциональную работоспособность. С другой стороной современные КМОП имеют выходной импеданс, отличающийся от импеданса тестового оборудования (АИС). По причине этой несогласованности в линии передачи измерительного канала генерируются помехи, оказывающие существенное влияние на точность измерения динамических параметров. Появление четырехслойных биполярных структур при изготовления БИС по КМОП технологии, делает их чувствительными к памехам входных, выходных и питающих выводов (latch-up). Эти специфичные проблемы КМОП БИС, требуют расширения стандартных методов тестирования новыми подходами для измерения время нарастания и спада выходного сигнала, время передачи, тока питания (I_{DD}) для каждого тест-вектора и исследование устойчивости к тиристорного эффекта.

Эффект несогласованности выхода ИС - входа АИС мешает прецизного измерения динамических параметров. Тестабилность БИС повисится применением серийных согласующих групп (рис. 1) при изпользования корегирующих факторов в тестовой программе.

Ошибка измерения динамических параметров получается еще из-за капацитета Сдоб, добавляемого к нагрузкие ИИС интерфейсными ценями и входным капацитетом пин-электроники АИС. Корекция измерительного строб-сигнала определяется из уравнения :

$$T = \frac{V_{DD}}{I_{DD}} . \text{ Сдоб}$$

Другой источник ошибки измерения динамических параметров это внешные помехи, индуцированные в соединительные провода. Пути их отстранения следующие: Уменшение отстояния ИИС от пин-

электроники АИС; применение проводников связи с импедансом согласованным с входом АИС типа "twisted flat" ; применение безиндуктивных фиктрирующих конденсаторов на шин питания вблизи ИИС.

На рис. 2 предложена схема и времедиаграмма для векторного измерения I_{DD}. Метод позволяет делать оценку для тестовых шагов, имеющие ток питания выше, чем заданным порогом и для логического состояния входов и выходов для диагностики.

Для исследования устойчивость к latch-up выбранный вывод ИИС подвергается ступенчатым нарастанием амплитуды атакующего тока и наблюдается за I_{DD} . Значение атакующего параметра, при которое возникает явление, запоминается в память. По окончание каждой процедуры, контролируется ток питания и его стоимость указывает на наступление lafch-up.

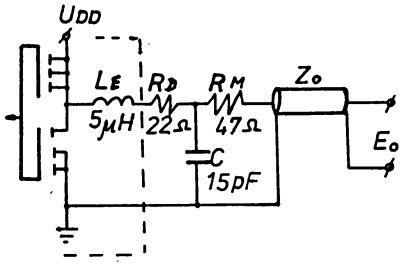


Рис. 1

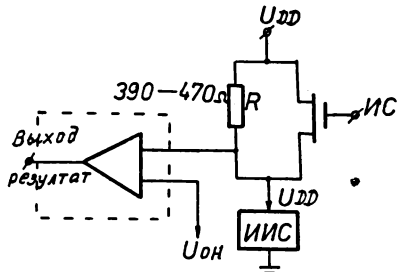


Рис. 2а

L_E - индуктивность выводов ИС
R_D - компенсирующий резистор
R_M - согласирующий резистор
C - шунтирующий конденсатор

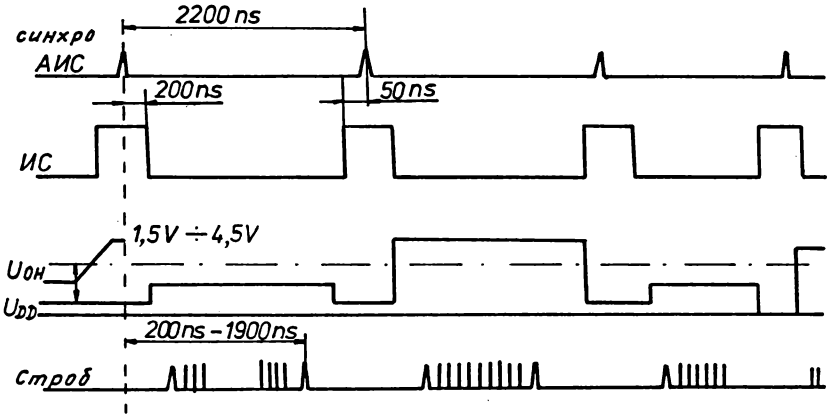


Рис. 2б

MULTIPROCESSOR DYNAMIC PARAMETER MEASUREMENT SYSTEM FOR DIGITAL CMOS INTEGRATED CIRCUITS

Szewczyk, B., mgr inż. ;Szerwentke, M., mgr inż., PIE Warszawa Poland

1. Introduction.

Electronic circuits speed enhancement effects with added necessaries in scope of dynamic parameters measurement and estimation. Digital integrated circuits estimation is made by: real time functional tests, operating frequency test (sequential circuits) or dynamic parameters measurement. Dynamic measurement system problems are developed in PIE since 1974. During 12 years of activity 3 dynamic measurement systems were developed. System TPD3, intended for SSI and MSI TTL circuits, is equiped with minicomputer controller. Small system SPPD is equiped with specialized non-processor controller. Last developed system SPD5 is designed as a set of intelligent measurement units (equiped with local microprocessor controllers) managed by host microcomputer.

2. Features of multiprocessor system architecture.

The features of multiprocessor architecture systems interesting from designer's point of view are as follows:

- structural system architecture; allows to treat system components as a stand-alone units carrying out their own tasks. Structural architecture forces "structural" designing process. System components may be designed simultaneously. This speeds up system development.
- ability to optimize system components (hardware and software);
- ability to equip system with diagnostic and self-test software for each unit and entire system. Specialized diagnostic software speeds up maintenance and facilitates fault location.

From the measurement technique point of view multiprocessor architecture increases testing speed through:

- task partition into several fragmentary tasks performed simultaneously
- simplification of code what increases speed of data flow

3. System SPD5 architecture.

System SPD5 consists of system controller, test fixture, time measurement unit (TMU) and multiphase timing generator (MTG).

Microcomputer MSA 80.3000, equiped with 8" double floppy disk station, is used as a system controller. System components (test fixture, time measurement unit and multiphase timing generator) are interfaced to controller by abridged Intel bus (8 data, 5 address and 5 control lines) in a star network.

Test fixture transmits stimulus to device under test (DUT) and output signals from DUT to time measurement unit. Test fixture design realize conception of software-formed measure path. According to this conception test fixture is able to connect each stimulus source (or time measurement unit sense line) to arbitrary selected DUT pin. It allows to eliminate troublesome exchangable (dedicated to each type of IC) adapter board. Control test fixture with local microcomputer, rather than system controller, permits simplification of communication protocol between test fixture and host computer. Additionally it discharges host computer from long lasting processing data from measurement program to test fixture format.

Test fixture controller software contains:

- host computer service routines including interpreter and executor of measure oriented commands. All commands use as an argument number of DUT pin, rather then address of test fixture register. It permits to design hardware independent measurement oriented language. Flexibility of controller and structural software allows easy adaptation of test fixture to wide range of host computers.
- resident supervisor
- diagnostic and self-test routines

Time measurement unit (TMU) is stand-alone device equiped with microcomputer. TMU accepts, over sense lines, 2 standarized pulses from level discriminators attached to DUT pins. Measurements are software and hardware synchronized. To increase accuracy TMU and MTG are synchronized with common clock source (50 MHz thermostated generator build into TMU).

Main timing for dynamic testing is provided by the system's programable multiphase timing generator (MTG). The generator operates in response to control data from the system controller

and produces:
- up to 3 phases of clock pulse during each cycle; the leading and trailing edges programmable in 1.25 ns increments; 2 phases are programmable as a double-pulse.
- programmable sync signal

Programmable sync signal is provided to trigger TMU before begining of any appropriate step of the measure. It enables sequential devices preconditioning. Generators determine stimulus time parameters. Pulse shaping is accomplished by test fixture circuits. MTG is unique system unit not equiped with local controller.

4. System software.

System SPD5 works under control of CP/M 2.2 operational system. Peripherals (console, printer, disk) management is accomplished by CP/M. Access to measurements units is made by set of routines (called driver) independent for each unit (test fixture, TMU, generators). Drivers are linked with all executable programs. Of course it is possible to control measurement hardware with machine language commands, but using drivers is convenient and preferred according to standarization.

Generator driver ensures full service of all generator phases (trough immediate addressing of registers). TMU and test fixture control is easier because of built in local microprocessor controllers equiped with measure oriented commands interpreters.

Measurement software consist of Dynamic Measurements System - DMS (translator and interpreter of measurement language) and measurement programs written in DMS language. DMS consists of main program and 3 overlays. Main program uses overlay routines according to system status and startup options. Overlay functions are as follows:
- software and hardware initialization, system calibration
- measurement program compilation. Overlay analyzes source program (ASCII file) from disk or console and produces object code for executor overlay. Object code is stored on disk. Optionally overlay produces program listing (logged to printer, console or disk file).
- interpretation and execution of object file. Overlay reads data from object file (produced during measurement program translation)

and executes elementary test. Test encloses 1..5 measurements depending on entered supply voltage list (one measurement for each supply voltage). Measurement result is compared to programmed limit values and sent to display, console or printer (depending on operating mode, system status and startup options entered by user). Executor overlay is able to produce disk file containing all results for later statistical analysis. Statistical file doesn't enclose environmental data, which may be retrieved from object file.

5. SPD5 system characteristics.

System SPD5 is intended for digital integrated CMOS circuits (CD4000 family) selected dynamic parameter measurements. Dynamic testing capability: propagation delay, transition time, hold time, set-up time, removal time, output enable and disable time.
General characterictics:
- 5 operating modes: auto, single test, stop on error, step, manual
- 28 active pins: 26 input, 26 output
- DUT supply voltage range 5..15V - pulse amplitude - equal to DUT supply voltage
- testing frequency 25Hz to 5MHz (transition times less then 20ns)
- time measurement range 10ns to 10μs with 100ps resolution
- test results may be logged to: test fixture display, system console (software option), printer (software option), disk file (software option ,auto mode only).
- classification results logged to test fixture display

6. Conclusions.

Described system SPD5 is accustomed to productive practice in semiconductor factory TEWA in Warsaw. PIE designers take advantages of SPD5 development experiences during new SPD6 system design. System SPD6 is intended for SSI and MSI TTL circuits (fast series S,LS,ALS) measurements.

INVESTIGATIONS OF RADIATION MEASUREMENTS IN RELIABILITY

JANUSZ WISŁOWSKI, Ph.D.(E.Eng.), Poland / VRP

Soft errors in digital integrated circuits having data storage elements are defined as a change of state or bit-flip. Devices can be rewritten without any indication of the permanent damage. Soft error rates depend both on the devices and the circuitry. The sensivity of the MOS memory cell to the error induced by alpha particles increased with the integration level.

In the last 10 years a great effort was made to overcome soft errors problems. First, it was the determination of the radioactive contamination in integrated circuits, mainly in packages materials. Secondly, it was the determination of influence of alpha particles on nodes of scaling IC. On this basis different methods for lower soft errors rates were taken.

Different methods to measure radioactive contamination were used. The radiotracer method was found the best, althoug it takes a long time to find the level of radioactive contaminations. The tester has been made to

evaluate soft error rates of DRAMs, It consists of: the isotope apparatus for irradiation and the portable tester. For the reason of the convenience the isotope alpha sources are used to investigate the sensivity of several chips. On this basis new test system for 64 IC has been prepared. It makes possible to indicate susceptibility to soft errors.

All memories are tested with continuous reading and restoring different data pattern. The experiments are performed at room temperature and in the laboratory environment by removing the lids of ceramic packages and bringing alpha sources on ceramic disks near the IC chips.

The second reason of the application of radiation sources in reliability laboratory is the demand for integrated circuits quality evaluation. Adapted method of hardness is possible to apply radiation diagnostics of the quality of MOS SRAM at stage of their developement and for the purposes of quality evaluation of serial production.

Radiation diagnostics of the quality of MOS RAM is the quickest one and can be used in serial production. In the average dose range, the radiation effects are removable by short-time annealing. This exclude diagnostic errors accompanying accelerated tests of reliability. The tests have been performed with different test patterns "in situ" and without bias. Various irradiation sources have been used: electron accelerator, 60-Co gamma source, alpha sources, beta sources and neutrons.

A tester for MOS SRAMs has been made. It enables to use several pattern. checkerboard pattern met practical criteria for testing. It followed from the measurement that the estimative information concerning measured lot was given by more that 20 integrated circuits. Isotope beta sources in a cassete were used to irradiate simultaneously a sample of 32 integrated circuits. This set was used to measure radiation responces of different samples of static RAMs.

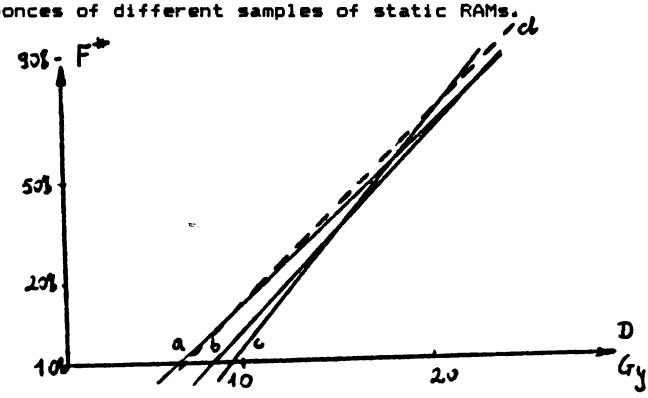


Fig. Experimental disribuants of the durability function for the MOS SRAMs in beta radiation field for samples of 12 (a,b,c) and 32 IC (d) tested "in situ" with checkerboard pattern at criterion of 1 data read-out error.

REFERENCES

1.J.Wisłowski, M.Jagusztyn: Quality evaluation of fabrication technology and construction of static MOS RAM memories by radiation methods. Electr.Technol.1985,1/2,p.109

INTEGRATED CIRCUIT FOR FREQUENCY SYNTHESISERS

Grzegorczyk A., Dipl.-Ing.
Kuncewicz W., Dipl.-Ing.
Stolarski E., Prof. Dr.-Ing.

Institute of Electron Technology
Warsaw, Poland

MCY 74750 was designed in the ITE - Warsaw. This device is one of the pair of professional silicon gate CMOS devices for frequency synthesis. This synthesiser utilises the principle of feedback. This technique is known as Phase Locking Loop (PLL).

MCY 74750 is made as digital-analogue device and contains following main blocks of PLL : two phase comparators, phase modulator, reference frequency oscillator, reference frequency prescaler and reference frequency divider (fig.1). The main divider is contained in the second device MCY 7451. Voltage Controlled Oscillator (VCO) is outside of the CMOS devices.

One of the comparators - PC1 is a high gain, low noise and narrow range. It is built as sample-and-hold circuit. The second comparator - PC2 is used outside of the capture range of the PC1 comparator. The PC2 comparator is switched into high impedance state when PC1 is active. The activity of PC1 is signalised by low level on the auxiliary output - OL. The both comparators have two common inputs - R and V. The time difference between high-to-low transition on these imputs is transformed into voltage signal by the comparators. The signal on the V input is delayed by phase modulator. In the particular case, when the phase modulator doesn't work, the delay is constant.

The performances of MCY 74750 can be visually presented as shmoo plots. The plot is made automatically by tester. Pulse signals, shown on fig.2, are connected to V and R pins. Desired output voltage level is measured for constant comparation level of tester - Y axis and constant time difference between V and R - X axis. If the level on this output is lower then actual comparation level the "X" letter is placed on the plot. Next, time difference is incremented with t step and the measure act is repeated. This is the way one horizontal row is produced. Then the tester comparation level is changed and next row is obtained. The X and Y axes range are determined by user and the tester computes steps. The number of plot points is constant and equal 21 rows x 51 columns.

The PC1 and OL outputs characteristics are shown on fig.3. If the time difference on V and R inputs is out of PC1 range, PC1 output is low (R leads delayed V) or high (delayed V leads R) and OL output is high. In active range of the PC1 comparator its characteristics is approximately linear. The PC2 output voltage signal is presented on fig.4 as a function of the tester comparation delay with constant delay between V and R. The voltage level ca 8 V is forced by the external resistive divired when PC2 goes into high impedance state.

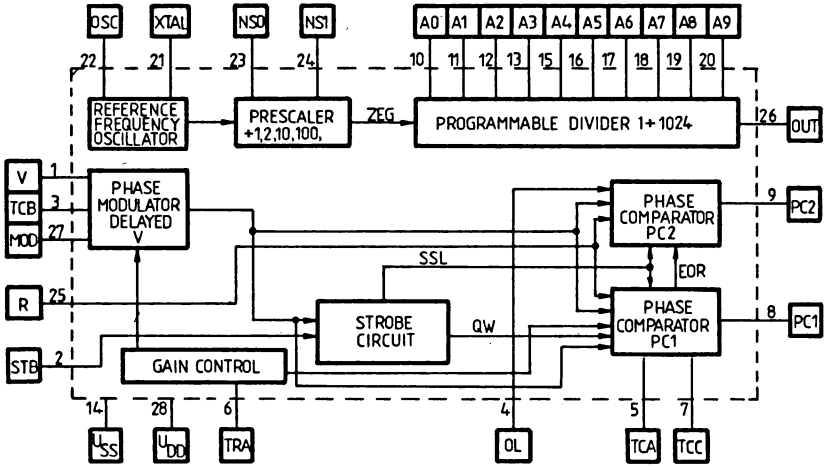


Fig.1. Block diagram of MCY 74750

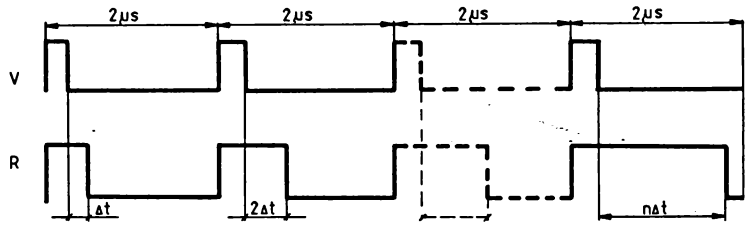


Fig.2. Time relations on V and R inputs

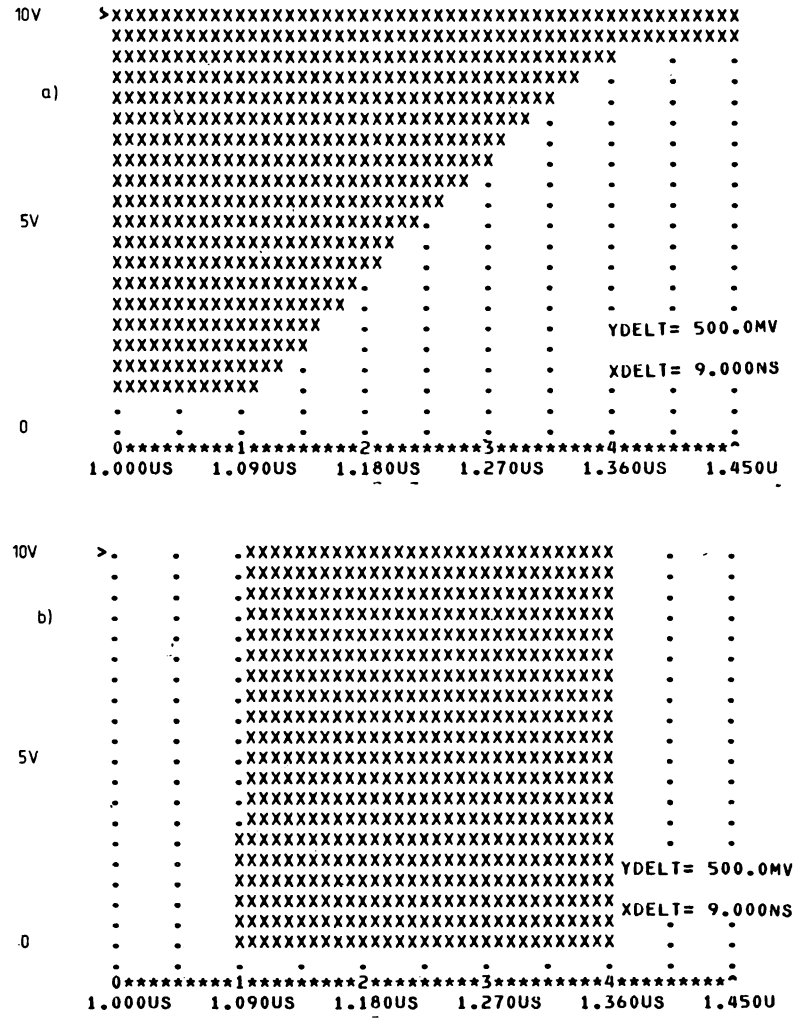


Fig.3. Relation between output voltage and V and R inputs difference: a) output PC1; b) output OL

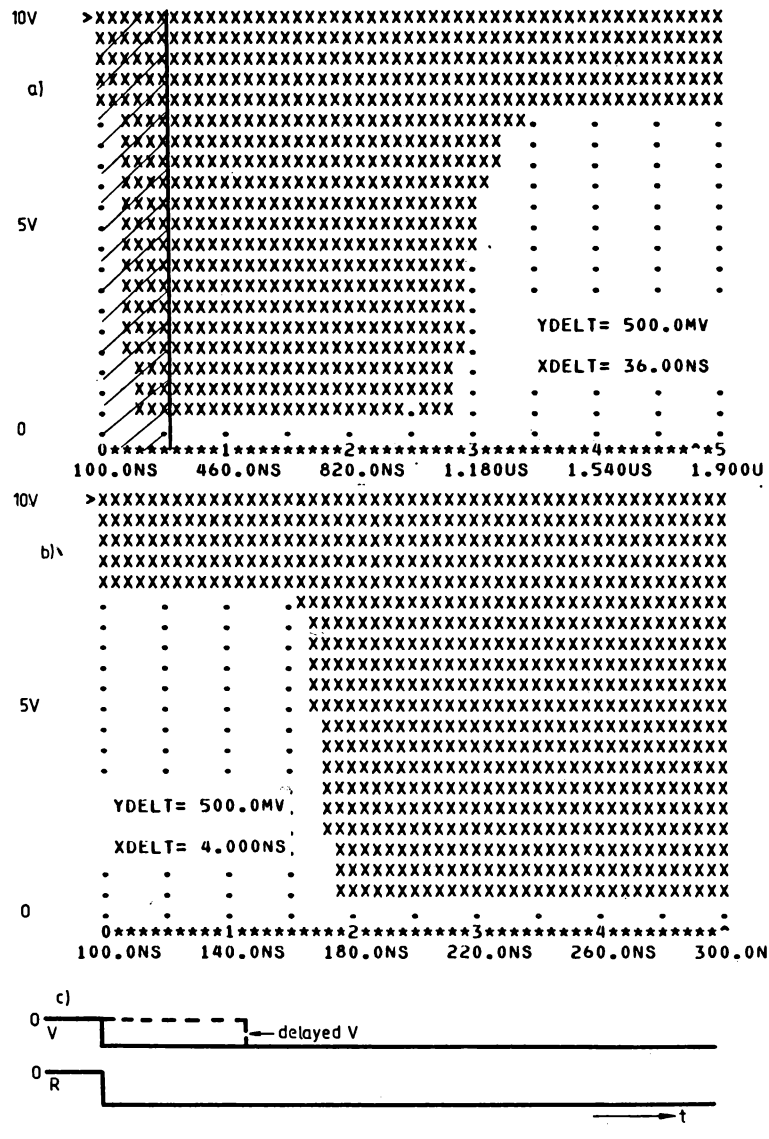


Fig.4. Relation between PC2 output voltage and tester comparator delay: a) PC2 output; b) enlarged dashed area; c) signals on V and R inputs

Application of personal computers in large scale integrated circuit test systems.

Adamkiewicz, H., eng., Jackiewicz, B., eng., Zając, J., eng.,
Industrial Institute of Electronics, Warsaw, Poland

Introduction

Automatic test equipment (ATE) for large scale integrated circuits requires highly effective control computer. Availability of relatively low cost IBM-PC compatible computers causes that this type of computers are most often used. Application of personal computer in ATE is an attractive way to improve control ability. But effective communication links between computer and particular test units are needed.

In systems designed in the Industrial Institute of Electronics three types of communication channels for interfacing IBM-PC compatible computers are used:

- RS-232C serial channel,
- IEC-625 byte-serial. bit-parallel channel,
- parallel channel, using a unique extension of the computer internal bus.

Each of these three types of channels has its own limitations. RS-232C serial channel is particulary suitable in those cases where transmission rate is a factor of secondary importance. It uses few wires only, and could provide galvanic isolation between the system units. Serial ports are available as a standard in almost all personal computers, and they can be used straightforward for the connections between the computer and other units. The baudrate is however, the major limitation of the channel (limit of transmission rate is about 1 KBytes p.s).

The IEC-625 byte-serial, bit parallel interface provides highest flexibility for test systems configuration. This type of channel allows a wide range of instruments to be included in a test system. IEC-625 has moderate transmission rate (usually not exceeding 300 KBytes p.s.), and the handshake programming providing only relatively short data blocks transmission.

The highest transmission rates one may achive by using parallel interface which is to be extend the PC internal bus to the test units. This type of channel seems to be an optimal solution in interfacing the specific test system units.

Refered to the above, dedicated test units of an ATE system are connected to PC by parallel interface to provide high transmission rate of long data blocks. An input units e.i. alphanumerical keyboard and operator's console use serial RS-232C links. When there is a need to use such general purpose instruments as digital voltmeters, time/frequency counters or programmable signal generators additional measurement interface IEC-625 can be included.

Development of parallel interface

Fig. 1 shows the general structure of the parallel interface designed for communication between IBM-PC compatible computer and test system units. There are two different interface boards: one for computer and the other for test units. The computer interface board has standard IBM-PC extension module size and is mounted inside computer. All circuits of this board are supplied from computer power supply. The test unit interface board has a medium Eurocard module size and is mounted in test unit. The circuits of this board share test unit power supply. Up to 16 such type of boards can be connected to one interface bus.

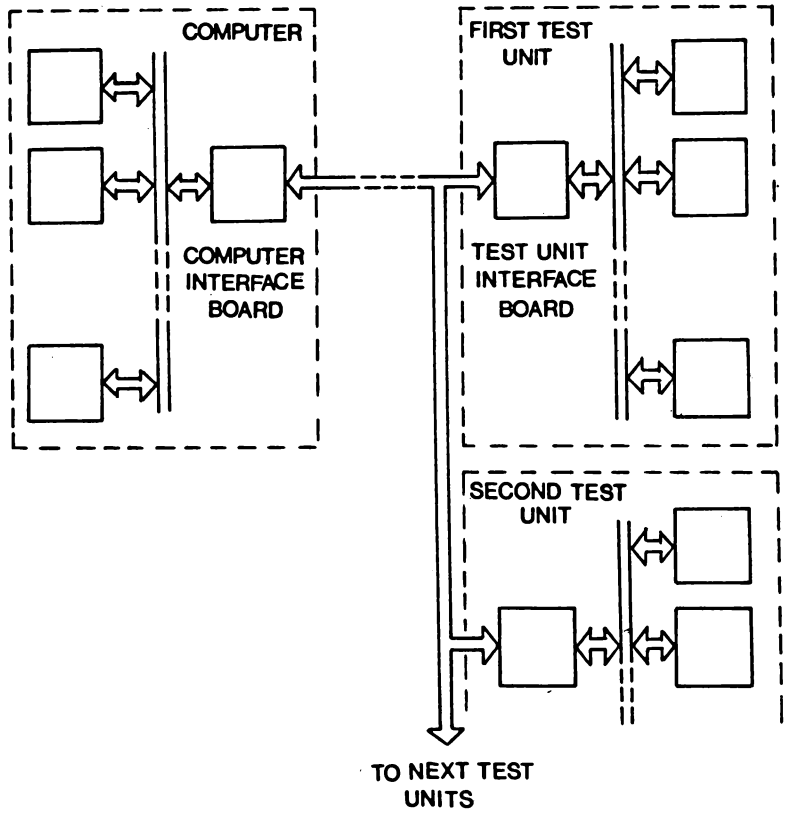


Fig. 1. General structure of the parallel interface.

Signals between computer and test units are interchanged by line transmitters and receivers connected by two wire balanced lines. The parallel interface bus contains a set of such lines. Besides the 8-bit data bus, some additional signals for determining data destination and for controlling transmission are used by interface.

Parallel interface operations

Memory address space in the individual test units are divided into 64 KBytes segments and up to 16 such segments can be implemented in each test unit. The initial memory address of currently used segment is send to the test unit by the bus before any data transfer may begin. This address is stored in Control Register on the test unit interface board.

Memory address space organization for a computer with a parallel interface is shown in fig. 2. Currently engaged RAM segment of the test unit is determined by the programming byte, and it is always kept in fixed range of the computers memory address space, for example E0000 to EFFFF. Control registers of individual test units have their address defined in different range of computer memory address space, for example D0000 to DFFFF.

It is possible to request interrupt from test units to computer. Any interrupt request signal from test units arrive to computer as an IRQ2 signal. Interrupt flag registers allow easy finding of interrupt source by pooling interupt programm subroutine.

Local processor can be included in every unit. This processor can work in test unit parallel with control computer. Bus access conflicts are avoided by using direct access control signals.

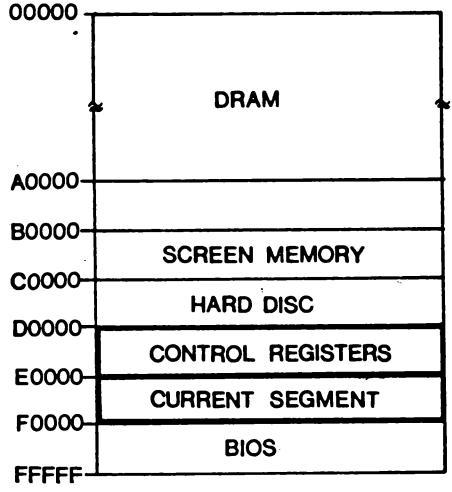


Fig. 2. Memory address space of a computer with parallel interface.

In every interface transfer computer interface board places on the data bus high address byte, low address byte and data byte in accordance with timing shown in fig. 3 and send it to the test units. Each 8-bit data byte is preceded by 16-bit address word which defines an unique address of source or destination in test unit. So, the transmission of each data byte consist of three phases; the timing of first and second phase is determined by the computer clock. Duration of the third phase depends upon the dynamic features of the test unit being addressed.

Only one test units interface board allowed by programming of adequate Control Register places address,data and command signals on the internal bus of test unit. Local bus of test unit contain signals:

- address (20 lines),
- data (8 lines),
- interrupt request (8 lines),
- read/write commands (2 lines),
- direct access control lines for local processor (2 lines),
- reset (1 line).

The parallel interface described above is applied in several ATE systems. High operation speed and easy programming of this interface is especially advantageous for interfacing those test units which have large test vector memory e.i. in large scale integrated circuits testers.

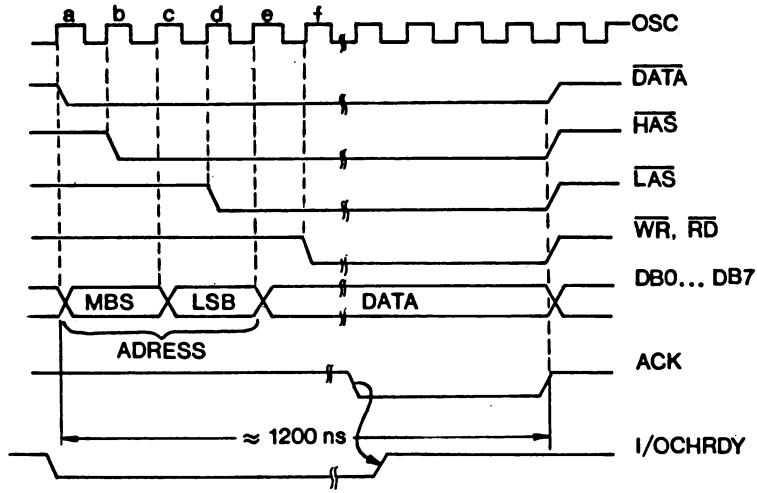


Fig. 3. Timing of parallel interface bus signals.

SIMULATION METHOD IN DIAGNOSTIC OF ALGORITHMIC PATTERN GENERATOR FOR MEMORY TESTING

Gliński, K., Eng., Zając, J., Eng.,
Industrial Institut of Electronics, Warsaw, Poland

1. Introduction

Semiconductor memory testers are complex measurement systems. Main block of tester, algorithmic pattern generator APG is a source of functional test sequence. Frequency of APG should be high, so this block has a multilevel pipeline structure. Which means that at the same time several instructions of program are processed. This fact must be considered in the microprogram of test pattern.

Narrow repertoire and few number of instruction is characteristic features of APG controlling program. However the number of operations is very often more than 1 million. The consequences are difficulties of hardware and software diagnostics. Widespread methods of functional checking of testers are slow and illusive.

This paper describes debugging of programs and automatic diagnostics using simulation software. Presented method is implemented in memory tester developed in Industrial Institut of Electronics. Tester is controlled by IBM-XT compatible computer.

2. Hardware and programming of pattern generator.

Schematic diagram of memory tester is shown on fig.1. APG generates a test sequence, time parameters are added to the sequence by phases generators and formater and levels of signals interchanged with tested memory are defined by test head.

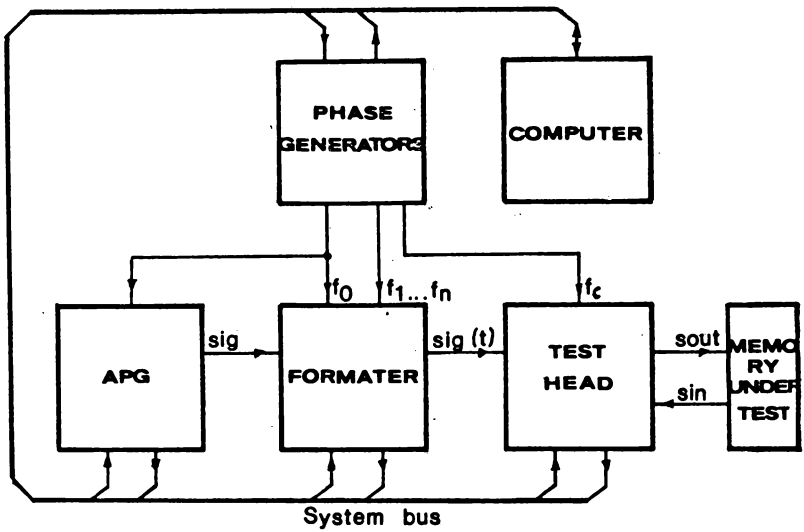


Fig.1.

Output sequence of APG is a series of 32 bit long words. Each word consists of 16 bit address field, 4 bit data written to memory field 4 bit data expected during memory read, 2 bit CS field, 4 bit special purpose field, READ and WRITE bits.

Written in language similar to assembler pattern generator program contains:

1) introductory instructions which define test pattern parameters
2) values loaded to topological scrambler
3) microprogram describing test algorithm.

Microprogram defines: order of read and write operations in memory under test, data values written and expected during read operations. It also describes principles of address changing. Introductory instructions specify constants of test pattern which are as follow:

- initial values of index registers
- increment and decrement values of index registers
- range of address changes.

Moreover APG program could contain description of memory features which defines relations between logical and topological order of address. It enables to encode memory under test address in topological scrambler block.

3. Diagnostics of APG program.

Low level of APG programming language can produce difficulties in achieving assumed algorithm of test pattern. Conventional test patterns have obviously graphical interpretations, which can be used in APG program diagnostics. To applicate this interpretation sequence of operations proceeded by tester must be graphical performed. For graphical presentation monitor of computer can be used. It is desirable that APG program diagnostics could be partly proceeded outside tester, saving its working time. Software simulating APG functions could be executed by computer not connected to tester. This simulator should accept object file of microprogram controlling APG.

Graphical presentation of test pattern can be made in two modes: alphanumerical and high resolution color graphics.

First of them is adequate for narrow range of address changes patterns. Operations on particular address are related to alphanumerical characters, for example "R" indicates read 1 operation, "w"-write 0, "n"-non active CS signals. Addresses are interpreted as coordinates on the screen. High readability of presentation and low cost of hardware are main advantages of this mode.

The second mode of presentation requires high quality graphical set. In this mode particular addresses are related to pixel coordinates on the screen. Color of pixel depend of operation executed on memory location. Readability is lower then in first mode, but it is possible to perform test pattern which has range of address changes over 256*256 [1].

4. Functional checking of APG.

Output signals of APG are the result of microprogram execution. Algorithms of signal changes are relatively simple (there are no more then 30 operations), but number of signals (over 30) and frequency of changes (over 10 MHz) makes analysis of APG

output sequence very difficult. This is especially difficult during measurements of APG maximal working frequency.

For APG functional checking it is necessary to compare reference sequence of signals and output sequence of APG. The problem is however using of reference. It is impossible to store the reference sequence, because of memory capacity needed. Sometimes capacity should be greater then 100 MB. However it is possible to use simulating program for the computing reference during diagnostics. Describing of earlier programs features are demanded. Moreover relatively fast simulation is needed, over 1000 cycles p.s. Structure of program should be enable computation current values of variables representing hardware registers of APG. Such a way of comparison of sequences is valid and identification of fault source could be provided. Trace memory is used for aquisition of APG output signals . Capacity of this memory should be enough for store several thousands cycles of APG, and write time adequate for maximal working frequency is needed. Schematic diagram of tester with trace memory extension is shown on fig.2. Output signals of APG are written to memory synchronously with main clock. When memory is full, clock generator is stopped and contents is analyzed by computer. Latter, the work of APG and trace memory is cyclically repeated up to end of pattern.

Trace memory can store words 48 bit long, 32 bits for output sequence of APG and the rest for additional registration of internal states of APG and for future using. Described method of checking can be accepted for rare usage or for fault identification. When checking is many times repeated, for example during maximal working frequency measurement such a method is to slow.

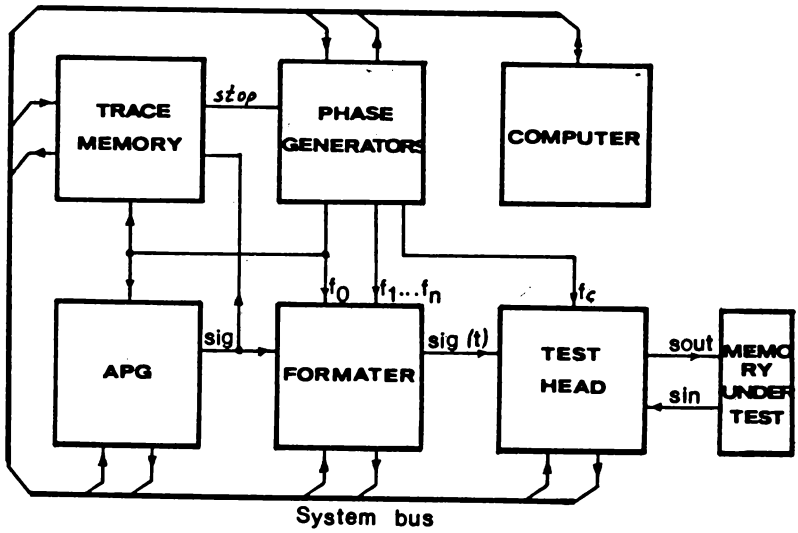


Fig.2.

Solution is the use of data compression. Simulated data are computed by simulator, compressed by special software procedure and stored in special diagnostic file. Output signals of APG are also compressed and compared with stored data. For compression the method similar to signature analysis [2] is used. When 32 bit long signatures are used very reliable diagnostic is given. Signatures are computed independent for all particular output signals. In this way a special file containing diagnostic data for every test pattern used in tester can be easy created. For particular test pattern relatively fast automatic diagnostics can be made. The method presented can be used only for error presence checking, not for precise fault localization. Signals with errors can be localized only, but kind of fault is unknown. Presented earlier simultaneously simulation and generation by APG can used for fault localization. If differences between signals are observed it is possible to compare values in hardware registers of APG with values of respective variables given by simulator. For data compression software procedure may be used. If diagnostics is made in way described above, the only one change in set of tester is introducing of trace memory. To make diagnostics trace memory can be removed from one tester to another.

5.Simulating program.

Simulating APG program used the same microprogram which is loaded to APG block in tester. It realises functions of algorithmic generator block computing values in registers in turn controlling sequences steps. To make simulator faster microprogram is transformed to intermediate code. Pipelined structure of APG block is performed, and force order of operations made in every microprogram step. Program computes all readable registers of APG block. It enables fine fault localization during diagnostics in step mode and also indicates the slowest part of APG.

Simulating program is used as a part of integrated software for writing, debugging and diagnostics of APG programs. Text editor, assembler translator, simulator and set of graphical procedures is included. Debugger makes possible comparing results of simulation and APG output signals in respective steps of microprogram in every level of pipeline.

References

1. Feldman, M.M. Bit-Map Graphics Facilitate Memory-Device Analysis. Electronic Test, July 1985.
2. Hewlett-Packard. A designer's guide to Signature Analysis. Application Note 222, 1977.

Czyżkowska, B., Msc. Eng., Motyl, D., Msc. Eng.
Industrial Institute of Electronics, Warsaw, Poland

SOFTWARE AND HARDWARE DESIGN PROBLEMS IN THE MONITORING SYSTEM OF THE AUTOMETED LSI AND VLSI INTEGRATED CIRCUITS ASSEMBLY LINE

The monitoring system of the automated LSI and VLSI integrated circuits assembly line, designed in the Industrial Institute of Electronics (IIE), Warsaw, Poland, can be represented as two level, hierarchical system.

The first, supervising level, consists of one or more supervisor station(s) (called F-node(s)). Supervisor station is a standard, fast computer, based on Intel 8086 microprocessor family with large RAM and hard disk storage, high resolution monochrome monitor and optionally color monitor, additionally equiped with fast communication interface.

The secondary stations (S-nodes) are intelligent, microprocessor devices performing basic assembly integrated circuits operations also equiped with communication interface.

The communication interface enables sending and receiving control and data blocks, which are interpreted by F-node and S-nodes according to communication protocol, which is more specifically described below.

The software problems met during design of monitoring system can be presented in four groups:

- real time operating system;
- data base system;
- process visualization problems;
- software communication interface.

1. REAL TIME OPERATING SYSTEM KERNEL

The operating system working in the supervisor station has to have real time system kernel as to be able to react instantly to all system events (especially from communication interface) signalled usually by hardware (or software) interrupts, and to run concurrently several tasks (separate program units which have their own descriptor, and data and stack segments).

The main functions of the real time operating system kernel can be described as:

- synchronisation of tasks (according to their assigned

priorities);
- communication between tasks (sending and receiving different messages);
- cooperation of tasks (in the aspect of access to common resources);
- dynamical creation and deletion of tasks;
- dynamical allocation of resources (epecially to random access memory).

The kernel also changes hardware and software interrupts to messages, so they can be sent and received in the same manner as the rest of the exchanged information.

2. DATA BASE SYSTEM

The data base system is one of the most important problems met in the monitoring systems.

In traditional processing different programs (tasks) had their own data, differently organized and accessed. That led to data dupplication and unhomogenousness as well as great disorder.

Presently, in processing using data bases, all programs (tasks) have well defined, homogenous data access system and data manipulation language, which enables them to receive data in logical form, independent of its physical representation.

The data base management system designed in IIE is a relational system, where data is held in form of two dimentional tabels (relations), its columns describing data attributes, its rows (called tuples) describing data entities. The data manipulation language MIQUEL enables to process logical data.

Data dase management system and data manipulation language is universal; it can serve as well in office applications as in technological ones.

In our application all the assembly line devices are described by data held in data base such as name, class, identifier and set of parameters (from the point of view of the supervising system the device can be in the state of technological work, stop or damage - the data base parameters describe all technological parameters and causes of stop and damage of device). All the manufactured elements (parts of integrated circuits or integrated circuits) are described by their identifiers and history of assmebly operations (date and time of individual operation, identifier of assembly device, on

which the operation took place, technological parameters of the operation, identifier of the working person etc). All the working personel is also assigned special identifiers, which are registered during their working hours enabling to calculate their efficiency.

The technological cycle is controlled by the supervisor station with the given frequency (5-10 seconds), depending mainly on the number of the controlled devices. All real, technologial parameters, causes of damage and stop are registered and saved in data base throughout day (month, year). The supervising system collects also information about history and production of elements and integrated circuits, as well as information about working hours and efficiency of the personel.

The registered data is then processed to the form of day, month and year reports, understandable by the production and technological menagers.

3. VISUALIZATION OF TECHNOLOGICAL DATA

The visualization of technological data is one of the important elements of the supervisor station software.

Usually data collected from the assembly line devices is shown in the text form on the monochrome monitor, informing the assembly line manager about the situation on the individual devices (state and parameters) and the present flow of the elements being produced.

The possibilities of todays high resolution color monitors and graphical software enable to visualize technological data in more presentable form. The picture of the assembly line, in which all the devices are drawn schematically, with colors informing about the state they are in, their work parameters values shown besides and the flow of the elements being produced is highly desirable, it changes our view of the production and functions of the monitoring system.

4. COMMUNICATION INTERFACE

The data transmission system in the monitoring system of the automated LSI and VLSI integrated circuits assembly line consists of several elements. They can be described as:

Communication software in the device.

Communication software is a standard, independent of the

device, part of software which enables:

- creating, buffering and sending data to the communication board from the main board;
- receiving commands from the communication board and interpretting them;
- informing the main control program about the mode of the device (working either in-line or autonomically).

Communication board in the device

Communication board in the device is constructed with microprcessor Intel 8035. Their main functions can be described as:

- organising physical data transmission in BITBUS protocol;
- organising data transmission with the main processor of the device.

Communication board in the supervising station

Communication board in the supervising station is constructed with Z80 microprocessor. There are two BITBUS protocol data transmission chanels on the board. The software enables:

- logically connecting and disconnecting secondary stations to/from transmission line;
- sending commands to the secondary stations;
- sending data to the secondary stations;
- receiving and preanalysing data from the secondary stations;
- organising data transmission with the main processor of the supervising station.

High level communication software

The high level communication software is in the supervising station responsible for buffering data to be transmitted, assigning priorities to data records, analysing logical records and retransmitting them in case of logical level errors etc.

АВТОМАТИЗИРОВАННАЯ СИСТЕМА ДЛЯ ХАРАКТЕРИЗОВАНИЯ ОСНОВНЫХ ТЕХНОЛОГИЧЕСКИХ ОПЕРАЦИЙ В ПРОИЗВОДСТВЕ БИПОЛЯРНЫХ ИНТЕГРАЛЬНЫХ СХЕМ

Кишева,П., Таков,Т. ст.н.с.к.т.н., Мандов,Т., Радойска,П.,
ИМО,Ботевград

С увеличением степени интеграции и функциональной сложности микросхем осложняется проблема оценки вклада каждой из основных технологических операций в конечном выходе годных и качества микросхем.

Для быстрой оценки формированных примесных, диэлектрических и металлических слоев использованы специально конструированные тестовые структуры. Через подходящее измерение их вольтамперных характеристик извлекается информация о значении характерных технологических параметров - поверхностного сопротивления и размеров диффузионных и имплантированных слоев, сопротивления и плотности эпитаксиального слоя, направления и величины смешения рисунка, продвижения вверх скрытого слоя, качества металлических шин и их контакта с диффузионными слоями, наличия поверхностной или объемной утечки между слоями и областями.

В тестовом чипе включены и приборы - транзисторы, диоды и резисторы - характерные для данной типовой технологии и принятых норм конструирования.

Для извлечения полного объема информации от измерения описанного набора структур создана автоматизированная система на основе 16 битового микрокомпютра флопидискового запоминающего устройства, винчестер диск 10 МВ. Управление внешных устройств - блок задающих генераторов, блок измерителей и коммутирующая матрица совершается при помощи стандартного интерфейса 488. Как периферийные устройства, использованны принтер и плотер. Пакет управляющих и прикладных программ написан на Бейсик.

Тестовый чип состоит из 40 (10x4) модулей размерами 600x x400 μm. Каждый модуль состоит из 2x4 контактных площадок. В одном модуле содержатся одна или несколько структур в зависимости от их вида. Технические возможности коммутирующей матрицы (8,16,32 выходов) определяют число модулей, которые измеряются при одном контакте.

Программа измерения тоже изготовлена из отдельных блоков в соответствии с модульной организацией чипа. Стартируется вручную после осуществления контакта зондового пакета со структурой

при помощи кодового номера.

Вопреки большому числу разных структур, на самом деле измерения сводятся к нескольким основным подпрограммам:

- измерение напряжение при заданном токе
- измерение утечного тока при заданном напряжении
- измерение сопротивления
- измерение диода
- измерение транзистора

Конкретные условия измерения могут определиться потребителем.

При изготовлении редактирующей программы введены ограничения допустимых символов для избегания грубых операторских ошибок.

Режимы для первых трех видов измеренний задаются для каждого модуля подпрограммы, для измерения транзисторов и диодов допускают соответственно 10 и 15 вариантов. Номер варианта указывается потребителем при редактировании программы по модулям.

Подпрограмма диод предусматривает измерение обратного тока I_R при определенном напряжении U_R и падения в прямом направлении U_F для семи разных значении I_F. После обрабатывания массива I_{Fi}, U_{Fi} определяются: ток насыщения I_S, показатель неидеальности n и объемного сопротивления R_S.

Подпрограмма транзистора предусматривает измерение следующих основных параметров:

- обратное напряжение перехода эмитер база
- обратное напряжение перехода коллектор база
- обратное напряжение коллектор эмитер
- обратное напряжение коллектор подложка
- обратное напряжение база подложка

Для обнаруживания аномалий в пробивных напряжениях (большой начальный ток, мягкий пробой) предусмотрена возможность измерять все обратные напряжения в трех точках. Уровень тока в этих точках выбирается потребителем.

Основной параметър, характеризующий биполярный транзистор это усиление по току β. Чтобы получить информацию о его зависимости от тока коллектора и напряжения U_{ce}, предусмотрена возможность для измерения при трех разных режимах.

При одном режиме измеряются:

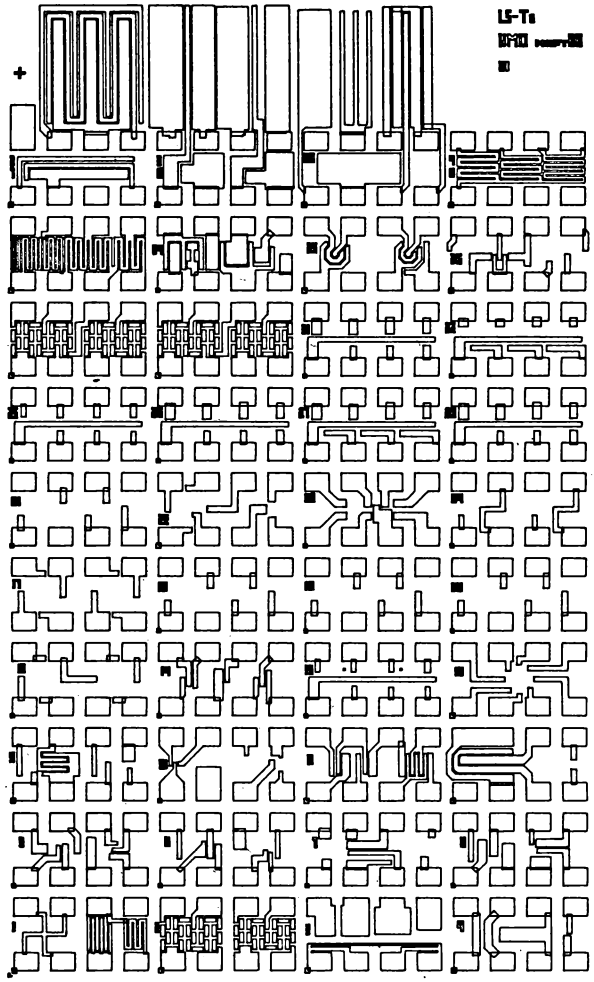
- усиление паразитного транзистора база-коллектор-подложка
- выходное сопротивление R_{ce} вне области насыщения

- плавающий потенциал эмитера

Важная особеность редактирующей программы - возможность не выполнять данного измерения, если вместо значения заданного напряжения или тока ввести символ *. Так создаются сокращенные версии полной программы, причем получается оптимальный компромисс между объемом полученной информации и продолжительностью измерения.

Данные измерения, которые обозначены номером партии, пластины, позиции и модуля накапливаются в файле, готовые для статистической обработки.

TT



SPACE-корекция * забрана режим Esc-предходно меню
CR-съхранение Ctrl/A-главно меню
горе долу
PgUp-страница напред ТРАНЗИСТОР - режим No. 1 PgDn-страница назад

I1= 1.01E-07 I2= 1.00E-06 I3= 5.00E-06 Ue= 1.00E+01 U(br)eb

I1= 1.01E-07 I2= 1.00E-06 I3= 5.00E-06 Uc= 1.00E+02 U(br)cb

I1= 1.01E-07 I2= 1.00E-06 I3= 5.00E-06 Uc= 4.00E+01 U(br)ce

I1= 1.01E-07 I2= 1.00E-06 I3= * Uc= 1.00E+02 U(br)cs

I1= 1.00E-06 I2= * I3= * Ub= 8.00E+01 U(br)bs

ДОПУСТИМИ СИМВОЛИ

PgDn *

SPACE-корекция * забрана режим Esc-предходно меню
CR-съхранение Ctrl/A-главно меню
горе долу
PgUp-страница напред ТРАНЗИСТОР - режим No. 1 PgDn-страница назад

Uc= 5.00E+00 Ic= 1.00E-03 Ie=-5.00E-04 Ue= 1.00E+00 h21

Uc= 5.00E+00 Ic= 1.00E-03 Ie=-1.00E-03 Ue= 1.00E+00 h21

Uc= 5.00E+00 Ic= 5.00E-03 Ie=-5.00E-03 Ue= 1.00E+00 h21

Uc=-5.00E+00 Ic= 1.00E-03 Ie= 1.00E-03 Ue= 1.00E+00 H21-->паразитно

Ib= 1.00E-05 Ub= 1.00E+00 Ib= * Ub= * Rce

ДОПУСТИМИ СИМВОЛИ

PgUp

DIASTEMOS: Problems of Computer Assisted IC Production Diagnostics and Control.

T. Gutt, A.A. Czerwinski, J. Olenski, H. Przewlocki, A. Zukowski

Institute of Electron Technology CEMI, Al. Lotnikow 32/46, 02-668 Warszawa, Poland

1. Introduction.

Computer integrated manufacturing (CIM), comprising all computer aided preproduction and fabrication functions such as design (CAD), engineering (CAE), manufacturing (CAM), testing (CAT), etc. decides these days about the future of this industry in the countries wishing to develop and produce integrated circuits of their own [1].

Factory automation in the modern manufacturing systems can not be understood only as the automation of process equipment and material transportation. It has to be primarily understood as the information integration [2], and the fact, that the processing of materials is driven by the processing of information, must be taken into account.

DIASTEMOS - the diagnostic and control system for MOS LSI production line - follows this philosophy of information integration and assumes top down strategy of automation, giving priority to computer control over the information flow rather then to the physical control over the manufacturing hardware.The concept of this system was proposed elswhere [3]. The aim of this paper is to describe the methodology applied for the design of this system.

2. Assumptions to the modeling of the IC manufacturing line implemented in DIASTEMOS.

Functional description of the IC manufacturing line was the first step in developing DIASTEMOS system for Tewa (CEMI) semiconductor plant in Warsaw, Poland. This task required that following assumptions had been made concerning the organization of the wafer processing production line:

a) the production line is understood as a set of production factors and relations between them; all items taking part

in the production process or important for the process control are treated as the production factors, e.g. shop floor units, equipment, people, materials, or measurements;

b) there are three different groups of production factors:
   - production line related factors;
   - production flow related factors;
   - process description related factors;

c) four principal functions of the computer assisted production line control system should be considered:
   - production line status monitoring;
   - manufacturing specification management;
   - work-in-progress control;
   - manufacturing process diagnostics;

d) such CIM functions as cost accounting, production planning, business assistance or hardware automation are not taken into account in this project.

3. Information structure analysis and modeling.

DIASTEMOS is taking into consideration production factor model mentioned above.

The hierarchy in the group of production line related factors may be presented as the sequence: production line - shop floor unit - piece of equipment. In DIASTEMOS the production line is divided into four shop floor units, namely photolithography, thermal processes, implantation/vacuum deposition and wafer acceptance unit. Different pieces of equipment are attributed to each shop floor unit according to their destination. There are also two subsets of production factors in this group showing no internal structure but linked with the main hierarchy. These are the subsets of control parameters and of the utilities.There are control parameters specific for particular pieces of equipment, parameters concerning shop floor units,and parameters general for the whole production line. As the utilities we may mention materials, which again may be attributed to particular shop floor units or to the production line as a whole,and tools, which may belong to a piece of equipment (non transferable tools) or to a shop floor unit (common tools). The personnel is another production factor which, according to the functions and privileges of the people, may have links with the production line and particular shop floor units.

The other group - are the factors related to the production flow. It is based on the following hierarchy: technological process - wafer lot - individual wafer - individual chip. One can easily notice that "technological process" is the next lower level to the level of "piece of equipment" in the previously discussed hierarchy, as the processes always take place in the actual equipment. It is important to say that the sequence of processes performed in one particular machine is time dependent, while the sequence of machines in a given shop floor unit or a sequence of units in the production line has no such feature. Technological process actual conditions, process control parameters measured on test wafers, or measurement results of test chip and IC probing also belong to the second group.

The third group of the production factors deals with the process description, and may be presented as the following hierarchy: product - process step sequence - individual process recipe - individual subprocess description. It may be easily noticed that "product" level is the next higher level to "wafer lots" in the previous hierarchy, as the wafer lots are processed in order to manufacture the chips of a certain IC type.Generally a product name may be attributed to any process step sequence, even if the result is other then the IC chips, e.g. test wafers for C-V measurements. Another interesting feature of process description factors hierarchy is that the level of "process step sequence" generates the ordered sequences of process recipes from the next lower level, and again the level of "individual process recipes" contains the ordered sequences of the sub-process descriptions belonging to the particular process.

4. The system functional model.

DIASTEMOS functional model consists of four blocks related to Work-In-Progress control (WIP), manufacturing specification management (MSM), line status monitoring (LSM), and process diagnostics (DIA). Internal information management in each of these blocks, and information exchange between the blocks is the main task of the IC production diagnostic and control system.

WIP control module is the heart of the system. It depends on the information provided by specification management module, and uses some information on the line status provided by LSM module. This way every lot in the shop floor area may be effectively

tracked and the supervising personnel may easily find out what is going on with any lot at any time.

MSM function is understood in DIASTEMOS as process synthesis, engineering, and recipe editing. The module is used by process and product engineers. The interesting feature of the module is the system of standard vocabularies helping to maintain the semantic integrity.

LSM capabilities include non lot information tracking. As many as 44 groups of line status information categories have to be recorded constantly and to be available for analysis in the system, concerning environmental and utilities monitoring, consumables inventory, non lot process parameters record, and control of the maintenence status of the equipment.

DIA module in DIASTEMOS serves for two purposes. It consists of a data base containing test chip and IC chip measurement results, and a package for statistical data analysis and presentation of measurement results. Test chip and IC probing results may be combined with LSM and WIP data in order to analyse the correlations and establish the causes of yield fluctuations.

5. Conclusions.

DIASTEMOS performs most of the functions offered by such CAM/CIM systems as PROMIS or COMETS. Due to the fact that this system is dedicated to a known and well described IC MOS manufacturing line it is more efficient and easier to implement in the production environment. Process diagnostic capabilities of DIASTEMOS make process control more effective in comparison with other systems.

6. Bibliography:

1. D. Antoniadis: Considerations in Computer Aided Fabrication (CAF), SEMICON/EUROPA Techn. Proc., 12-14 March 1985, Zurich.
2. H.E. Lehrheuer: National Semiconductor's Odyssey - A New Way of Manufacturing, Microelectr. Manuf. and Testing, Jan. 1988.
3. J. Olenski, et al.: Diagnostic and Control System for MOS IC Manufacturing, Proc. Int. Conf. Semiconductor and Integrated Circuit Technology, ed. Wang Xiuying, Mo Bangxian, World Scientific, 1986.

DIASTEMOS: IMPLEMENTATION OF THE IC PRODUCTION CONTROL SYSTEM

Tabaczyński, W., Całka, W., Warszawa, VRP

1. Introduction.

Main features of DIASTEMOS, a computer assisted diagnostic and control system, were described in [1].

DIASTEMOS consists of four subsystems: Line Status Monitoring, Manufacturing Specification Management, Work-in-Progress control and Manufacturing Process Diagnostics and of a separate module: Line Equipment Configuration.

In this paper we focus only on one of them, Work-in-Progress Control subsystem (WIP), which:

- provides lot movement recommendations for the manually operated production line,
- enables lots and wafers tracking,
- assures the production monitoring,
- supports management and product engineers decisions,
- enables o process operator to get technological information and put various data about every process for each lot.

2. WIP implementation.

WIP has to assure:

- real-time multi-access in order to control data on lots in the production line (data modifications of a chosen lot immediately change information concerning this lot displayed on each terminal).
- reliability of DIASTEMOS (data shadowing on another computer).

Regarding the conditions mentioned above, it is out of question to design WIP as one program started on many terminals.

Therefore WIP was implemented as five independent but concurrently cooperating programs:

- KPP, which assures user-friendly communication with DIASTEMOS,
- SHO, which presents various lists on terminals,
- MOD, which modifies lot status,
- MOV, which "moves" lots according to their process step recipes,
- TIM, which watches critical times for processes.

KPP is started simultaneously from as many terminals as there are users wanting to communicate with DIASTEMOS.
SHO, MOD, MOV and TIM are started at DIASTEMOS start-up; they do not need any terminals.

These programs and other application software was created in FORTRAN with the essential usage of the previously prepared software for user communication with computer and data management and of the potential offered by the operating system.

KPP,SHO, MOD, MOV and TIM cooperate in a way below described.

A1. SHO, MOD, MOV and TIM start.
A2. KPP starts.

B1. KPP sends to SHO the message requesting it to select and display a lot list.
B2. SHO sends the requested list back.

C1. KPP sends to MOD message requesting it to modify a lot status of chosen lot.
C2. MOD executes the demand and sends to SHO message requesting it to modify the lot lists on the relevant terminals.
C3. SHO executes the demand.

D1. KPP sends to MOV message requesting it for a chosen lot to step into the next process according to its process step recipe.
D2. MOV modifies the current information about the lot and sends to SHO message requesting it to modify the lot lists on the relevant terminals.
D3. SHO executes the demand.

E1. TIM finds processes and lots for which critical times went beyond and sends to SHO message requesting it to modify the lot lists on relevant terminals.
E2. SHO executes the demand.

SHO, MOD, MOV and each terminal with KPP have their own channels (SHOCH, MODCH, MOVCH, TTCHn) generated by the operating system, where the succeeding messages queue up. These queues conform to FIFO style. The messages in SHOCH, MODCH and MOVCH are served synchronously while those in TTCHn are served asynchronously. Such an organization assures that the modifications caused by an activity of a single user on his KPP terminal are shown immediately on all relevant terminals.

Apart from using the channels described above, the programs cooperate sending and receiving essential data on lots. All these data are stored in a single file LPO.DAT. Each record of it corresponds to one lot from its setting up to archiving. Fast access to information from LPO.DAT plays the crucial role for the speed of WIP. Therefore the data concerning a lot which run was completed are passed to the archive and then are deleted from LPO.DAT

To fulfill the condition of system reliability, a special channel LOGCH for an additional output form MOD and MOV was designed. With LOGCH all the essential data about the work in the production line may be passed to the concurrently running computer.

Unter der Genauigkeit von Bestückungsausrüstungen ist deren Fähigkeit zu verstehen, ein Bauelement an der vorgesehenen Stelle translatorisch und rotatorisch exakt zu placieren. Ein Unterschied besteht dabei zwischen der Positioniergenauigkeit und der Wiederholgenauigkeit. Die Positioniergenauigkeit gibt Auskunft über die mögliche Einstellgenauigkeit der Anfahrkoordinaten des Bestückungskopfes (Saugpipette und Greifer) und damit des Bauelementemittelpunktes. Die Wiederholgenauigkeit der Bestückungsausrüstung gibt Auskunft über den Bereich (Intervall) der sich ergebenden Istpositionen beim mehrfachen wiederholten Anfahren eines definierten Bestückungspunktes. Die konkreten Werte der Positioniergenauigkeit und der Wiederholgenauigkeit sind abhängig vom Zusammenwirken der einzelnen Baugruppen. Gegenwärtig realisierte Werte liegen für die Positioniergenauigkeit bei $\epsilon = \pm$ 0,05 mm und für die Wiederholgenauigkeit bei $\gamma = \pm$ 0,02 mm. Im Vergleich dazu ergeben beispielsweise Untersuchungen zur Genauigkeit der Abmaße bei Chip-Widerständen der Bauform 1206, daß diese einen engen Toleranzbereich von ΔL = 0,05 mm (Länge) und ΔB = 0,07 mm (Breite) aufweisen. Die Streuung von L und B ist dabei normal verteilt.

3. Einflußgrößen der Bestückungssicherheit

Weitere Einflußgrößen neben den durch die Bestückungsausrüstung verursachten werden durch den Verdrahtungsträger und die SMD - Bauelemente selbst hervorgerufen.

"Versatz" bewirkende Einflußgrößen"

- V_G-Versatz des Greiferführungsgetriebes incl. x/y-Positionierung und rotator. Einflüsse
- V_L-Versatz des Lay-out
- b_K-Breite der Kontaktflächen
- a_L-Raster der Kontaktflächen
- V_A-Versatz des Anschlußelementes
- b_A-Breite des Anschlußelementes
- a_A-Raster der Anschlußelemente

Die Einflußgrößen schwanken in einem bestimmten Toleranzbereich (Intervall) zufällig. Sie lassen sich durch eine Dichtefunktion erfassen und unterliegen damit einer Streuung σ^2 sowie einer Standardabweichung σ .

Bei der praktischen Ermittlung der Bestückungssicherheit muß analog zu den Betrachtungen zur Zuverlässigkeit zwischen Betriebs- und Prüfbestückungssicherheit unterschieden werden, da bei kleinen Loszahlen und einer großen Anzahl verschiedener Bauelemente bzw. hoher Flexibilität ein nicht vernachlässigbarer Einfluß auf die Bestückungssicherheit entstehen kann.

4. Zusammenwirken von Einflußgrößen und resultierende Konsequenzen

Die wichtigsten Einflußgrößen bei der Bestückung sind im Bild dargestellt.

Es lassen sich folgende Gleichungen ableiten:

(1) $V = V_A + V_K$

(2) $V_A = \Delta a_A + 0{,}5(\Delta b_A + \Delta b_T + \Delta d_F + \Delta d_L) + \Delta b_B + \Delta a_T + 2\,V_G$

(3) $V_K = V_L + \Delta a_L + 0{,}5\,\Delta d_B$

Durch Zentrierwerkzeuge und konstruktive Lösungen zur Minimierung der Aufnahmetoleranzen ergibt sich ein resultierender Gesamtversatz V nach Gleichung (4):

(4) $V = V_L + 2\,V_G + \Delta a_L + \Delta a_A + \Delta b_B + 0{,}5\,b_A$

Da die einzelnen Versatzgrößen unabhängig voneinander und statistisch verteilt sind, läßt sich der resultierende Versatz V_R wie folgt bestimmen:

(5) $V_R = t \cdot \sqrt{0{,}111\,(V_L^2 + 4\,V_G^2 + \Delta a_L^2 + \Delta a_A^2 + \Delta b_B^2 + 0{,}25\,b_A)}$

5. Möglichkeiten zur Minimierung der Einflußgrößen

Zur Minimierung der Einflußgrößen sind folgende Maßnahmen geeignet:

- Justierzangen am Greifer (Bestückungskopf)
- Spezielles Zentrierwerkzeug, das das Bauelement über die Anschlüsse "feinzentriert" (2-Stufen-Zentrieren)
- Spielfreie Leiterplattenaufnahme, z.B. durch federnde Aufnahmeelemente oder Nutzung des Prinzips der Dreipunktanlage

- Andrücken der durchgebogenen Leiterplatte zur Minimierung von Leiterbildverzerrungen
- Gestaltung der Kontaktflächen derart, daß $b_A < b_K$
- Automatische Korrektur des Versatzes zwischen Bauelement und Leiterplatte durch Bildanalyse-Komponenten (Pattern-Error-Correction and part to pad matching) bei Bestückungsausrüstungen der 2. Generation /4/.

Literatur:

/1/ TGL 29096/01

/2/ Horak, D.: SMD - Technische und wirtschaftliche Auswirkungen einer neuen Strategie von Valvo

/3/ - SMD-Lötverfahren, Elektronik-Report 3, März 1986, S. 59

/4/ Pollak, R.: Flexible Bestückung - Voraussetzung für die Fertigungsintegration, productronic 10-1987, S. 12...16

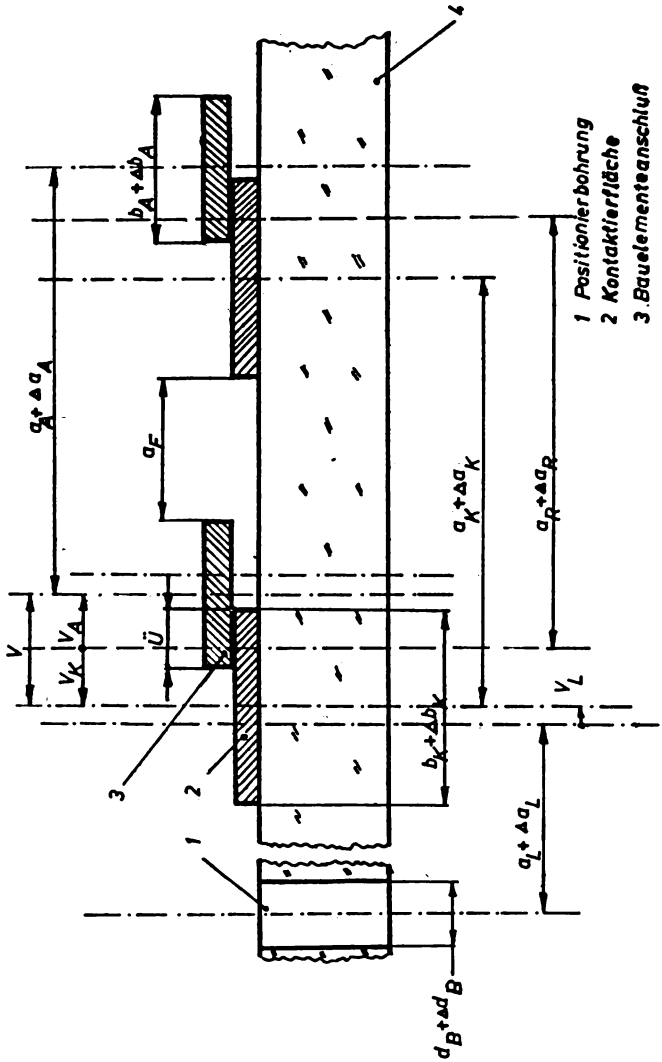
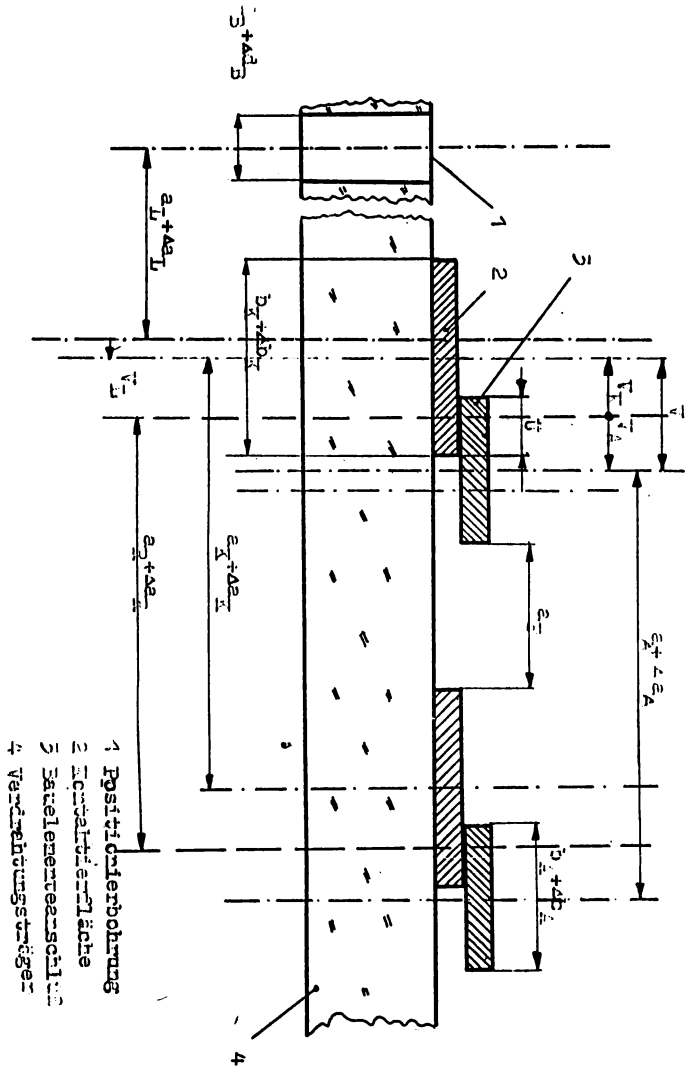


Bild: Einflußgrößen bei der Bestückung


1 Positionierbohrung
2 Anlagefläche
3 Bauelementeanschluß
4 Verbindungsträger

TOA 1 PROGRAMMING TOOLS

Štella, J., Ing, TESLA VÚST Praha, Czechoslovakia

The system software of the Czechoslovak Automatic Test Equipment named TOA 1 is controled by the main disk operating system. It consists of powerful programming tools for devising new test programs and for controlling diagnostic of hardware and calibration of measurements. Some features of the system software will be further concisely described.

The main operating system of TOA 1 named TDOS is in most user`s system calls compatible with the well known ISIS-II operating system, but using the test language interpreter under ISIS-II is not recomended. However, all compilers supported with ISIS-II such as PL/M 80, FORTRAN 80 or PASCAL 80 can be successfully with TDOS used.

To meet basic requirements on the software facilities the operating memory of TOA 1 microcomputer had to be extended at least to 192 KB. Resident part of TDOS, program PAGE - MONITOR, can work with such an extended memory. It includes utilities for editing and debugging programs having been loaded into operating memory.

The user, of course, need not write or debug his test programs in assembly language. For this purpose the high-level test language BASIC-TM has been developed, that enclosed besides the standard BASIC instructions the test related instructions too. Some of the test related instructions are designed for controlling of measurement modules, some of them provide a data logging or estimation of DUT`s (Devices Under Test) using the method of binning.

The BASIC-TM test program consists of instruction blocks. One instruction block begins with statement TEST#n and ends with statement TEST. This statements provide the most typical functions that must be very often repeated in the test programs. Such a block structure makes the test programs to be easy to understand.

Controlling of the test usually proceeds in four steps. The block is opened with the instruction TEST # n, that marks the block with number n . The folowing instructions prepare the test conditions. At first, all measuring sources of tester are switched

off and the output relays of those which will be needed are closed. Then voltage and current clamps of selected sources are set to limits at exceeding of which hardware exception signals (alarms) are generated. Applying the CONNECT or SET MATRIX instructions the internal analogue signal connections are made, while the input of the precise measurement unit can be connected directly to the DUT or to the cerrent or voltage senzor of some measuring source. Then the SET instructions are used to the measuring sources to generate appropriate values of voltage or current and to set measuring ranges. At the end of the first step all DC/AC sources are switched on again and the second step of this instruction block can start.

To obtain valid result some time delay by means of the WAIT instruction have to be usually generated before measurement.Then more measurements with the single MEASURE instruction can be carried out and their average value can be passed on to the BASIC-TM variable. At the beginning of MEASURE instruction an alarm window is opened. At this time all failure signals comming from the measurement units are detected and stored into the operating memory while predefined internal variable AFLAG is incremented. There are accepted clamps or ranges overflows and user defined alarms from the family board. The alarm window can be opened or closed by some BASIC-TM instructions. It has a particular advantage while debugging the test programs.

The third step includes decisions. A previously measured value is compared using IF instructions with limits being often obtained directly from components catalogue. The DISQ BINS instructions create step by step a list of bins (a bin is a one bit logical value) that are to be further disqualified (set to zero). 32 bins are available in BASIC-TM test language. The bin of the lowest number not yet disqualified is a current result bin of the DUT's quality. The result bin 1 is usually associated with the best quality and higher bins with worse quality. The result bin 32 is set if the alarm occures when the alarm window is open.

In the fourth step using the DLOG instruction the measured values can be stored into the RAM buffer and at the end of program they can be examined on the CRT display, printed out or

sent to the disk file. The information about alarms (variable AFLAG) and failing decisions (variable FFLAG) are added to the measured values and these are labeled with current test number. The DLOG instruction should be prefered to standard BASIC instruction PRINT, because this one works much slower and needs more of the disk capacity.

The advantage of DLOG instruction is that it stores data in the BASIC interpreter internal floating point format without converting them to the ASCII string. All comments and names of units are included in the header of DLOG file for the whole group of DUT`s only once by the DLOG system initialization.

The block of test program is closed by the TEST statement. This statement disqualifies the bins according to the current list of bins to be disqualified and when the test failes, it tags the software counter associated with the current test number. At the end of test program these taged counters of the tests failures and appropriate result bins counters are incremented. In this manner BASIC-TM manages basic statistical information about one group of DUT`s of the same type. This statistical information can be examined on the CRT display, printed out or stored in the disk file immediately after the test program is over.

BASIC-TM interpreter can run two independent test programs for two testing heads at the same time. It operates as an interpreter or in compiled mode. The build-in three-pass pseudo-compilator accelerates BASIC programs up to four times. Thus while developing the test program, the BASIC-TM supports the advantage of easy debugging and editing as each BASIC interpreter does. After the test program was debugged, it can be easily made faster by aplying a BASIC-TM COMPILE statement.

BASIC-TM interpreter provides an automatic initialization setup according to the actual hardware configuration. Different size of operating memory can be used (minimum is 128 KB) as well as different math proccesor, GPIB bus (IMS bus), and variety of peripherals and handlers.

BASIC-TM interpreter processes corrections of all measured or programmed values according to the build-in arithmetic expressions. At initialization of the interpreter the appropriate constants are loaded into the operating memory from disk file

that has been created by the calibration programs.

Those calibration programs have been worked out for each measurement modul. They can be used also for checking of measurement accurancy only.

The dignostic programs are the important part of TOA 1 programming tools. They are used whenever there is a doubt about correct function of some part of TOA 1' hardware and they are able to locate a failure at least to one module. The diagnostic and calibration programs of measurement modules are based on the internal system of analogue buses connected to the build-in high stable substandard of voltage, resistance and frequence.

At the conclusion an example of BASIC-TM test program will be presented:

```
100 TEST # 12              :REM SET TEST NUMBER TO 12
110 REM STEP 1 - PREPARING TEST
130 GATE DC OFF:CLOSE VI1  :REM USE VI1 FOR DUT AS A POWER SOURCE
140 SET VI1 CLAMPS TO VMIN -2 VMAX 6.5 IMAX 20 MAMP
150 CONNECT MM TO VIAM1    :REM OUTPUT CURRENT OF VI1 WILL BE
                                MEASURED
160 SET VI1 TO FV 5 IMAX 20 MAMP :REM SETTING OUTPUT VOLTAGE AND
                                  RANGE FOR MEASUREMENT
170 GATE DC ON             :REM SWITCHING ON ALL SOURCES
180 REM STEP 2 - MEASUREMENT
190 WAIT 10 MSEC: MEASURE MM AVERAGE 20 INTO A
200 REM STEP 3 - DECISIONS
       ICC >  15 MA -> RESULT BIN 16
  2 MA< ICC <= 15 MA -> RESULT BIN 2
       ICC <=  2 MA -> RESULT BIN 1
210 IF ABS(A) > 15 MAMP THEN DISQ BINS 1-15 :FAIL:GOTO 230
220 IF ABS(A) > 2 MAMP THEN DISQ BINS 1 :FAIL
230 REM STEP 4 - DATA LOGGING
240 DLOG A*5 ; MWATT "3.1","POWER CONSUMPTION (UCC=5 VOLTS)"
250 TEST                   :REM PROGRAM BLOCK IS CLOSED
```

MATHEMATISCHE METHODEN BEI PROZESSANALYTISCHEN UNTERSUCHUNGEN ZUR AUSBEUTESTEIGERUNG BEI CHIP-WIDERSTÄNDEN

Redetzky, R.-R., Dr. rer. nat., KDT, Teltow, DDR

Bedingt durch viele stochastisch wirkende Einflüsse sind Zielgrößen und Einflußgrößen in zahlreichen Verfahrensschritten in Forschung und Entwicklung und in Prozeßstufen von Fertigungslinien zur Herstellung elektronischer Bauelemente Zufallsgrößen. Der Zustand und die Wirkung dieser Größen auf die Prozeßkontinuität und Stabilität zur Realisierung von Güteforderungen (Qualität und Zuverlässigkeit) und zum Erreichen hoher Ausbeuten kann nicht mehr mit dementaren Methoden eingeschätzt werden. Solche Systeme sollten daher mit Methoden der Wahrscheinlichkeitsrechnung und mathematischen Statistik analysiert und beschrieben werden. Zur Lösung dieser Aufgaben wird im Stammbetrieb des KEB Teltow schrittweise eine Softwareprogrammbibliothek EQUATEF entwickelt, dessen Bausteine in verschiedenen hardware- und softwaremäßigen Realisierungen zur Qualitätssicherung in technologischen Prozessen, Entwicklung und Forschung eingesetzt werden. Im Vortrag wird über den gegenwärtigen Entwicklungsstand und theoretische Fragen berichtet; erste Softwarebausteine werden vom Entwicklerkollektiv Burdanowitz, Herbst, Redetzky auf der Posterausstellung vorgestellt.

Statistische Bewertung von Datenmengen

Der erste Schritt der Auswertung umfangreichen Datenmaterials besteht in der Gewinnung von Verteilungsaussagen, der Komprimierung der Daten auf wenige aussagefähige Kennwerte und der grafischen Interpretierbarkeit von Teildatenmengen. Diese Analyse ermöglicht dem mit dem Prozeß vertrauten Fachmann Entscheidungen zur Verbesserung von technologischen Schritten, Abstellen von Fehlern und die Veränderung von Einstellwerten bzw. Zielstellungen.

1. Primäre Aufbereitung und Selektion der Daten

Eine primäre Datenaufbereitung ist erforderlich, da nicht die gesamte vorhandene Datenmenge einer unmittelbaren statistischen Auswertung unterzogen werden darf. Daher sind in einer 1. Selektion die Werte auszusondern und getrennt zu erfassen, die in Zusammenhang mit der Funktion des Bauelementes physikalisch unsinnig sind.

Bei den vorliegenden Widerstandswerten R dieses Chipbauelementes wurde ersetzt:

$R \geq 19{,}9$ MOhm (Überlauf, "Unterbrechung")

$R \leq 0{,}8$ Ohm ("Kurzschluß").

In einer 2. Selektion wurden in der verbliebenen statistischen Masse diejenigen Werte ausgesondert und getrennt erfaßt, die eine übermäßig große Abweichung zu einem geeignet gewählten mittleren Datenwert besitzen. Beim vorliegenden Chipbauelement wurde eine 50 %ige Medianabweichung benutzt.

2. Häufigkeitsaussagen

Mit Hilfe der Häufigkeitsdarstellungen erhält der Anwender eine erste übersichtliche Darstellung der geordneten Daten und die Möglichkeit einer optischen Analyse (Histogramme, Häufigkeitspolygone, Summenkurven, Ogiven). Durch Pseudografik oder Vollgrafik können diskret approximierte stetige Verteilungen bzw. Verteilungsfunktionen sehr wirksam dargestellt werden. Geänderte Intervalleinteilungen lassen sich schnell und gut analysieren, z. B. für Ausbeuteaussagen der Widerstandswerte in Toleranzklassen bzgl. sich ändernder Bezugswerte. Dadurch ist bereits eine gewisse Optimierung der Ausbeute möglich.

3. Verteilungsaussagen

Mit den in 2. gewonnenen Ergebnissen der beschreibenden Statistik lassen sich noch keine mathematisch begründeten Vergleiche über signifikante Unterschiede in Datenmengen nachweisen. Viele statistische Schlußweisen, die sich in der Anwendung bei Ingenieurwissenschaften eingebürgert haben, benutzen Normal-Verteilungseigenschaften der Grundgesamtheit. Da die theoretische Verteilung einer Grundgesamtheit i. a. nicht bekannt ist, muß sie an Hand des statistischen Materials geschätzt werden. Wir benutzen den CHIQ-Anpassungstest und den Kolmogorov-Test bzw. das 3. und 4. Moment (Schiefe, Exzeß) zum Test bezüglich der Normalverteilung.

4. Kennwertaussagen

Bei Kennwertaussagen wird das gesamte Datenmaterial auf einige technisch/technologisch aussagefähige Parameter "komprimiert". Da hierbei ein großer Informationsverlust gegenüber der ursprünglichen Datenvielfalt eintritt, müssen die Festlegungen, die zur Auswahl und Bestimmung der Parameter führen, sowohl in mathematischer als auch in technischer Hinsicht sehr sorgfältig vorgenommen werden.

So sind die in der Technik hauptsächlich benutzten empirischen Kennwerte (arithmetischer) Mittelwert $\bar{x}$ und Streuung s^2 Realisierungen von optimalen Schätzfunktionen für Erwartungswert und Varianz einer normalverteilten Zufallsgröße, aber bei Verletzung der Normalverteilung können sie sehr schlechte Schätzwerte sein. In den Prozeßstufen zur Herstellung von Chipwiderständen treten häufig Störeffekte und Extremwerte auf, die statistische Ausreißer sind und die die empirischen Werte $\bar{x}$, s^2 stark verfälschen. Wir haben deshalb robuste Schätzungen für die Parameter "Mittelwert" und "Streuung" des Prozesses in die Software aufgenommen. Eine robuste Schätzung des Mittelwertes ist in der Median, dessen Wert unempfindlich gegenüber extremalen Werten der Verteilung ist. Aus den geordneten Meßwerten $x_{(i)}$, i = 1, 2, ..., n wird eine Medianabweichung wie folgt berechnet:

$$s_{MED} := \frac{1}{0.6745} \underset{i=1}{\overset{i=n}{\text{Median}}} (x_{(i)} - x_{MED})$$

Die Genauigkeit der Schätzung der Parameter steht in unmittelbarem Zusammenhang zur Beobachtung der Ausbeuteentwicklung. Sind die Parameter hinreichend genau geschätzt, dann können Sollwertabweichungen des Systems genau genug erkannt werden. Die Abweichungen der statistischen Kennwerte, insbesondere des Mittelwertes vom Nennwert, und die Streuung bestimmen (angenähert) die Ausbeute (bzw. die Ausfälle) in den verschiedenen Toleranzklassen. Bei Kenntnis der Wahrscheinlichkeitsverteilung ist die Ausbeute als Funktion von

- Abweichung vom Mittelwert zum Sollwert
- Streuung
- Toleranzklasse

explizit angebbar. Sie spielt bei allen technisch/technologischen Prozessen mit Zufallseinflüssen, bei denen Sollwerte der Parameter realisiert werden müssen, eine wesentliche Rolle. Die empirische Ausbeute wird durch "Auszählen" in die Toleranzklassen ermittelt.

Literatur

1 Autorenkollektiv: Verfahrensbibliothek, Versuchsplanung und -auswertung, VEB Deutscher Landwirtschaftsverlag, Berlin 1979

2 Fisz, M.: Wahrscheinlichkeitsrechnung und mathematische Statistik. VEB Verlag der Wissenschaften, Berlin 1962

3 Redetzky, R.-R.: Rechnergestützte Selektion von Tantal-Kondensatoren, 4. Fachtagung "Kondensatoren", Karl-Marx-Stadt, 1987, Tagungsband

4 Redetzky, R.-R.: Zur Anwendung mathematischer Methoden bei der rechnergestützten Entwicklung und Produktion elektronischer Bauelemente, 5. Tagung "Industriemathematik", TU Magdeburg, 1987

ПЕРСПЕКТИВЫ И ПРОБЛЕМЫ СОЗДАНИЯ ТРЕХМЕРНОЙ МИКРОЭЛЕКТРОННОЙ БАЗЫ ЭВМ.

Сыпчук П.П. профессор МИЭМ, Москва, СССР,
Трубочкина Н.К. доцент МИЭМ, Москва, СССР.

По мнению экспертов к концу этого десятилетия интегральные схемы, элементная база современных ЭВМ, достигнет предела минимизации и дальнейшее увеличение быстродействия и информационной плотности ЭВМ будет зависеть от успехов технологии вертикальной интеграции и разработки схемотехники для трехмерной реализации.

Основным известным принципом построения трехмерной элементной базы является создание планарных активных слоев кремния на диэлектрике и их монолитное наложение. В активных слоях используют обычные транзисторные схемы.

Преимуществами таких схем, скорее многослойных, чем трехмерных являются: параллельная обработка сигналов, высокое быстродействие, высокая плотность упаковки, многофункциональность.

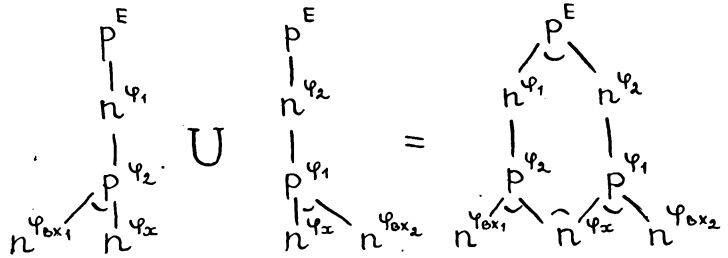
К недостаткам или проблемам относятся: проблема соединений, взаимное влияние сигналов в наложенных слоях, полная потребляемая мощность и связанная с ней проблема охлаждения кристалла.

Авторы, занимаясь задачей оптимизации существующих транзисторных схемотехник и архитектур устройств ЭВМ для трехмерных интегральных схем, используя машинное моделирование, выявили возможность существования более экономичной с точки зрения интегральных переходов и соединений переходной схемотехники. В отличие от транзисторных схемотехник простейшим компонентом переходной схемотехники является не транзистор, а переход между областями с различными свойствами, в частности p–n переход.

Разработаны методы описания, синтеза (аналитического и машинного), анализа элементов переходной схемотехники.

Синтез элемента осуществляется в два этапа: вначале синтезируют математическую модель элемента, затем ЭВМ по математической модели генерирует структуры, используя волновой алгоритм и ограничения на параметры транзисторных структур, задаваемые разработчиком.

Примером аналитического синтеза является уравнение синтеза математической модели комплементарной биполярной триггерной ячейки, содержащей 8 полупроводниковых областей:



В графовой модели волнистой чертой отмечены паразитные транзисторные структуры, наличие которых необходимо учитывать при разработке конкретных трехмерных структур элементов и функциональных блоков ЭВМ.

Большой объем и сложность вычислений при генерации трехмерных структур и их моделировании требуют автоматизации этого процесса. Разработана программа приближенного моделирования трехмерных полупроводниковых структур по математическим моделям элементов переходной схемотехники, которая была использована при создании интегральных структур, содержащих от 3 до 8 полупроводниковых областей. Были получены транзисторы, элементы И-НЕ, ИЛИ-НЕ, инверторы, усилители, повторители, запоминающие элементы.

Все элементы размерностью более 4 содержат меньшее количество р-п переходов и соединений, чем у соответствующих транзисторных аналогов и являются по сути комплементарными биполярными схемами с максимальной функциональной интеграцией.

Часть элементов работает по принципу комплементарных МОП - схем: не потребляют мощность в одном из статических режимов.

Получены результаты, подтверждающие избыточность транзисторной схемотехники. Это видно из приведенного примера: запоминающей ячейке, имеющей в транзисторной схемотехнике 17 р-п переходов и 10 соединений найден переходный аналог на 8 р-п переходах с двумя соединениями. Однако реализовать такую математическую модель элемента в виде интегральной структуры, используя старые технологические приемы невозможно, не разбивая модель на модели меньшей размерности, которые в интегральной структуре необходимо связывать дополнительными соединениями. Кроме того, разбиение общей модели приведет к дублированию полупроводниковых областей,

то есть опять – к избыточности полупроводниковой структуры.

Монолитность математических моделей активных элементов переходной схемотехники (решающей проблему мощности и соединений интегральных схем) предъявляет новые требования к технологии создания трехмерных активных слоев многослойных интегральных схем. Так например, комплементарный биполярный трехмерный элемент И-НЕ, на базе которого можно строить любые комбинационные схемы, при умении создания 7 слоев полупроводниковых областей различной проводимости с воспроизводимыми параметрами транзисторных структур на поверхности кристалла занимает площадь лишь двух минимальных полупроводниковых областей, то есть обладает предельной теоретически возможной плотностью компановки. Авторами сравнивались элементы различных схемотехник: КМОП-транзисторной схемотехники, биполярной транзисторной схемотехники (элементы транзисторно-транзисторной, эмитерно связанной, инжекционной логик) и переходной схемотехники, разработанной авторами. Сравнение осуществлялось по числу полупроводниковых областей, р-п переходов, соединений, мощности, быстродействию, запасам помехоустойчивости, информационной плотности. По ряду показателей разработанная биполярная переходная схемотехника для трехмерных интегральных схем значительно превосходит биполярную транзисторную схемотехнику, а по сумме показателей превосходит даже КМОП-транзисторную схемотехнику.

Разработан аппарат представления оптимальных математических моделей элементов переходной схемотехники в виде трехмерных полупроводниковых структур. Аппарат основан на использовании теории графов, волновом алгоритме и расчете электрофизических параметров полупроводниковых областей и транзисторных структур. Расчет параметров транзисторных структур необходим, так как из-за отсутствия программ автоматического анализа N-мерных полупроводниковых структур используется стандартная программа анализа транзисторных схем.

Разработанная трехмерная переходная схемотехника – основа для активных слоев многослойных интегральных схем – обладает большими преимуществами: решаются проблемы мощности, быстродействия, соединений.

Проблемами этой элементной базы трехмерных ЭВМ являются: технология изготовления, связанная с созданием многослойных полупроводниковых структур с вертикальной и горизонтальной внутренней диэлектрической изоляцией и математическое моделирование структур, содержащих более 4 областей на физическом уровне.

ПОЛУЧЕНИЕ АМОРФНЫХ ПЛЕНОК СПЛАВОВ $Ni-Ti$ И $Ni-Al$ КАТОДНЫМ РАСПЫЛЕНИЕМ

Бабаян Р., кандидат технических наук, доцент, Институт проблем управления, Москва, СССР

В связи с разработкой новых процессов интегральной технологии и внедрением в промышленность устройств на основе этих процессов, благодаря своим уникальным свойствам, в последние годы интенсивно развивается физика тонких аморфных пленок.

В микроэлектронике аморфные металлы представляют интерес по следующим соображениям: во-первых, пленки металлов с аморфной структурой хорошо выполняют функции диффузионных барьеров в пленочных структурах; во-вторых, аморфные пленки позволяют на своей основе изготавливать прецизионные пленочные резисторы, диоды с барьером Шоттки, другие активные и пассивные компоненты интегральных схем.

В настоящем докладе рассмотрена технология изготовления и некоторые свойства металлических бинарных символов $Ni-Ti$ и $Ni-Al$ с аморфной структурой. Выбор металлов связан с их широким использованием при производстве изделий микроэлектроники.

Для получения пленок сплавов указанных металлов целесообразным оказалось использование метода катодного распыления, поскольку, по сравнению с термическим испарением, он позволяет легко выдержать необходимый для аморфизации концентрационный интервал. В качестве мишени распылительной установки можно использовать составную мишень из двух металлов. В случае сплава $Ni-Ti$ концентрационный интервал никеля составляет 30–40 ат.%, а в случае $Ni-Al$ – около 20 ат.%.

Для удовлетворения условия концентрационного интервала необходимо определить удельные поверхности каждого компонента мишени, поскольку коэффициенты распыления Al, Ti, Ni при постоянном значении энергии ионов разные.

Расчет мишени проводится следующим образом. Если в случае сплава $Ni-Ti$ количество атомов Ni и Ti обозначим соответственно через N_{Ni} и N_{Ti}, тогда по требованию условия выдержки концентрационного интервала имеем:

$$N_{Ni}/(N_{Ni}+N_{Ti}) = 0,35 \qquad (I)$$

В случае ионного распыления N_{Ni} и N_{Ti} можно выразить формулами:

$$N_{Ni} = K \cdot S_{Ni} \cdot A_{Ni} \cdot j_p \cdot t$$
$$N_{Ti} = K \cdot S_{Ti} \cdot A_{Ti} \cdot j_p \cdot t \qquad (2)$$

где S_{Ni} и S_{Ti} - соответственно коэффициенты распыления никеля и титана, A_{Ni} и A_{Ti} - соответственно их площади, j_p - плотность бомбардируемых ионов, t - время распыления, K - коэффициент пропорциональности.

С учетом (I) и (2) для отношения площадей компонентов мишени получим:

$$\frac{A_{Ti}}{A_{Ni}} = \frac{0{,}65 \cdot S_{Ni}}{0{,}35\ S_{Ti}}$$

Как видно, это отношение зависит еще и от коэффициентов распыления компонентов. Если бомбардировать мишень ионами аргона с энергией E_p = 2000 эВ, для которых S_{Ni}/S_{Ti} = 2,5, то для отношения площадей компонентов металлов получим:

$$\frac{A_{Ti}}{A_{Ni}} = 4{,}64$$

Таким образом, для получения сплава $Ni-Ti$ с выдержкой концентрационного интервала площадь компонента мишени должна быть в 4,64 раза больше, чем площадь никелевого компонента. Аналогично рассчитана мишень из $Ni-Al$.

Пленки сплавов $Ni-Ti$ и $Ni-Al$ осаждались на поверхность ситалловых и кремниевых пластин. Проведенные электронно-микроскопические, электронно-графические и рентгеноструктурные исследования этих пленок полностью подтвердили их аморфную структуру, а изученные приборные свойства показали их исключительную перспективность при производстве новых типов интегральных схем.

ВОЗДЕЙСТВИЕ ТЕПЛОВЫХ УДАРОВ НА ТОНКИЕ ПЛЕНКИ МАТЕРИАЛОВ

Бабаян Р., кандидат технических наук, доцент, Институт проблем управления, Москва, СССР
Аскеров А., кандидат физико-математических наук, доцент, Азербайджанский государственный университет, Баку, СССР
Багирова А., инженер, Азербайджанский государственный университет, Баку, СССР
Власов С., кандидат технических наук, старший научный сотрудник, Институт проблем управления, Москва, СССР
Кадымов Г., кандидат физико-математических наук, Институт космических исследований природных ресурсов, Баку, СССР

В технологическом процессе изготовления тонкопленочных гибридных микросхем тонкие пленки резистивных, проводящих и диэлектрических материалов неоднократно подвергаются тепловым ударам (высокотемпературный отжиг пленок в вакууме, отжиг на воздухе для стабилизации структуры пленок и др.). Такие тепловые воздействия вызывают механические напряжения в тонких пленках, которые являются источником отказов будущей схемы. В связи с этим весьма актуальной делается задача выбора материалов и их толщин, подложек, оптимальных воздействующих энергий.

Исследования показали, что, например, золото, используемое в качестве проводникового слоя, быстро поглощает воздействующее тепло, что приводит к чувствительным механическим напряжениям в проводящей пленке и в 6-8 раз увеличивает число отказов схемы.

Ниже приводятся краткие выводы по результатам исследований, содержащих данные о термических и механических эффектах, вызываемых воздействием коротких тепловых импульсов высокой энергии на подложки из ситалла и поликора с нанесенными на них тонкими пленками материалов, наиболее часто употребляемых при производстве тонкопленочных гибридных микросхем - золота, меди, алюминия, нихрома и окиси бериллия.

В частности определено, что если коэффициенты поглощения энергии всех материалов, используемых в пленочной схеме, лежат в диапазоне 2,5÷3,0, отказ происходит при температуре, соответствующей точке плавления наиболее легкоплавкого материала. Если коэффициенты поглощения материала в схеме сильно отличаются, то при прогнозировании отказов будущей схемы следует ориентироваться на материал с наибольшим поглощением. Многократные исследования показали, что при воздействии тепловых ударов температура

алюминия, окиси бериллия и некоторых других материалов повышается примерно одинаково. При этом повышение температуры алюминиевых пленок практически не зависит от их толщин. А повышение температуры тонких медных пленок на подложках из ситалла и поликора составляет порядка 8% (наибольшее значение) от повышения температуры пленок из золота. Следует отметить, что повышение температуры медных пленок значительно зависит от длительности воздействующих импульсов, толщины пленок и теплопроводности подложек.

Наилучшие результаты удалось получить для пленок толщиной до 500 Å, осажденных на поликоровые подложки, теплопроводность которых примерно на три порядка выше, чем у ситалловых. Исследования других авторов [1] показывают, что при толщине 1000 Å повышение температуры медной пленки на подложке из BeO вдвое превосходит повышение температуры алюминиевой пленки при сравнимом уровне воздействующих энергий. При этом теплопроводность подложек BeO в 7÷12 раз выше теплопроводности поликора.

Значительным коэффициентом поглощения обладают тонкие пленки различных резистивных материалов на основе сплавов и соединений - нихром, металлосилицидные сплавы, керметы. Воздействие тепловых ударов на тонкие пленки вызывает необратимые процессы в них и является основным источником дестабилизирующих факторов (нестабильность резисторов от температуры окружающей среды и во времени) и, как следствие, отказов схемы. В связи с этим в качестве резистивных материалов целесообразно использовать "чистые" материалы - металлы с малым коэффициентом поглощения, например, рений, а также аморфные сплавы Ti-Ni, Al-Ni , исследования которых в качестве резистивных материалов позволяют судить о их исключительных свойствах. На рис. I показана зависимость увеличения температуры тонких пленок алюминия, золота и меди от энергии воздействующих импульсов, а на рис. 2 - зависимость напряжения сжатия в пленке от энергии воздействующих импульсов.

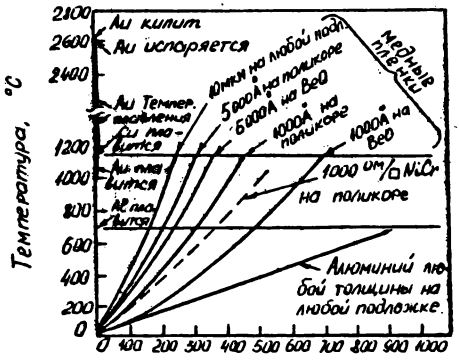


Рис. 1

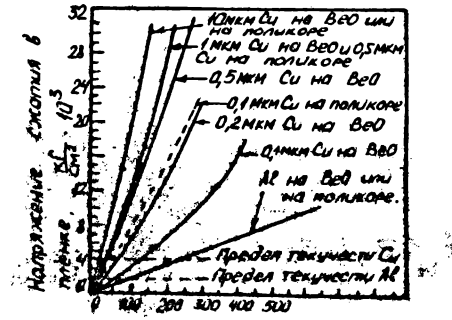


Рис. 2

Литература

1. J.F. Burgess, C.A. Neugebauer, and R.A. Sigsbee. Evaluating high-energy pulse effects on materials Electronics, No. 1, 1973, pp. 107-108.

UNIVERSAL CCD HYBRID MODULE

Athanassov, A., Dr., Andonova, A., Dr., Vmei, Sofia, Bulgaria

This work presents results, conserning the development and some applications of an universal hybrid multichip charge coupled device (CCD) module.

As it is well known, the CCD's have made dramatic advances in two electronic areas - signal processing and linear and matrix imaging.

Some disadvantages of the devices such as the lower fabrication yield and the higher prices are due to the high uniformity requirements stated against the monolithic CCD processing.

A new approach for realization of CCD hybrid multichip module avoiding these disadvantages is proposed here.

Various types of modules were developed and tested. For their realization were used preliminary selected and tested linear CCD's mounted on a sital substrate.

The basic chip is a four phase 128 bit surface channel CCD. This chip consists of three electric signal inputs and floating diffusion output /I/. Some of the CCD chips could be covered with opaque metal thin film. The CCD's were selected among the chips belonging to one slice.

The tested parameters are shown on Fig.I. The parameter tolerances

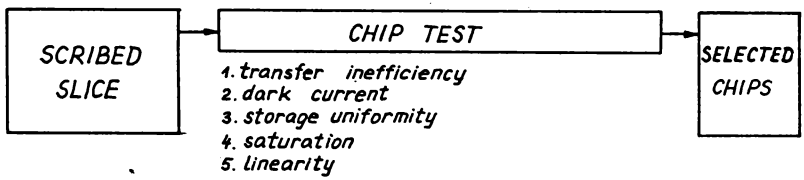


Fig. 1

of the selected chips are not greater than 10% . The proper selection of CCD chips is of great importance for the good and reliable operation of the hybrid module afterwords. Metal thin film for contact paths is deposited on the sital substrate. On a single sital substrate can be mounted five chips.

A general view of CCD chips dislocation on the substrate is shown

on Fig.2. The chips are placed on two rows with overlapping between even and odd chips. This overlapping is nesessary in order to

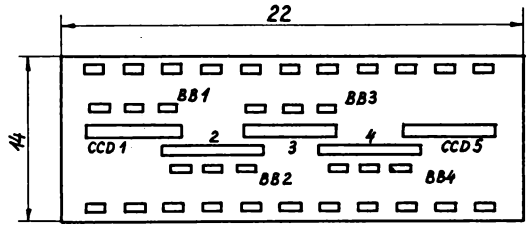


Fig.2

avoid the gaps between the top and the bottom of the CCD active picsels, working as imagers. The overlapping tolerance of the CCD chips is approximately 4 μm. The distance between paralell chips is approximately 400 μm. Therefore the chip assembly is one of the most critical fabrication steps. This concerns the linear imager modules.

The chips which assembly tolerances are greater than the mentioned above, are used for signal processing applications. The cases of the modules used for signal processing are opaque.

Various circuit configurations and applications are available using additional contact paths for bridge bonding (BB).

A linear imager based on five CCD's is shown on Fig.3. The clocks buses of all devices are in paralell connection.

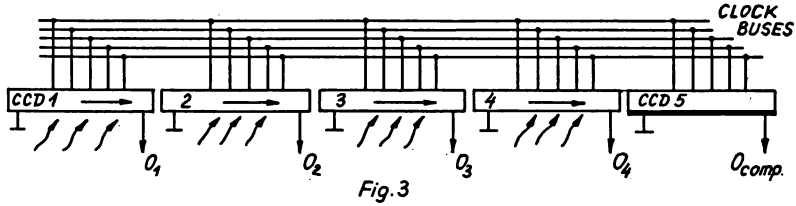


Fig.3

The module has five outputs. Four CCD's operate like 512

picsels linear imager with four active outputs. The fifth output is used for common dark current compensation.

The signal processing speed in the hybrid imager with four parallel outputs is two times higher, compared to a standard CCD bilinear imager. The image module is placed in plastic case, covered with thin quartz glass.

Various multiplexed CCD delay lines are fabricated from the universal module as shown on Fig.4. The inputs (I), outputs (O) and the reset transistor gates (R) of every CCD chip can be

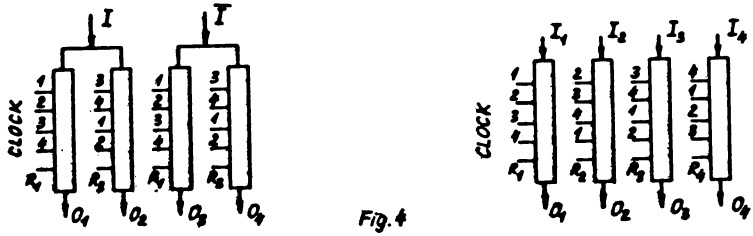


Fig.4

bonded separately. The delay line circuit versions are achieved by expedient bonding of the four bridges (BB1 - BB4) - Fig.2.

Good parameters of CCD multiplexed delay line module such as: delay time up to 30 ms; dynamic range ~ 60 dB; nonlinear distorsions ~ less than 0.5% were reached by strict chip selecting and circuit choice.

The module can be used as well for linear imaging and storing of the signal of every frame. Two of CCD (1 and 3) are used like imagers. The chips 2 and 4 covered with opaque metal film are used like shift registers (Fig.5). During the transfer

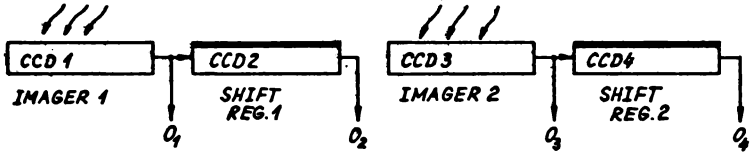


Fig.5

time the output signal from imagers appears on the outputs OI and 03 and at the same time goes to shift the registers. The image signals of every frame are stored in the shift registers for the integration time of imagers 1 and 3. During every transfer four signals appear on the outputs - two of n frame (01 and 03) and two of n-1 frame (02 and 04). The difference in the positioning of the target image can be estimated by comparition of every pair of the signals.

The four phase clock generator is formed as a hybrid IC too. The five output signals are processed initially in four channel hybrid IC.

C O N C L U S I O N

A hybrid multichip and multipurpose module with linear 128 bits CCD's are developed and tested. The module can be easely programmed by bonding to operate as: linear imager with four parallel outputs; three mode of multiplexed delay lines; linear imager with frame shift register memory.

Other applications of the CCD hybrid module are available too.

R E F E R E N C E S

1. Атанасов, А. Приложения на структурите със зарядно пренасяне, Техника, София, 1988.

МИНИАТЮРНЫЕ ТЕРМИСТОРЫ ДЛЯ ГИБРИДНЫХ ИНТЕГРАЛЬНЫХ СХЕМ

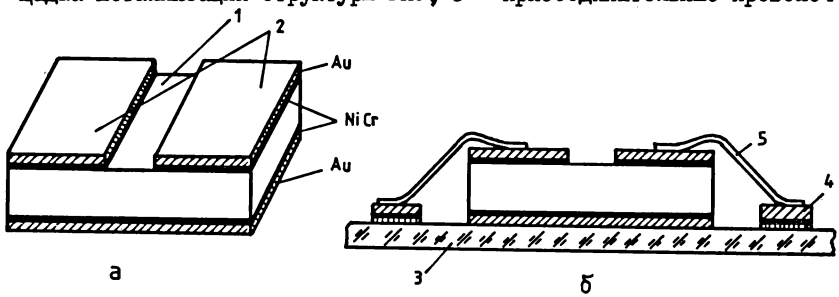
Якимов Т., ст.н.с., ктн, инж., ИМЕ, София, НРБ
Симеонова С., инж., ИМЕ, София, НРБ

Разработка пассивных электронных элементов с малыми габаритными размерами и стабильными электрическими характеристиками является актуальной задачей при миниатюризации современных гибридных интегральных схем /ГИС/. Применение миниатюрных термисторов в ГИС для температурной стабилизации электронных схем дает возможность существенно улучшить электрические параметры электронных устройств, работающих в широком температурном диапазоне [1].

Разработка термисторов связана с необходимостью гарантировать высокую надежность и хорошую воспроизводимость их электрических параметров при производстве. Литературные данные о конструкции и технологии миниатюрных термисторов весьма ограничены.

В настоящей работе представлены результаты решения практической задачи разработки большого набора миниатюрных чип-термисторов, предназначенных для применения в ГИС.

Основные электрические параметры термисторов - номинальная величина сопротивления R_0 при номинальной температуре T_0, температурный коэффициент сопротивления TKR, максимально допустимая мощность рассеяния P_{max} и термическая постоянная времени τ определяются полупроводниковым резистивным материалом и их конструкцией. На фиг. 1 представлены: а/ конструкция и б/ монтаж к ГИС разработанных миниатюрных чип-термисторов. Использованы следующие обозначения: 1 - подложка из термисторного материала, 2 - электроды термистора, 3 - диэлектрическая подложка ГИС, 4 - контактная площадка металлизации структуры ГИС, 5 - присоединительные проволоч-



фиг. 1

ки. Термисторный материал подложки представляет собой смесь окислов переходных металлов: I. MnO - 57 вес. %, CoO - 36-40 вес. %, CuO - 3-7 вес. % или II. NiO - 80±1 вес. %, CuO - 20±1 вес. %, CoO /или Li_2O/ - 0,8-1 вес. %. Подложки из термисторного материала изготовлены методом металло-керамической технологии, основанный на спекании при высокой температуре и давлении исходных порошкообразных окислов [2]. Подложки из термисторного материала в зависимости от процентного соотношения окислов имеют удельное сопротивление ρ = 6 Ω.cm, 100 Ω.cm, 800 Ω.cm, 2400 Ω.cm и оформлены в виде дисков диаметром 10 mm и толщиной 0,5 mm и 1 mm.

На обеих поверхностях дисков катодным распылением последовательно наносятся адгезионная пленка из нихрома NiCr толщиной 200-400 Å и контактная пленка из золота Au толщиной около 1 μm. Подложки с нанесенными пленками нарезываются алмазным диском на отдельные чипы с размерами 2 mm x 1 mm x 0,5 mm или 2 mm x 1 mm x 1 mm. С помощью лазера металлизация одной поверхности разделяется на две одинаковые по площади части, чем оформляются электроды чип-термистора /фиг.1, а/.

Присоединение чип-термистора к структуре ГИС осуществляется с помощью золотой или алюминиевой проволочки термокомпрессией или УЗ сваркой /фиг.1 б/.

Существенным преимуществом разработанных чип-термисторов является возможность лазерной настройки величины сопротивления уменьшением площади их электродов.

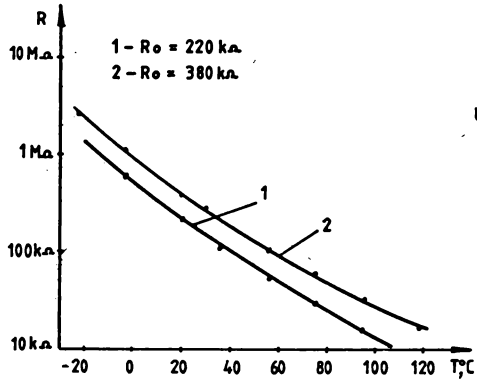
В Таблице 1 приведены номинальное сопротивление R_o, коэффициент температурной чувствительности B, температурный коэффициент сопротивления TKR и термическая постоянная времени τ разработанного набора термисторов в зависимости от их конструктивных параметров. Все электрические параметры термисторов измерены при номинальной температуре T_o = 20°C.

Таблица 1

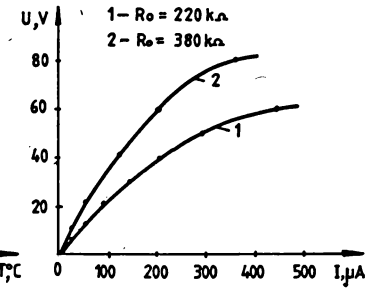
ρ, Ω.cm	R_o, kΩ		B, °K	TKR, % °K^{-1}	τ, s
	2 mm x 1 mm x 0,5 mm	2 mm x 1 mm x 1 mm			
6	0,6 - 1,5	1,2 - 3	3200	≥ 2,8	≤ 40
100	10 - 30	20 - 50	3200	≥ 2,8	≤ 40
800	80 - 200	160 - 350	3400	≥ 3,0	≤ 40
2400	240 - 500	480 - 1000	3600	≥ 3,2	≤ 40

Температурные характеристики двух термисторов с разным номинальным сопротивлением R_o представлены на фиг. 2. Температурная

чувствительность термисторов, изготовленных из окислов переходных металлов, обуславливается температурной зависимостью подвижности носителей тока.



фиг. 2



фиг. 3

На фиг. 3 показаны ВАХ двух термисторов с разным номинальным сопротивлением R_0. Максимально допустимая мощность рассеяния всех чип-термисторов $P_{max} \geq 12\text{-}15$mW при $T = 20^{\circ}C$.

Изготовленные миниатюрные термисторы по своим параметрам сравнимы с теми ведущих фирм-производителей термисторов, что видно из Таблицы 2 [3].

Таблица 2

Фирма	Размеры, mm	R_0, kΩ при T_0	B, °K	τ, s	$T_{раб}$, °C
Наша разработка	2 x 1 x 1 2 x 1 x 0,5	0,60-1000 при 20°C	3200-3600	≤40	-25-+125
Thomson-CSF	3,2x1,6x...	0,47-1000 при 25°C	2800-4500	7	-55-+150

В заключении, можно отметить, что разработанные чип-термисторы могут найти широкое применение при создании тонкопленочных ГИС с температурной стабилизацией.

ЛИТЕРАТУРА

1. Пасынков В.В., Л.К.Чиркин, А.Д.Шинков. Полупроводниковые приборы. "Высшая школа", М., 1981.
2. Мартюшов К.И., Ю.В.Зайцев. Технология производства резисторов. "Высшая школа", М., 1972.
3. Thermistances CTN. Thomson composants. Guide de choix. 1985.

GATE-ARRAY-SCHALTKREIS FÜR CCD-ZEILEN-MESSYSTEME

Maaß, R., Dipl.-Ing., KDT, Magdeburg, DDR
Krieger, J., Dipl.-Ing., KDT, Magdeburg, DDR

Auch einfache Meßsysteme auf der Basis von CCD-Zeilensensoren zur Bestimmung geometrischer Abmessungen (z.B. Durchmesser) erfordern einen erheblichen schaltungstechnischen Aufwand zur Ansteuerung des Zeilensensors und zur Auswertung des erfaßten Informationsumfanges. Für die Ansteuerung von CCD-Zeilen steht der Schaltkreis U 5201-903 des VEB Zentrum für Forschung und Technik Dresden zur Verfügung.
Geht man von einer Binärbildverarbeitung und dem Einsatz eines (Einchip-) Mikrorechners aus, kann die nach der Binarisierung des Bildes benötigte Logik in einem weiteren Schaltkreis zusammengefaßt werden. Ein solcher Schaltkreis soll nachstehend kurz beschrieben werden. Er ist mit dem bereits genannten Ansteuerschaltkreis direkt koppelbar und kann dessen Ausgangssignale nutzen. Bild 1 zeigt das Blockschaltbild und die Signale des U 5201 CF-701. Er beinhaltet u.a. eine Baugruppe zur Auswertung der Ausgangssignale von CCD-Zeilen (drei 12-Bit Binärzähler bzw. Register) und eine Ansteuerbaugruppe für eine Zeitmultiplex-Anzeigeeinheit (4...8 oder 2×4 Stellen). Diese gestattet die Zwischenspeicherung von hexadezimalen Daten, die direkte Anzeige von gezählten Impulsen (8 digit), Dunkeltastung der Stellen und die Ansteuerung von 2 Dezimalpunkten. 2 Interface-Baugruppen ermöglichen den Anschluß eines 8-Bit- und eines 12-Bit bidirektionalen Busses (z.B. MR-Datenbus) zum Schreiben und Lesen der Register- und Zählerinhalte. Eine Steuerbaugruppe mit dem Betriebsartenregister gewährleistet die universelle Anwendbarkeit der Zähler, Register, Datenbusse und der Steuerein- und -ausgänge.

Haupteisatzbereiche des Schaltkreises sind einfache Meßanordnungen auf der Basis von CCD-Zeilensensoren. Dabei ergibt ein Zusammenwirken mit dem bereits erwähnten U 5201-903 eine stark minimierte Hardware und hohe Zuverlässigkeit. Aber auch als Frequenzmeß-, Zwischenspeicher-, Impulszähl- und Anzeigebaustein in beliebigen Meßsystemen ist er nutzbar.

GATE-ARRAY-SCHALTKREIS FÜR CCD-ZEILEN-MESSYSTEME

Maaß, R., Dipl.Ing., KDT, Magdeburg, DDR
Krieger, J., Dipl.Ing., KDT, Magdeburg, DDR

Auch einfache Meßsysteme auf der Basis von CCD-Zeilensensoren zur zur Bestimmung geometrischer Abmessungen (z.B. Durchmesser) erfordern einen erheblichen schaltungstechnischen Aufwand zur Ansteuerung des Zeilensensors und zur Auswertung des erfaßten Informationsumfangs. Für die Ansteuerung von CCD-Zeilen steht der Schaltkreis U 5201-903 des VEB Zentrum für Forschung und Technik Dresden zur Verfügung.
Geht man von einer Binärbildverarbeitung und dem Einsatz eines (Einchip-)Mikrorechners aus, kann die nach der Binarisierung des Bildes benötigte Logik in einem weiteren Schaltkreis zusammengefaßt werden. Ein solcher Schaltkreis, der zusätzlich die Möglichkeit enthält, zur direkten Darstellung von Meßergebnissen Digitalanzeigen anzusteuern, soll nachstehend kurz beschrieben werden. Er ist mit dem Bereits genannten Ansteuerschaltkreis direkt koppelbar und kann dessen Ausgangssignale nutzen.
Bild 1 zeigt das Blockschaltbild und die Signale des Gate-Array-Schaltkreises U 5201 CF-701. Er beinhaltet u.a. eine Baugruppe zur Auswertung der Ausgangssignale von CCD-Zeilen (drei 12-Bit Binärzähler bzw. Register) und eine Ansteuerbaugruppe für eine Zeitmultiplex-Anzeigeeinheit (4...8 oder 2*4 Stellen). Diese gestattet die Zwischenspeicherung von hexadezimalen Daten, die direkte Anzeige von gezählten Impulsen (8 digit), die Dunkeltastung jeder einzelnen Stelle und die Ansteuerung von 2 Dezimalpunkten. Zwei Interface-Baugruppen ermöglichen den Anschluß

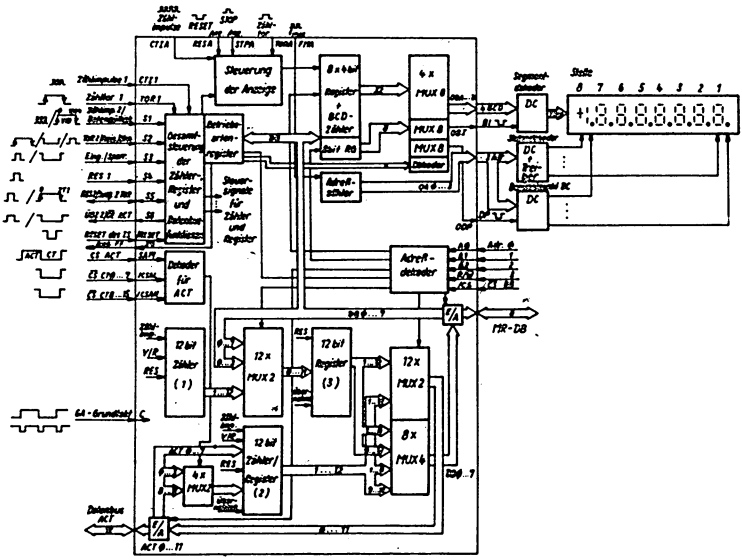


Bild 1: Gesamtschaltungsplan des Gate-Array-IS U 5201 CF-701

WEITERENTWICKLUNG DES U884/U882-ENTWICKLUNGSSYSTEMS

Reichl, P., Dr.-Ing., KDT, Ilmenau, DDR

Die von der Technischen Hochschule Ilmenau, Sektion INTET, angebotenen Einchipmikrorechner-Entwicklungs-Werkzeuge "U-884-Emulatorkarte und Steuerprogrammsystem" [1], die zunächst nur für den Mikrorechner MC80 konzipiert waren, wurden aufgrund zahlreicher Nachnutzungsnachfragen für die Betriebssysteme SCPX und CPA weiterentwickelt. Sie ermöglichen nunmehr bei Implementierung auf K1520-Systemen, wie z. B. K8915, BC A5120/30 bzw. PC1715, neben der Ausnutzung der Ressourcen die EMR-Programmentwicklung und -Programmaustestung bei direktem Anschluß der EMR-Anwenderhardware an diesen Rechnern (Emulation).
Die Programmtestung kann dabei im Einzelschritt-, automatischem Schritt- bzw. RUN-Betrieb erfolgen, ist aber in den Schrittbetriebsarten auf den 4kByte-Speicherraum begrenzt. Funktionsfähige Programmodule können dann bei weiterem Speicherplatzbedarf auf den extern anschließbaren Speicherraum ausgelegt werden. In den beiden Schrittbetriebsarten wird sowohl die Belegung der Register der aktuellen Arbeitsregistergruppe als auch der abzuarbeitende Befehl im Maschinencode einschließlich dessen Reassemblierung auf dem Bildschirm angezeigt. Darüber hinaus informiert die Bildschirmausschrift im Schrittbetrieb über den PC-Stand, die Datenbewegung über die Portregister, die INT-Anforderungen und die erfolgte INT-Maskierung sowie über den INT-Status (DI, EI). Bei Umschaltung in "Register" wird die Registerbelegung des EMR auf einen Blick sichtbar gemacht. Load- und Save-Treiber ermöglichen eine bequeme Diskettenarbeit mit dem Emulator bzgl. der über die Assembler SYS8 bzw. XRMAKZ8 (oder ähnlicher) erstellten HEX-Files bis hin zur EPROM-Programmierung.
Das Arbeiten mit Hardware-Haltepunkten im gesamten 4k-Speicherraum wie auch das Setzen von Hardware-Triggerpunkten für die x-Ablenkung von Oszillografen oder für die Triggerung von Logikanalysatoren erlaubt eine komfortable Hard- und Softwarefehlersuche bei der EMR-Objektrealisierung. Bei Anschluß eines Druckers kann über die Emulationssitzung oder auch nur teilweise Protokoll geführt werden. Alle zum Aufbau der Emulatorkarte benötigten Bauelemente sind Bauelemente der DDR-Produktion.

[1] U-884-Emulatorkarte und Steuerprogrammsystem rfe 1986, H 10; S. 612

APPLICATION OF THE BOOLEAN MACROMODELS FÜR SIMULATION OF THE MOS LSI CIRCUITS

Rosinski, A., Dr.-Ing., Warsaw, Poland

1. Introduction

Logic circuits can be described for simulation purposes in different ways. The most popular is with using basic gates AND, OR, NAND, NOR, exclusive OR, exclusive NOR etc. These gates with their inputs, outputs and delays written in proper sequence characterize logic circuits. The other useful description wayis with application boolean macromodels. These macromodels make description simple and simulation quicker.

2. Boolean element. The general description.

The general definition of the boolean element [1,2] is as follows:

BOOLEAN <name>; IPS <number> <unconnected states>;
OPS <number>; TIMES <number>;

<boolean equation>;

<boolean equation>;

END;

The above description of a boolean element provides the name of the element, the number of inputs and the state at which any unconnected inputs to the element are to be held, the number of outputs, and the number of time delays associated with them. The

equations relating the inputs, internal variables and outputs of the element. The time delays associated with the outputs of a boolean element are specified by a TIME command containing the name of the element and the delay times in ascending order T0 to TN. For instance:

```
TIME;
xxxA T0 T1 T2 T3...;
xxxB T4 T5    ;
END;
```

where: xxxA, XXXB -boolean names

T0, T1,...T5 -delays associated with boolean outputs.

when the types of elements required have been defined by BOOLEAN and TIME command they are connected to form a circuit by a CONNECT command. For instance:

```
CONNECT;
xxxA a b  xxxB c d  xxxC e f ;
END;
```

The above command connects the output b of the boolean element xxxA a to an input d of xxxB c and input f of xxxC e. In this way various parts of the MOS LSI circuit can be described.

3. Conclusions

Using boolean macromodels multilevel gates, subcircuits and various parts of the MOS LSI circuits have been described [2]. The description was simple and time simulation was short. This way of simulation turned out to be useful for MOS LSI circuits.

4. References

[1] Logic simulation program. Redacal version. User manual. REDAC SOFTWARE LIMITED, TEWKESBURY, ENGLAND.

[2] A. T. Rosinski-Komputerowa symulacja cyfrowych ukladow scalonych MOS LSI klasy mikroprocesorow (Computer simulation of digital integrated circuits such as MOS LSI uP.) Prace ITE. Zesz. 3/4 1986.

Silicon Probe of Optical Fibre Pressure Amplitude Sensor.

Słaby M.J., Radojewski J., Oleksiński P., Schunger R.,
Institute of Electron Technology, Technical University of Wrocław
Poland

High precision of semiconductor microelectronic technology and perfect mechanical properties of single-crystalline silicon offer production possibilities for mechanotronic miniature devices such as pressure sensors [1]. Widely known pressure sensors either piezoresistive or capacitive require electric contact with a measuring system which makes them difficult or impossible to be used in the places where electromagnetic interference or combustion danger occur. In those cases optical pressure sensors should be applied.

A miniature probe prepared in the Institute of Electron Technology, Technical University of Wrocław for optical fibre pressure amplitude sensor consists of two silicon elements and optical communication fibre (125/50). The pressure-sensitive element is based on a membrane made in (100)-oriented silicon substrate with evaporated Al film. The optical fibre connecting the probe with the measuring system is mounted in the other silicon wafer (Fig.1). Reflective coating made in the membrane surface below the support causes limitations in the membrane deflection, enhancing thus the membrane resistance to overloading. The etching depth defines at the same time the fibre face - mirror distance. The distance and the membrane thickness responsible for the technical parameters of the probe may be easily controlled during the silicon element preparation proces. Precise positioning of the optical fibre with respect to the membrane centre is achieved owing to special grooves etched in both the chips.

The silicon elements technological process includes sequential stages consisting in the following:

- protective coating preparation (thermally oxidized silicon dioxide);
- defining of areas from which silicon must be removed (photolithography);
- three-dimensional surface topology preparation in silicon (anisotropic etching of silicon in water solution of KOH:

and it strongly depends upon proper orientation of photolithographic mask pattern on the silicon surface. The orientation method elaborated in the IET, renders it possible to place the pattern parallelly to [110] crystallographic direction with accuracy below 0.1^{o}.

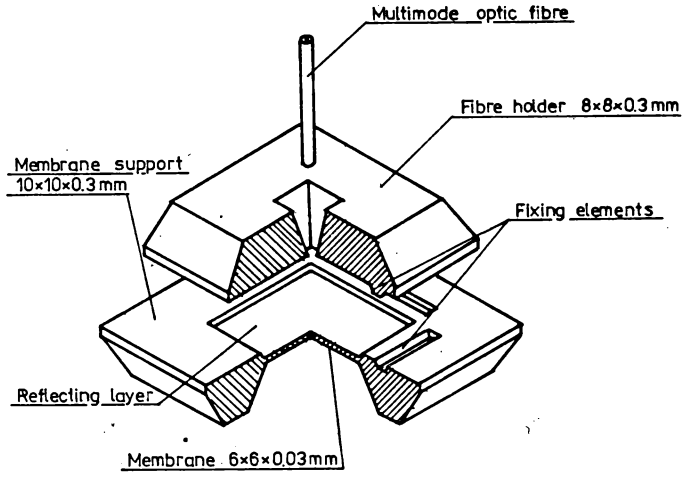


Fig.1. Probe construction diagram.

The silicon probe is a part of a pressure sensor which consists of the following:

- modulated light source (LED),
- directional coupler,
- optical receiver (photodetector),
- electronic system : selective amplifier, ideal rectifier, integrating amplifier, analog - digital converter, microprocesor unit.

The modulated light from the light source is passing through the optical fibre to the probe where is reflected from the membrane surface. The reflected light beam is coming back to the fibre,the light amplitude being dependent upon the membrane deflection.
Next the beam is passing through the directional coupler to the photodetector. The detected signal is then amplified and processed into the digital form for further usage such as : displaying, statistical processes, etc.

[1]. Petersen K.E.;"Silicon as a Mechanical Material" Proceed. IEEE, vol.70(5) 1985, p. 420.

50g KOH + 150ml H_2O + 50ml n-propyl alcohol at T = 353K).

The technological scheme is given below:

1. Membrane element preparation:
   (i) etching of the positioning grooves and cavity with dimensions equal to the membrane ones on Side A of the wafer;
   (ii) etching of the division grooves and deep depression in order to form the membrane on Side B;
   (iii) membrane metallization;
   (iv) dividing of the substrates along the division grooves.
2. Fibre holder praparation:
   (i) etching of the V-blocks for positioning on Side A of the other wafer;
   (ii) etching of the fibre passage hole and division grooves on Side B;
   (iii) dividing of the substrate along the division grooves;
   (iv) fibre attachment with epoxy resin.
3. Mounting of the probe with epoxy resin.

Fig.1. Probe construction diagram.

The mounted probe is placed in a metal housing. The accuracy of the surface topology preparation in silicon is better than 2μm and it strongly depends upon proper orientation of photolithographic mask pattern on the silicon surface. The orientation

method elaborated in the IET, renders it possible to place the pattern parallelly to [110] crystallographic direction with accuracy below 0.1^{o}.

The silicon probe is a part of a pressure sensor which consists of the following:

- modulated light source (LED),
- directional coupler,
- optical receiver (photodetector),
- electronic system : selective amplifier, ideal rectifier, integrating amplifier, analog - digital converter, microprocesor unit.

The modulated light from the light source is passing through the optical fibre to the probe where is reflected from the membrane surface. The reflected light beam is coming back to the fibre,the light amplitude being dependent upon the membrane deflection.
Next the beam is passing through the directional coupler to the photodetector. The detected signal is then amplified and processed into the digital form for further usage such as : displaying, statistical processes, etc.

[1]. Petersen K.E.;"Silicon as a Mechanical Material" Proceed. IEEE, vol.70(5) 1985, p. 420.

СТАБИЛЬНОСТ ТОНКОПЛЕНОЧНЫХ СХЕМ, ПАССИВИРОВАННЫХ ПОЛИИМИДОМ

Е. Венкова, К. Герасимова, П. Дишков, Р. Цонев, София, Болгария

Целью настоящей работы является исследование влияния полиимидной (PI) пассивации на стабильность тонкопленочных резисторов из Ta_2N, кермета $TaSiO_2$ и нихрома при хранении на воздухе в условиях повышенной температуры.

ЭКСПЕРИМЕНТ

Тонкие резистивные пленки из Ta_2N и $TaSiO_2$ отложены на ситалле методом катодного распыления (постояннотокового для Ta_2N и высокочастотного для кермета) в триодной вакуумной установке типа "Спутрон" в атмосфере аргона и азота для Ta_2N и чистого аргона для $TaSiO_2$. Проводящая система "никель - золото" отложена постояннотоковым распылением в одном цыкле с резистивными пленками. Исследуемые тонкопленочные резисторы получены селективной фотолитографией и, после отжига на воздухе при 300^0C в течении шести часов, имеют удельное поверхностное сопротивление 35 Ω/□ и 95Ω/□ для Ta_2N, и 450 Ω/□ для кермета.

Тонкие пленки из нихрома с удельным поверхностиым сопротивлением 165 Ω/□ получены четвертой сублимацией из проволоки в вакууме. Проводящая система та-же самая, что и выше, но получена термическим испарением. Тонкопленочные нихромовые резисторы подвергаются отжигу на воздухе при 250^0C в течении шести часов.

После термообработки (отжига) часть тонкопленочнэх резисторов защищены двухслойной полиимидной пассивацией толщиной

около 3 μm и вместе с непассивированными резисторами (фиг. 1) подвержены испытаниям на изменение стабильности при температурах 125°C, 150°C и 175°C в течении 4000 часов.

Полиимидные пленки получаются следующим образом : при помощи центрофугирования на подложках отлагаются слои полиамидкарбоновой кислоты, синтезированной в Институте микроэлектроники [1] , после чего при термообработки этих слоев [2] происходит процесс имидизации и получаются пленки полиимида.

РЕЗУЛЬТАТЫ И ОБСУЖДЕНИЕ

На фигурах №№ 2, 3, 4, 5 представлено относительное изменение сопротивления $\Delta R/R$ (в процентах) пассивированных и непассивированных резисторов из нитриди тантала, кермета и нихрома относительных доверительный интервал $\Delta X/X \leq 13\%$, где $X - \Delta R/R$, при доверительной вероятности $\alpha = 0{,}86$.

Пассивирующее действие полиимида ясно выражено при температурах 125°C и 150°C для кермета и высокоомного нитрида тантала (фиг. 2 и 3). В случае нискоомного Ta_2N полиимидная пассивация приводит к улучшению стабильности и при 175°C (фиг. 4).

Применяя уравнение Арениуса [3] к процессу старения тонких резистивных пленок на основе тантала :

$$\frac{\Delta R(t)}{R(0)} = A\left[\exp\left(-\frac{Ea}{KT}\right)\right].t^{n} ,$$

получаем следующие результаты для тонкопленочных пассивированных и непассивированных резисторов из нитрида тантала и кермета (табл. 1) :

Табл. 1

	n	Ea , eV	$\frac{\Delta R}{R}$, % , 10000 ч, 125°C
Ta_2N -35 Ω/□	0,56	0,43	0,12 %
пасивир. PI-	0,51	0,49	0,07 %
Ta_2N -95Ω/□	0,85	0,64	0,19 %
пасивир. PI-	0,87	0,75	0,11 %
Ta Si O_2-450Ω/□	0,71	0,66	0,35 %
пасивир. PI-	0,71	0,84	0,20 %

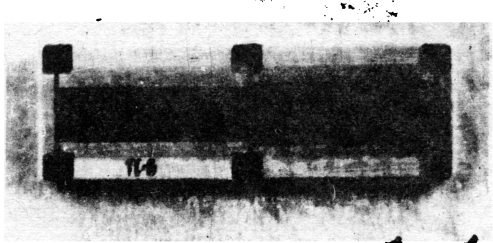
Из таблицы видно, что пассивированные резисторы имеют большую активационную энергию старения,чем непассивированные, так как полиимид воспрепятствует проникновению кислорода и относительный рост сопротивления пассивированных резисторов меньше, чем у непоссивированных.

В таблице приведены результаты математической экстраполяции для процесса старения в течении 10000 часов при 125°C.

Старение пленок нихрома, при наличии положительного дрейфа сопративления, тоже можно описать дифузионным уравнением Арениуса. Однако при использованных нами слоях испытания непассивированных резисторов при температурах 150°C и 175°C показывают, что происходит усиление процесса рекристализации в пленках. Поэтому дрейф сопротивления таких пленок при 150°C около нуля, а при 175°C - отрицательный (фиг. 5). При пассивированных нихромовых пленках из-за ограниченного доступа кислорода процесс рекристализации еще больше преобладает над процессом окисления и при температурах 150°C и 175°C относительное изменение сопротивления пассивированных пленок более велико, чем у непассивированных.

ЗАКЛЮЧЕНИЕ

Из приведенных результатов видно, что при всех случаях полиимидная пассивация приводит к улучшенню стабильности тенкопленочных резисторов из нитрида тантала и кермета. Такой же результат и в случае хранения нихромовых резисторов при температурах вплоть до 125°С. При более высоких температурах хранения нихромовых резисторов пассивация приводит к большему отрицательному дрейфу сопротивления из-за усиления роли рекристализационных процессов, так как доступ кислорода к пленкам через пассивацию практически воспрепятствован.



Фиг. 1

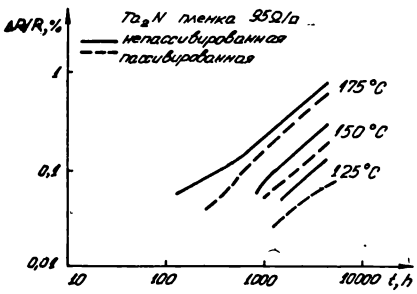
ЛИТЕРАТУРА

1. Авт. св. НРБ № 33359/1982/

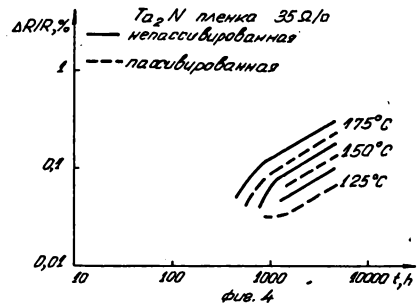
Метод получения полиамид карбоновых кислот, Ив. Шопов и колектив.

2. Получение пленок полиимида, К. Батев и колектив, "Сборник Трудов Института микроэлектроники", том XII, 1987 г. /на бол. язык/

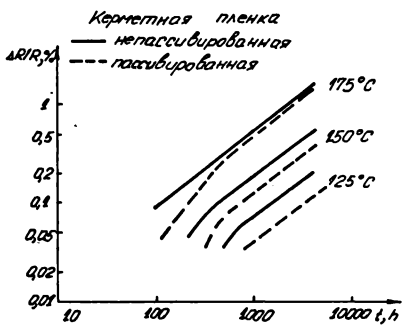
3. Физические основы надежности интегральных схем под редакцией Ю. Г. Миллера, М., Сов. радио, 1976, с.89.



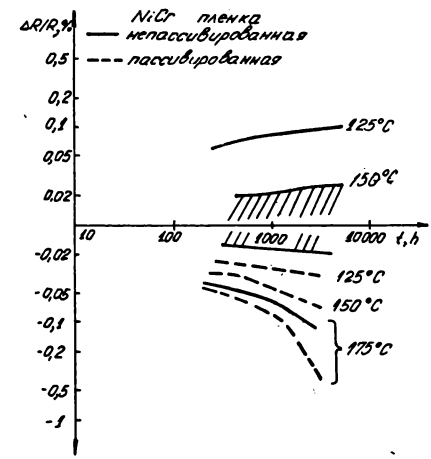
фиг. 3



фиг. 4



фиг. 2



фиг. 5

ИССЛЕДОВАНИЕ НЕКОТОРЫХ ТОНКОПЛЕНОЧНЫХ КОНТАКТНЫХ СИСТЕМ , ИСПОЛЬЗУЕМЫХ ПРИ ТОНКИХ СОПРОТИВИТЕЛЬНЫХ ПЛЕНОК ИЗ НИТРИДА ТАНТАЛА И КЕРМЕТА

К.Герасимова, С. Дончев, А. Шопов, П. Георгиев, София Болгария

Тонкопленочные контактные системы из Ni-Au и $NiCr$-Ni-Au которые применяются в производстве тонкопленочных интегральных схем, имеют устойчивость при относительно высокотемпературной обработке и хорошую припаиваемость в Pb-Sn припое /1,2/. Но тонкие пленки из никеля, отложенные катодным распылением, характеризуются большим внутренним стрессом /1,3/ , который может привести к ухудшению адгезии и отслаиванию тонкопленочной системы от подложки, особенно стеклянной. Известны опыты к замене никеля другими неблагородными металлами, как например в тонкопленочной системе $NiCr$-Al-$FeNi$, при которой сопротивительную $NiCr$ пленку стабилизировали при температуре 200°C на воздухе /6/. Так как сопротивительные пленки из Ta_2N требуют более высоко-температурной стабилизации, мы остановились на контактной системой Ni_xFe_y - Au , в которой Ni_xFe_y пленка отложена распылением Ni мишени, содержащей от 0.69 до 3.59 площ. % Fe .

Другим предметом исследования являются контактные системы на основе Ni - Au , которые имеют к сопротивительному слою дополнительный адгезионный слой из Ti , или W или $90W:10Ti$

Материал адгезионной пленки выбирается в зависимости от материала сопротивительной, в случае либо Ta_2N либо $TaSiO_2$.

ЭКСПЕРИМЕНТАЛЬНАЯ ЧАСТЬ

Нанесение сопротивительных и проводящих пленок проводится в одном цикле катодным распылением /прямотоковым для Ta_2N и проводящих пленок и высокочестотным для $TaSiO_2$ / в триодной вакуумной системе типа "Спутрон". Процесс нанесения происходит в атмосфере аргона при давлении 2.10^{-1} Па. Для получения проводящей пленки из $Ni_x Fe_y$ используется никелевая мишень диаметром 60мм, в которую вставляются стержни из чистого железа диаметром 5мм /Фиг.1 /, число которых увеличивается от одного до пяти. Пленки наносятся на стеклянных /"Корнинг глас 7059"/ и ситалловых подложках. Толщина пленок из Ni и $Ni_x Fe_y$ составляет около 2400Å, а толщина золотой пленки - около 200Å .

Адгезия тонкопленочной системы /резистивный слой плюс проводящие слои/ в целом к подложке определяется через силу отрыва квадратной контактной площадки размером $1мм^2$. Для этой цели к контактной площадке припаивалась медняя проволока диаметром 0.5мм, окунанием в ванну припоя. Сила отрыва измерялась на стенде через натягивание проволоки по направлении нормали контактной площадки.

Так как внутреннее напряжение в тонкой пленке приводит к изгибу подложки, который тем яснее выражен чем толще пленка и чем тоньше подложка, то после измерения кривизны подложки оптическим или механическим способом, можно вычислить величину внутреннего стресса по формуле /3,4,5/, включающей толщину слоя и подложки , модуль эластичности подложки и радиус ей кривизны. Мы использовали метод, при котором внутреннее напряжение в слое определяется измерением кривизны $\delta [\mu m]$ прямоугольной металлизированной пластинки из стекла /4/. При наших опытах измерения проводились на образцах из стекла и ситалла с размером 60x10x0.5мм. Профиль хорды с длиной 30мм вдоль середины образца описывался при помощи прибора для определения равнинности стеклянных хромированных фотопластинок основанний на измерение ВЧ-импеданса воздушной междиной между измерительным зондом и подложкой , и дающий индикацию в микронах.

РЕЗУЛЬТАТЫ И ОБСУЖДЕНИЕ

На фиг.2 представлены данные для адгезии $[N/мм^2]$ тонкопленочной системы $Ta_2N-Ni-Au$ и $Ta_2N-Ni_xFe_y-Au$ к ситаллу. На абсциссе указано число Fe стержней в Ni мишени из которой получается Ni_xFe_y пленка. Металлизированные подложки термообработаны в течении 6 часов при температуре 300°С на воздухе и после того часть из них термоциклированы от -55°С до +100°С пять раз. Сила отрыва нетермостабилизированных пленок мало отличается от термостабилизированных и на фигуре не представлена.

На Фиг.3 дана адгезия тех же самых тонкопленочных систем к ситаллу, после старения в течении 20 часов при температуре 300°С на воздухе. Результаты показывают, что после термоциклирования и длительной термообработки, адгезия этих тонкопленочных систем к ситаллу улучшается, а отрыв контактной площадки от подложки сопровождается выламыванием кусочек подлежащей поверхности ситалла. Отрыв на границе между резистивным и проводящим слоем не наблюдается.

На Фиг.4 представлена кривизна ситалловой ленты металлизированной проводящими слоями Ni_xFe_y-Au при распылении Ni мишени с тремя стержнями Fe. После снятия проводящей системы травлением, образец измеряется снова и определяется максимальное и минимальное значение результантного изгиба, в случае $\delta_{max} = -3.4\,\mu m$ и $\delta_{min} = -1.6\,\mu m$.

На Фиг.5 представлены результаты для кривизны ситалловых лент, металлизированных с $Ni-Au$ и Ni_xFe_y-Au проводящими слоями, нетермообработанных и термообработанных в течении 6 часов при 300°С на воздухе. Нетермообработанные слои показывают напряжение сжатия, которое после указанной термообработки переходит в напряжение растяжения.

Зависимость напряжения в никелевых пленках от толщины слоя $d[Å]$, отложенных на стеклянных подложках, представленна на фиг.6. С увеличиванием толщины никелевой пленки от 500 Å до 3500 Å наблюдается увеличивание напряжения сжатия.

Оже анализ пленок $Ni_x Fe_y$, отложенных распылением Ni мишени с 5 стержнями Fe, показал содержание железа в пленке у=7атомных% .Оже анализ, сделанный вглубь системы $Ni_x Fe_y - Au$ после термообработки в течение 10 часов при 250°С не показал взаимную диффузию проводящих слоев.

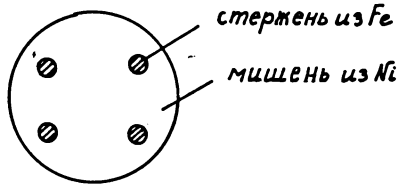
Хорошие результаты поо отношению адгезии к подложке дает использование тонкопленочной системы $Ti - Ni - Au$ к резистивной пленке Ta_2N и проводящих систем $W - Ni - Au$ или $90W:10Ti - Ni - Au$ к резистивной пленке $Ta\,SiO_2$.

Эти проводящие системы исследованы специально в случаях, когда приходится снять отложенные проводящие пленки, чтобы понизить сопротивление резистивного слоя путем дополнительного распыления, и снова нанести проводящие пленки. В этом случае стандартная система $Ni - Au$ не имеет хорошую адгезию к сопротивительной пленке, так как последняя во время пребывания на воздухе поглощает газов, образует покрытие из окислов и поэтому является недостаточно чистой. Применение адгезионных пленок из Ti или W –, которые характеризуются своей высокой реактивоспособностью, осигуряет лучшую адгезию между резистивным и проводящим слоем. Результаты измерения адгезии находятся в границах от 5 до 8 N /мм^2 .

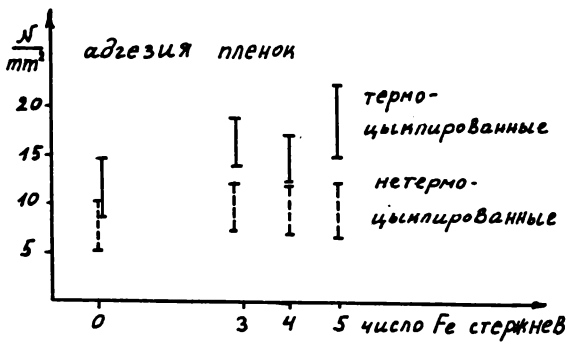
ЗАКЛЮЧЕНИЕ

Исследование тонкопленочной [illegible] системы $Ta_2N - Ni_x Fe_y - Au$ при содержании Fe в $Ni_x Fe_y$ пленке до 7ат.% , показывает, что она обладает повышенную адгезию к ситаллу посравнению с системой $Ta_2N - Ni - Au$.

Измерение внутренних напряжений в контактной системе $Ni - Au$ / Ni ~ 2400Å , Au ~ 200Å / и в системе $Ni_x Fe_y - Au$ показывают наличие напряжения сжатия, которые после термообработки 6часов при 300°С переходят в напряжения растяжения. Ошибка, вносимая при позиционировании измерительного зонда, не позволила найти точной зависимости между величиной внутреннего напряжения и содержанием железа в никелевой пленке. Известное улучшение адгезии после термической обработки и термоцыклировании можно связать с изменением напряжения в пленках , но пока результаты не позволяют дать точной количественной оценки. Исследования в этом направлении будут продолжатьеся и данные будут опубликованы в последующих работах.

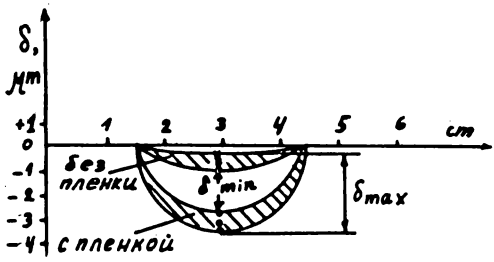


фиг. 1.

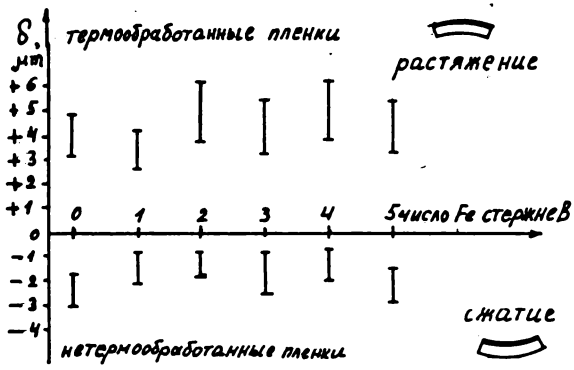


фиг. 2.

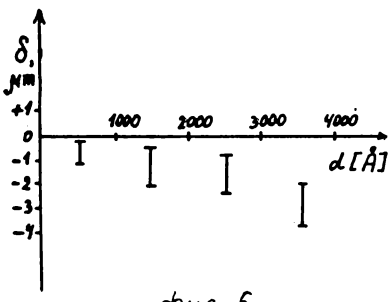
фиг. 3



фиг. 4.



фиг. 5.



фиг. 6

Т 6/6

SOFTWARE ZUR RECHNERGESTÜTZTEN QUALITÄTSSICHERUNG BEI FORSCHUNG, ENTWICKLUNG UND PRODUKTION VON CHIPWIDERSTÄNDEN (EQUATEF)

Burdanowitz, G., Dipl. Math., Teltow, DDR
Redetzky, R.-R., Dr. rer. nat., KDT, Teltow, DDR
Herbst, S., Dipl, Math., Teltow, DDR

1. Software, Hardware, Arbeitsweise

Das von uns entwickelte Programmsystem EQUATEF besteht gegenwärtig aus mehreren Software-Realisierungen für unterschiedliche Hardware.

- Modulares Programmsystem mit FORTRAN 1600 Unterprogrammen zum Einsatz am PRS A6492 (Kern 1630, Betriebssystem MOOS 1600); off-line Betrieb (Forschungs- und Laborautomatisierung). Eingesetzt für Selektions- und Zuverlässigkeitsprüfungen bei Tantal-Chip-Kondensatoren, Ausfallanalysen in der Produktion von Schichtwiderständen und der statistischen Analyse von Eigenschaften von Chipwiderständen.
- Programmen in BASIC 80 zum Einsatz am MC 80.30 ; on-line Betrieb. Eingesetzt zur rechnergestützten Qualitätsüberwachung bei der Produktion von Chipwiderständen.
- Modulares Programmsystem ANACHIP in TURBO-PASCAL zum Einsatz am AC A7100, Betriebssystem SCP 1700; on-line Betrieb. ANACHIP ist ein Programmsystem zur statistischen Auswertung von Chipwiderständen im Substratverband. Programm und Programmbeschreibung liegen auf Diskette (5 1/4") vor.

2. Softwarebibliothek

Im Softwaresystem EQUATEF werden mit einer Softwarebibliothek menügesteuerte dialogfähige Verarbeitungsprogramme entsprechend den Anwenderforderungen entwickelt. Die Softwarebausteine bestehen aus mathematischer und aufgabenspezifischer Software, insbesondere Ausgabeprogrammen. Das Softwaresystem enthält u. a. folgende Programme bzw. Programmkomplexe:

Mathematische Funktionen, Prüfverteilungen (approximiert), Quantile, Zufallsgenerator, Ordnungsalgorithmen, Statistische Tests, Datenaufbereitung, Histogramme bezügl. Klasse und Bezugswert, empirische Kennwerte (gewöhnl. und robuste), Stat. Toleranzgrenzen, Vertrauensintervalle, Stichprobenumfang, Ausbeute in Toleranzklassen, Drift.

Spezifische Ausgabeprogramme für:

- Erfassung aller Meßdaten in Datenlisten mit charakterisierender Codierung für Folgeuntersuchungen
- Kennwertermittlung, Verteilungsaussagen, Ausbeuten
- theoretische Ausbeute nach Abgleich
- Lokalisation und Ausgabe von Bauelementewerten bzw. Anzahlwerten bei gewissen Eigenschaften:
  Totalausfälle (z. B. Kurzschluß, Unterbrechung), Grenzwertüberschreitungen, Drift, Toleranzklasseneigenschaften, Ausbeuteeigenschaften
- zusammenfassende Darstellung von Ergebnissen.

Grafische Aussagen:

- verschiedene Darstellung der Produktionsverteilung (Histogramme)
- Ausbeutehäufigkeiten bei wählbarer Toleranzklasse und wählbarem Bezugswert
- Kennzeichnung der Lage spezieller Bauelemente im Substratverband von 300 - 700 Bauelementen je Substrat bei Dickschicht- bzw. Dünnschichttechnologie
- Identifikation der Ausreißer.

PROGRAMMING OF ALGORITHMIC PATTERN GENERATORS FOR MEMORY TESTING, IN SYMBOLIC CODES

Kern J., Dr Eng., Mańkowska M., Eng.
Industrial Institute of Electronics, Warsaw, Poland.

Algorithmic pattern generators (APG) are the main modules of memory testing systems. They are specialized, very fast processors, which generate sequences of testing signals in binary vectors form, according to microprograms, located in local APG memories. In Industrial Institute of Electronics a two - level method of pattern generation was introduced. At first it was applied in 2702 and 2703 memory testers. Now, after further development, this method is used in the new TSR-88 test system.

The method bases on strict cooperation between standard, slower microcomputer unit and fast, specialized algorithmic pattern generator (APG). Microcomputer bus controls directly APG registers and microprogram memory in time interwals between elementary tests, and APG is treated as a part of microcomputer operational memory. During elementary tests, testing signal sequences are generated by APG, according to a program located in its microprogram memory, coded in the APG low level language. The two-level method of generation helps in preparing user test programs in higher language code.

Translation of source files into executable sequence of microinstructions is performed by the compiler. The first one, MIKLAN - developed for 2702/2703 testers, based on single pair of row (X) address and column (Y) address processors and was written in 8080 Macroassembler. The new test program language is named PPMLAN. It uses three pairs of "X", "Y" address processors and processor segment register "Z". Symbolic addressing and full compatibility with popular SENTRY test system language was obtained. This new compiler is coded in TURBO C language and was implemented on IBM PC/XT/AT computers.

The programming method, presented above, creates a very easy and effective way of preparing test programs by users, especially if a user has to generate and modificate many programs for testing memories, differing only in size or topology.

Testing methods and testers for measuring of power transistors,
Bruszewski, J., Eng., Tarecki, Z., Eng., Zieliński, Z., Eng.,
Industrial Institute of Electronics, Warsaw, Poland.

Presented testers are designed to be used for measuring the switching time and for classifing into one of three groups NPN and PNP power transistors mounted in TO-3 and TO-220 cases in development laboratories or in semiconductors factories.

The measuring method of the switching times of the transistors which is used in the presented testers is based on driving the base of the transistor under test with current sources giving required values of base current pulses /forward and backward direction/ and next analizing time relations between the base current s waveform and the suitable collector current s waveform of the measured transistor.

Each tester consists of one panel with a few exchangeable measurement heads. Each head consists of the base driving circuits, switches for setting proper test conditions of transistors under test /i.e: base current, collector voltage, collector current/, circuits for transforming into utility form the base and collector currents' waveform useful in next measuring units, circuits for generating of proper comparative levels, circuits for shaping measured pulses consisting of fast comparators and circuits for initial testing of measured transistors /inefficiency tests/. The measured pulse /TTL standard/, having the time duration equal to chosen switching time of tested transistor, is fed to the main panel and is expanded in the expander. In the next step the measurement pulse is converted into digital form by the counter co-operating with the standard pulse generator stabilized by 10MHz quartz. The panel consists of the controller, the digit display driver and the LED display driver /inefficiency tests/, as well as the switches for two limit values of the measured parameter, with the result of this classification being sygnalized by the LED display, the switches of measuring ranges, the tester operation mode switch,the switches to choose the measured time /t_{on}, t_s, t_f, t_{off}/ and type of transistors /NPN,PNP/. All needed supply voltages are provided by the block of suppliers included into the panel.

Technical data of presented testers:

1. measuring times:
   - turn on time t_{on}
   - storage time t_s
   - fall time t_f
   - turn off time t_{off}
2. parameters of the timemeter:
   measurement range: 50ns - 99,9μs
   subranges: 1μs, 10μs, >10μs
   3 digit display
   the result is the average of 100 measurements
3. accuracy of the measurement of the switching times power transistors: ± 10%
4. the duration time of the measurement: < 200ms
5. programmable two limit values of the measuring time with possibility of segregating transistors into one of three groups.

6. possibility of measuring NPN and PNP transistors
7. possibility of viewing on the oscilloscope the base and collector waveforms of the measured transistor
8. wide range of the drive conditions of the measured transistors owing to the exchangeable heads:
   - base current: from 10mA to 1000 mA
   - collector current: from 0,5A to 6A
   - collector voltage: from 10V to 250V
9. supply voltage: 220V, 50Hz
10. power consumption: $\leq$75VA
11. dimensions:
    - the panel 500x438x249 mm
    - all heads 310x185x110 mm

DIASTEMOS - implementation of the system

W. Calka, M. Bonczak, E. Skotnicka, Wl. Tabaczynski
Institute of Electron Technology CEMI
Al.Lotnikow 32/46, 02-668 Warszawa, Poland

D I A S T E M O S - a computer assisted diagnostic and control system - was designed and prepared in ITE CEMI for manually operated MOS LSI production line.

D I A S T E M O S was implemented on SM 52/12 compatible computer. The application software was written in FORTRAN with the essential usage of the previously prepared software for user communication with computer and of the potential offered by the operating system.

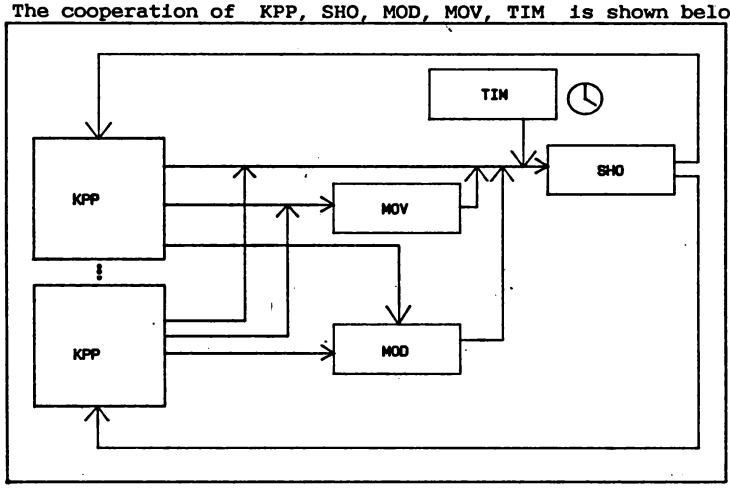
D I A S T E M O S consists of several parts, the interdependences of them and data flow will be presented. The implementation of the control part of the system with Work-in-Progress Control subsystem (WIP) seems to be particularly interesting.

WIP was implemented as five independent but concurrently cooperating programs:

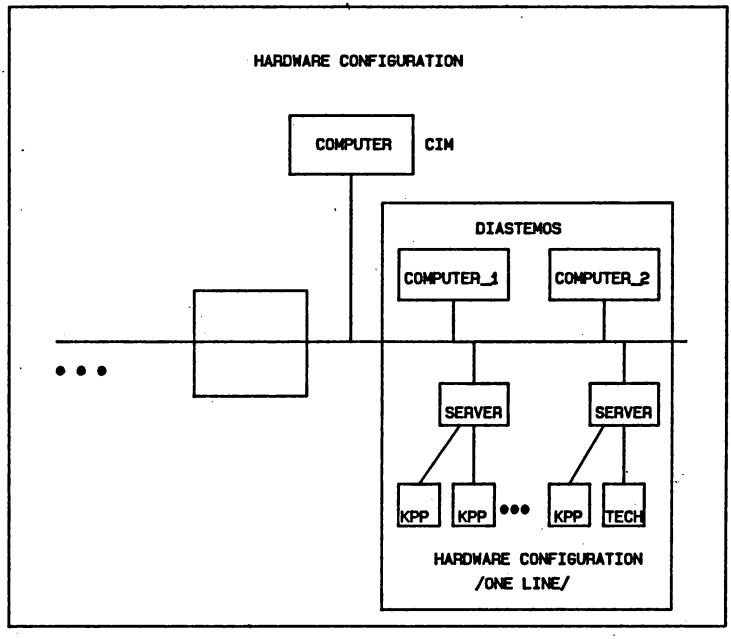
- KPP, which assumes user-friendly communication with D I A S T E M O S,
- SHO, which presents various lot lists on terminals,
- MOD, which modifies a lot status,
- MOV, which "moves" lots according to their process step recipes,
- TIM, which watches critical times for processes.

KPP is started simultaneously from as many terminals as there are users wanting to communicate with D I A S T E M O S. SHO, MOD, MOV and TIM are started at D I A S T E M O S start-up; they do not need any terminals.

The cooperation of KPP, SHO, MOD, MOV, TIM is shown below:



The scheme of hardware configuration assuring DIASTEMOS reliability is shown below:



DIASTEMOS: Subsystem TECHNOLOGY.

A.A. Czerwinski, E. Skotnicka

Institute of Electron Technology CEMI, Al. Lotnikow 32/46, 02-668 Warszawa, Poland

The Subsystem TECHNOLOGY of DIASTEMOS system enables the computerized management of technological information.

This information is used as the source of data for the other subsystems in DIASTEMOS, as the instructions for the personnel, and as the documentation files.

Information is written via specifications of the four types of the technological process elements:

- suboperations;
- operations;
- technologies;
- products;

and via so called Production Line Configuration specification.

Each of process element specifications concerns one element characterized by its unique number and its name.

For each suboperation a set of process parameters is given.

For each operation a specific information as a sequence of suboperations is given. This specific information is:

- individual process parameters;
- acceptance limits for resultant technological parameters;
- required equipment and tools;
- instruction for management of test wafers adding to the lot.

For each technology a sequence of operations and critical time periods (not to be exceeded) between different operations are given.

For each product (i.e. a type of IC) a standard technology, typically used to manufacture this product is given.

For each of above elements, text information, e.g. individual process recipe or special remark, can be given.

The Production Line Configuration specification lists equipment used for production, parameters required for proper work and current status of each piece of equipment (e.g. "out of order").

Manufacturing specifications computerized management realized by TECHNOLOGY subsystem offers product engineers the easy way of creating or modifying specifications.

A new specification can be created from the beginning or may result from modifications of existing specification with a number change included.

The operators can use information stored by TECHNOLOGY subsystem as instructions before or at the moment of work, via terminals located in the shop floor area.

The prompt and easy access to any manufacturing specification from any terminal by the authorized personnel enables full utilization of the documentation files in TECHNOLOGY subsystem.

DIASTEMOS: Subsystem LINE STATUS.

A. Zukowski, K. Zarachowicz, T. Gutt

Institute of Electron Technology CEMI, Al. Lotnikow 32/46, 02-668 Warszawa, Poland

LINE STATUS monitoring (LSM) is one of the subsystems of the computer assisted diagnostic and control system for MOS LSI production line - DIASTEMOS. Its main goal is the registration and presentation of the information about:

- production line environment conditions (e.g. airborne particle count, humidity, etc.),
- status of the production equipment,
- values of the principal technological parameters,
- basic materials inventory (e.g. silicon wafers, photo masks).

LSM consists of the program modules performing data registration and data presentation tasks. The data registration function consists in supplying current line status information via terminal keyboard by privileged personnel, and storing it in LSM data files. Data presentation function gives the opportunity of displaying needed information on terminals or printing it on a printer, using time windows in order to select data for a given period of time.

Several standard report formats have been prepared for the groups of information of special interest to the production management, which have to be presented together in one document. Routine reports on environment, materials and equipment status are output each day, while the report on the principal technological parameters is published once a week.

The results of non standard queries and more sophisticated statistical analyses of LSM data may be displayed on terminals or printed as data tables.

All LSM data are consequently stored and archived in the system.

ОКИСЬ КРЕМНИЯ, ПОЛУЧЕННАЯ В ПРИСУТСТВИИ ФТОРА И ЕЕ ПРИМЕНЕНИЕ В ПРОИЗВОДСТВЕ ПОЛУПРОВОДНИКОВЫХ ПРИБОРОВ И ИНТЕГРАЛЬНЫХ СХЕМ

Е. Дачева, Н. Недев
Институт микроэлектроники и оптоэлектроники, г.Ботевград
Г. Пеев, Т. Рачева
Высший Химикотехнологический институт, г.София

В работе представлены результаты экспериментального исследования термического окисления кремния в присутствии атомов фтора. Рассмотрены кинетика процессов, электрические свойства полученных пленок SiO_2 и улучшение параметров и характеристик приборов, где используется этот метод окисления при их изготовлении. В качестве источника фтора применялся газообразный SiF_4. Концентрация SiF_4 в сухом кислороде изменялась в пределах 0,004 - 0,02 обьемных процентов. Процесс окисления проводился при температурах 1150°С и 1200°С. Толщина пленок SiO_2 определялась элипсометрическим способом.

Результаты исследования показали, что процесс окисления кремния значительно ускоряется при очень маленьких концентрациях SiF_4. Процесс окисления в течение времени подчиняется линейно-параболической зависимости, определенной из модели Deal и Groove и по своему характеру аналогичен окислению в присутствии хлора. Методом наименьших квадратов из кривых $d_{SiO_2} = f(t)$ были определены B и B/A. Характерно, что стоимости этих констант значительно больше тех, которые были получены при окислении в сухом кислороде. Более высокие стоимости константы B предполагают более высокие значения эффективного коеффициента диффузии кислорода в SiO_2 в присутствии атомов фтора.

С целью определения оптимальной концентрации SiF_4 в кислороде, при которой получаются максимальные скорости окисления (толщины пленки), было проведено окисление кремния при указанных температурах за время 15 мин. При температуре T = 1150°С оптимальная концентрация SiF_4 - 0,0125 об.%, а при T = 1200°С она уменьшается до 0,087 об.%. Увеличение концентрации SiF_4 выше этих значений приводит до травления SiO_2.

Электрические свойства пленок SiO_2 полученные при термическом окислении кремния в присутствии SiF_4 исследовались с ис-

пользованием структур типа $Si - SiO_2 - Al$. Проводились высокочастотные CV измерения с ВТС техникой и измерения пробивного напряжения пленок. Статистическая обработка результатов представлена в таблице 1, где рассмотрены зависимости N_{ss} /плотность общего заряда в окиси/, толщины пленки - d_{SiO_2} и средние стоимости пробивного поля - E от условий окисления.

Таблица 1

Электрические свойства в зависимости от концентрации /T = 1150°C, = 15 мин./

Окислитель	SiF_4 в O_2 /об.%/	d_{SiO_2} /Å/	N_{ss} /см.$^{-2}$/	E_{cp}/ВР/ /MV/см./
O_2	-	680	$3{,}2.10^{11}$	3,8
$O_2 + SiF_4$	0,0049	720	$2{,}9.10^{11}$	7,2
$O + SiF_4$	0,0087	790	$1{,}3.10^{11}$	7,6
	0,0125	980	$9{,}2.10^{10}$	8,1
	0,0152	930	$1{,}8.10^{11}$	7,5
	0,0180	860	$3{,}0.10^{11}$	6,9

Фтор из газовой фазы аналогично хлору и даже в большей степени гетерирует йоны металлов и таким образом уменьшает количество структурных деффектов в пленках SiO_2. С другой стороны фтор как более электроотрицательный элемент по сравнению с хлором более активно нейтрализирует йоны Na.

Окисление кремния в присутствии фтора привело к улучшению темновых токов, напряжения пробоя и шумов приборов. В pin и лавинных фотодиодах темновые токи в большинстве приборах не превышали 1 nA. На порядок уменьшались и темновые токи фототранзисторов. Уменьшались и отказы этих приборов при испытании на длительные режимы нагрузки.

EFFECT OF OXYGEN PLASMA ON SILICON SURFACE

M.G.Mikhailov, G.D.Beshkov, V.S.Bakardjieva,
N.B.Velchev and V.M.Panteva, Sofia, Bulgaria

1. Introduction

Recently it was shown [1] that the nitrogen plasma affects the morphology and structure of silicon surface even for a short time duration of the process. For example 5 min plasma treatment leads to a generation of conshaped defects 30 nm high and with a density of $2{,}5.10^8$ cm^{-2}. Kikuchi lines almost disappeared from a halo on the electron diffraction patterns. This effect is due to a thin (3-5 nm) nitriding surface layer upon the silicon substrate. In the case of oxygen plasma a similar change of the silicon surface has been reported in this paper.

2. Experimental

The experiments are carried out by means of P-type (100) silicon wafers, which are cleaned in the standard chemical processes. The substrate temperature is 380°C, the pressure of oxygen - 0,2 Torr and RF discharge power - 60 W.

The experimental samples are divided in 4 groups:

Sample group:	1	2	3	4
Time duration:	15 s	1 min	5 min	15 min

The surface structure of silicon wafers has been studied through transmition electron microscopy (TEM) with carbon/platinum replicas and reflection high energy electron diffraction (RHEED). After RHEED some experimental samples are treated 15 s in a concentrated HF. The electron diffraction patterns without and with HF treatment are shown under replicas.

3. Discussion

Fig. 1 shows the silicon surface after 15 s plasma treatment. It is clear that there are not changes of the surface morphology. The electron diffraction pattern contains a halo and Kikuchi lines hardly appeared (Fig. 1, below, left). After HF-treatment the result is shown in Fig. 1, below, right.

The effect of plasma process after 1 and 5 min is shown on Figs. 2 and 3, respectively. Some hills with a diameter of 50 to 200 nm appeared on the surface. They are arranged one to another on equidistant lines and have a density of $3.10^8 cm^{-2}$. The electron diffraction patterns prior and after HF-treatment are identical and they feature the clean silicon surface.

The next Fig. 4 shows the surface sample after 15 min plasma treatment. One can observe a great number of small hills, which are linearly grouped. It is interesting that the electron diffraction pattern after a long plasma treatment is a halo, which is a result of quite thick amorphous layer. Since this layer is dissolved by HF acid and Kikuchi lines appeared in the electron diffraction patterns, one can conclude that the layer is SiO_2.

4. Conclusion

The above reported morphological and strctural properties of silicon surfaces treated by a nitrogen and oxygen plasma show that the results are similar. In both cases two competed mechanisms arise. The forst leads to an ion etching of the silicon surface, characterised by the appearence of hills. The second mechanism has chemical action and results in a nitriding or oxidation of the surface. The optimal time for a plasma treatment is within 1 to 5 min.

References
1. G.D.Beshkov, M.G.Mihailov, V.M.Panteva, N.B.Velchev and V.S.Bakardjieva, Proceedings of the 2nd International autumn meeting GADEST, Garzau, DDR, 1987, p.200.

Fig. I

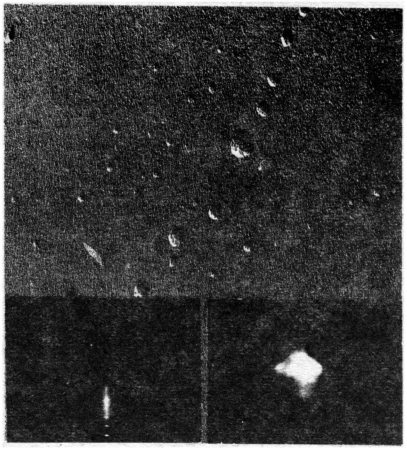


Fig. 2

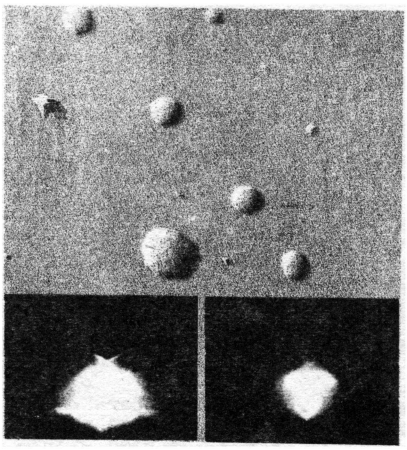


Fig. 3

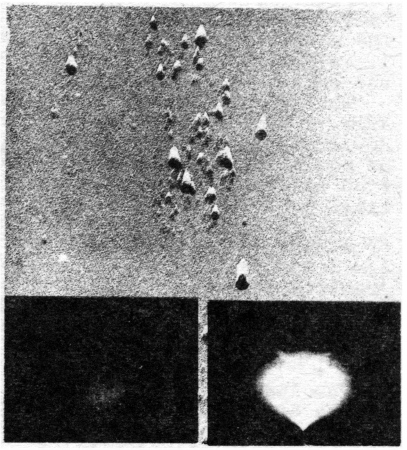


Fig. 4

SOFTWAREPAKET FÜR HANDWERKSBETRIEBE (PGH)

Brustmann, J., Schönwalde, DDR

Die von mir vorgestellten Programme wurden in GW-Basic geschrieben. Sie sind auf Rechner mit Betriebssystem MS/DOS (DCP) und mit kleinen Änderungen CP/M (SCP) lauffähig.
Unter MS/DOS ist es möglich, die Programme mit Hilfe von Turbo-Basic zu compailieren und als Maschinenprogramm damit zu arbeiten, um eine schnellere Dateiarbeit zu erreichen.
Mit diesen Programmen werden schnell und unproblematisch Rechnungen auf der Grundlage der PAO 564 von 1986 erstellt und diese Daten weiter verarbeitet.
Meine Aufgabenstellung war, folgende Datensätze zu verwalten:

3500	Datensätze	der PAO	a 100 Byte
3500	"	Material	a 100 Byte
500	"	Kundendatei	a 128 Byte
500	"	Rechn.Ablage	a 128 Byte
2000	"	Buchung	a 128 Byte
200	"	Lohn	a 128 Byte

Mit diesen Datenmengen kann ein Handwerksbetrieb oder eine kleinere PGH arbeiten.
Das Rechnungsprogramm gliedert sich in zwei Programmteile.

a) Hauptprogramm:
Datensammlung/Korrektur/Listendruck/Rechnungserstellung/Lagerhaltung mit Inventur

Das Hauptprogramm hat 3 Menüs, mit deren Hilfe man an die einzelnen Bearbeitungspunkte gelangt. Weiterhin sind viele Erklärungen bei der Arbeit mit dem Programm enthalten. Die Lagerhaltung wird beim Schreiben der Rechnungen automatisch korregiert.

b) Rechnungsbuch:
Ablage/Statistik/Steuerberechnung/Dienstprogramme

Das Programmteil "Rechnungsbuch" enthält ebenfalls ein Menü, mit Hilfe dessen man an die einzelnen Bearbeitungspunkte gelangt. Die Rechnungsdaten werden vom Hauptprogramm (Rechnungserstellung) direkt dem Rechnungsbuch übergeben.

Genau wie die Programmteile a und b sind auch Lohn- und Buchführungsprogramm aufgebaut, so daß es möglich ist, einen Kleinbetrieb (Handwerk oder PGH) mit diesen Programmen zu führen. Die Handhabung ist leicht, so daß jede Buchführungskraft nach einer entsprechenden Anleitung damit arbeiten kann.

Die Programme liegen zur Nachnutzung als Ausdruck oder auf 5,25"Disk, 3,5"Disk(MS/DOS) oder 3"Disk(Schneider Joyce) vor.

3S - A SYSTOLIC ARRAY SIMULATOR

Chmielowski, B., MSc, I.T.E., Warszawa, Poland
Szynka, J., PhD, I.T.E., Warszawa, Poland

1.General overview.

3S is a program running under MS DOS on IBM PC clones. It simulates the behavior of systolic arrays of processing elements (or PEs) disposed in Cartesian space. PEs can be defined to perform programs in every systolic cycle. Streams of input data can be directed to PEs as well as computation results from other PEs.
Provided program vs user interface: a menu to select edition of input data, translation (syntax verification), simulation, DOS environment.

2.Syntax in short.

```
<array_description>::=
   DIMENSIONS <list_of_dimension_ranges>
    {PROCEDURE <procedure_name>   | (<parameter_list>) |;
       INPUTS <input_variables_descriptions_list>
       LOCALS <local_variables_description_list>
       BEGIN
           <instructions>
       END;
    }1
   CELLS <processing_elements_descriptions_list>
   OBSERVE <number_of_cycles>;
           <observed_registers_list>
   SIMULATE { FOR { STREAM <stream_name> OF <stream_type>
                                          <sequence_of_values>
                  }
            }1
```

3.Instructions.

* DIMENSIONS instruction is used to define the array of processing elements. The PEs positions are described by their nonnegative integer coordinates in Cartesian space.
* PROCEDURE instructions are used to define functions run by sets of PEs. A single instruction PROCEDURE defines inputs (input variables) to the PE, internal registers (local variables) of the PE, actions on the values of these variables.
* The INPUTS instruction is used to define input variables. The input variable name and type are declared.The type specifies the source (external input stream, output from another PE)
* The LOCALS instruction declares the names of local registers in PEs. Each PE of the same type as defined by the CELLS instruction would "contain" its own registers named by LOCALS.
* The meaning of the BEGIN...END; WHILE...DO; IF... THEN instructions is similar to their meaning in PASCAL.
* The CELLS instruction is used to declare the actual type of every PE in the array and define its actual parameters.
* The OBSERVE instruction declares which registers in which PEs and when should have their values retained and displayed as results of the simulation.
* The SIMULATE instruction closes an array definition. It defines the input streams for the simulated array. The fullstop at the end of this instruction informs the translator that the source file ends there.

4.Simulation results:

Simulation results are displayed in 4 columns:
time cell variable name value.

The "cell" column contains PEs identifiers- their Cartesian coordinates. The next column gives the names of internal registers in these PEs. The values can be boolean, integer or real, depending on previous declarations.

Simulation results as well as translation (syntax verification) results can be viewed on the screen and/or printed.

3S - A SYSTOLIC ARRAY SIMULATOR

Chmielowski, B., MSc, I.T.E., Warszawa, Poland
Szynka, J., PhD, I.T.E., Warszawa, Poland

1.General overview.

3S is a program running under MS DOS on IBM PC clones. It simulates the behavior of systolic arrays of processing elements (or PEs) disposed in Cartesian space. PEs can be defined to perform programs in every systolic cycle. Streams of input data can be directed to PEs as well as computation results from other PEs.
Provided program vs user interface: a menu to select edition of input data, translation (syntax verification), simulation, DOS environment.

2.Syntax in short.

```
<array_description>::=
   DIMENSIONS <list_of_dimension_ranges>
    {PROCEDURE  <procedure_name>   | (<parameter_list>) |;
       INPUTS <input_variables_descriptions_list>
       LOCALS <local_variables_description_list>
       BEGIN
           <instructions>
       END;
    }1
   CELLS <processing_elements_descriptions_list>
   OBSERVE <number_of_cycles>;
          <observed_registers_list>
   SIMULATE { FOR { STREAM <stream_name> OF <stream_type>
                                          <sequence_of_values>
                  }
            }1
```

3.Instructions.

* DIMENSIONS instruction is used to define the array of processing elements. The PEs positions are described by their nonnegative integer coordinates in Cartesian space.
* PROCEDURE instructions are used to define functions run by sets of PEs. A single instruction PROCEDURE defines inputs (input variables) to the PE, internal registers (local variables) of the PE, actions on the values of these variables.
* The INPUTS instruction is used to define input variables. The input variable name and type are declared.The type specifies the source (external input stream, output from another PE)
* The LOCALS instruction declares the names of local registers in PEs. Each PE of the same type as defined by the CELLS instruction would "contain" its own registers named by LOCALS.
* The meaning of the BEGIN...END; WHILE...DO; IF... THEN instructions is similar to their meaning in PASCAL.
* The CELLS instruction is used to declare the actual type of every PE in the array and define its actual parameters.
* The OBSERVE instruction declares which registers in which PEs and when should have their values retained and displayed as results of the simulation.
* The SIMULATE instruction closes an array definition. It defines the input streams for the simulated array. The fullstop at the end of this instruction informs the translator that the source file ends there.

4.Simulation results.

Simulation results are displayed in 4 columns:
time cell variable name value.

The "cell" column contains PEs identifiers- their Cartesian coordinates. The next column gives the names of internal registers in these PEs. The values can be boolean, integer or real, depending on previous declarations.

Simulation results as well as translation (syntax verification) results can be viewed on the screen and/or printed.

STOLEM - EIN SYSTEM ZUM INTERAKTIVEN ENTWURF VON BIPOLAREN GATE ARRAYS

Felendzer, Z., Dr.-Ing., PG, Berzyszkowski, A., Dipl.-Ing., PG, Gdańsk, VR Polen

1. Einleitung.

Die Entwicklung der Mikroelektronik zu einer Technik, erfordert einen immer größer werdenden Einsatz von automatischen Entwurfstechniken. STOLEM ist ein System für den interaktiven Entwurf elektronischer Schaltkreise, die nach Design-Konzept Gate- Arrays hergestellt werden. Gate Arrays sind kundenspezifische Schalkreise, mit relativ kleinen Entwurfskosten und kurzer Entwurfs- und Fertigungszeit. Der System soll dem Konstrukteur von vielen mühseligen Entwurfstätigkeiten loswerden. Es wird vorausgesetzt, daß ein Projekt bis zum zwei Wochen zum Abschluss gebracht werden soll.

Gate-Array-Master besteht aus horizontaler Zeilen von Grundzellen und I\O Pads, die am Rande des Chips plaziert sind. Die Netze können in den Kanäle, die sich sowohl zwischen Zeilen von Grundzellen als auch zwischen Pads und Zeilen befinden, verdrahtet werden.

Mit STOLEM ist möglich zwei Masken zu entwerfen, nämlich Maske für die Metallisierung des Chips und Maske für die Kontaktfenster.

STOLEM bietet:

- Graphikprogramme zur Erstellung elektrischer Schema als Eingangsdaten,
- automatischen Layoutentwurf,
- Modifikationen des Layouts im Graphikmodus,
- Erstellung der Ansteuerdaten für den Zeichenplotter und Schablonengenerator,
- automatische Kontrolle von Entwurfsregeln,
- automatische Kontrolle der Vollständigkeit des Layoutprojekts und seiner Kompatibilität zu dem elektrischen Schema.

Zur Entwurfsumgebung gehört derzeit Simulationsprogram PSPICE.

In STOLEM werden folgende Bibliotheken verwendet, nämlich:

- Gate-Array-Masters,
- Zellenstrukturen,
- graphischer Symbolen, die bei dem Erstellung der elektrischen Schema verwendet werden sollen,
- Modellen zu den Simulationszwecke.

STOLEM bietet auch Software zur Erstellung oben aufgelisteten Bibliotheken.

2. Hardwareforderungen.

Neueste Version des Systems fördert folgende Maßnahmen: IBM PC\AT Mikrorechner mit mathematischem Koprozessor und 640 kB Halbleiterspeicher, Festplattenlaufwerk 20 MB mit Kontroller, ein Floppy-Disk-Laufwerk 360 kB, 14''Farbrasterschirm, Matrixdrucker der Klasse IBM Graphics Printer, Maus, EGA-Karte mit 640X350 Bildpunkte in 16 Farben, Zeichenplotter, z.B. der Firma Roland, serielles und paralleles Interfaces.

3. Technologie.

Die mit STOLEM entworfenen Gate-Array-Schaltkreise können in der

bipolaren Technologie mit Ein-Lage-Verdrahtung hergestellt werden. Weitere Programmierarbeiten sollen im Kürze auch die Projekte für CMOS-Technologie ermöglichen.

Der derzeit größte Master enthält bis 10.000 Rechtecken d.h. Entwurfseinheiten. Maximale Größe der mit STOLEM entworfenen Schaltkreisen hängt von der Speicherkapazität und der Kompliziertheit der Schaltung ab, nämlich:

- Struktur der Grundzelle,
- Anzahl der Netze,
- Anzahl aller Pins in der Schaltung.

4. Entwerfen mit STOLEM.

STOLEM erfüllt drei Funktionnen: Bibliothekoperationnen, Entwerfen und Projektaufbewahrung. Die Bibliothekoperationnen sind sowohl im Text- als auch im Graphikmodus realisiert. Die Symbolenbibliohek enthält alle Graphiksymbole, die zur Anfertigung der

elektrischen Schema benutzt werden sollen. Die Chipbibliothek ermöglicht den Master erforderlicher Gate-Array zu entwerfen. In den Gatebibliothek und Layoutbibliothek befinden sich Layoutprojekte der Grundzellen und der Elementen, welche basierend auf der Grundzellen entworfen werden können.

Entwurfsprozeß beginnt von der Vorbereitung der Eingangsdaten: des Zeichnen eines elektrischen Schema auf dem Bildschirm und der Auswahl des Gate-Array-Masters, der sich in der Chipbibliothek befinden muß. Die Elemente der Schaltung können entweder interaktiv, mit einem konstruktivem Verfahren, oder vollautomatisch plaziert werden. Die Netze werden nur automatisch verdrahtet. Der Prozeß ist in zwei Phasen organiesiert: erste Phase ist lose Verdrahtung und zweite - Kanalverdrahtung. Dem Algorithmus für die lose Verdrahtung liegt Primsches Schema zugrunde. Dem Entwerfer stehen zur Verfügung einige Möglichkeiten auf den Prozeß einzufließen: Reihenfolge in welcher sollen die Netze verdrahtet werden, Auswahl des Anfangsknotens momentan verdrahteten Netze, Änderung der Gewichtungen in den Trassierugsgraphen, Berücksichtigung früher zugeordneten Transits. Im Algorithmus für Endverdrahtung werden die Kanäle seqentiell trassiert. Kanäle sind hier Ein-und-einhalb-Schicht Kanäle. Der Problem liegt in der Suchung der längsten Pfade in einem gerichteten, gewichteten Graphen: in STOLEM ist also möglich die Netze verschiedener Breite zu trassieren. Die letzten Schritte im Entwurfprozeß sind die automatische Kontrolle der Design-Regeln-Erfüllung und die automatische Kontrolle der Vollständigkeit des Layoutsprojekts und seiner Kompatibilität zu dem elektrischen Schema.

I 12 4 Ag 238/295/88